

AD5686R/AD5685R/AD5684R

产品特性

- 高相对精度(INL): 16位时最大±2 LSB
- 低漂移2.5 V基准电压源: 2 ppm/°C(典型值)
- 小型封装: 3 mm × 3 mm、16引脚LFCSP
- 总不可调整误差(TUE): ±0.1% FSR(最大值)
- 失调误差: ±1.5 mV(最大值)
- 增益误差: ±0.1% FSR(最大值)
- 高驱动能力: 20 mA, 0.5 V(供电轨)
- 用户可选增益: 1或2(GAIN引脚)
- 复位到零电平或中间电平(RSTSEL引脚)
- 1.8 V逻辑兼容
- 带回读或菊花链的50 MHz SPI
- 低毛刺: 0.5 nV-s
- 鲁棒的HBM(额定值为4 kV)和FICDM ESD(额定值为1.5 kV)性能
- 低功耗: 3.3 mW (3 V)
- 2.7 V至5.5 V电源供电
- 温度范围: -40°C至+105°C

应用

- 光收发器
- 基站功率放大器
- 过程控制(PLC I/O卡)
- 工业自动化
- 数据采集系统

概述

AD5686R/AD5685R/AD5684R均属于nanoDAC+®系列，分别是低功耗、四通道、16/14/12位缓冲电压输出DAC，内置2.5 V、2 ppm/°C内部基准电压源(默认使能和增益选择引脚，满量程输出为2.5 V(增益=1或5 V(增益=2。这些器件均采用2.7 V至5.5 V单电源供电，通过设计保证单调性，并具有小于0.1% FSR的增益误差和1.5 mV的失调误差性能。提供3 mm × 3 mm LFCSP和TSSOP封装。

AD5686R/AD5685R/AD5684R还内置一个上电复位电路和一个RSTSEL引脚，确保DAC输出上电至零电平或中间电平，直到执行一次有效的写操作为止。此外所有器件均具有各通道独立掉电特性，在掉电模式下，器件在3 V时的功耗降至4 μA。

AD5686R/AD5685R/AD5684R采用多功能SPI接口，时钟速率最高达50 MHz，并均包含一个为1.8 V/3 V/5 V逻辑电平准备的V_{LOGIC}引脚。

Rev. A

[Document Feedback](#)

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

ADI中文版数据手册是英文版数据手册的译文，敬请谅解翻译中可能存在的语言组织或翻译错误，ADI不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性，请参考ADI提供的最新英文版数据手册。

功能框图

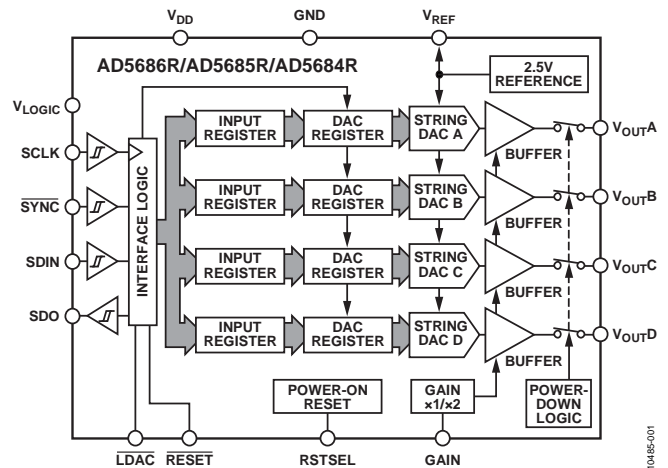


图1.

表1. 四通道nanoDAC+器件

接口	代号	16位	14位	12位
SPI	内部	AD5686R	AD5685R	AD5684R
	外部	AD5686		AD5684
I ² C	内部	AD5696R	AD5695R	AD5694R
	外部	AD5696		AD5694

产品特色

- 高相对精度(INL)。
 - AD5686R(16位): ±2 LSB(最大值)
 - AD5685R(14位): ±1 LSB(最大值)
 - AD5684R(12位): ±1 LSB(最大值)
- 低漂移2.5 V片内基准电压源。
 - 典型温度系数为2 ppm/°C
 - 最大温度系数为5 ppm/°C
- 两种封装选择。
 - 3 mm × 3 mm、16引脚LFCSP
 - 16引脚TSSOP

目录

特性.....	1	写命令和更新命令.....	22
应用.....	1	菊花链操作.....	23
功能框图.....	1	回读操作.....	23
概述.....	1	掉电工作模式.....	24
产品特色.....	1	加载DAC(硬件 $\overline{\text{LDAC}}$ 引脚).....	25
修订历史.....	2	$\overline{\text{LDAC}}$ 屏蔽寄存器.....	25
技术规格.....	3	硬件复位($\overline{\text{RESET}}$).....	26
交流特性.....	5	复位选择引脚(RSTSEL).....	26
时序特性.....	6	内部基准电压源设置.....	26
菊花链和回读时序特性.....	7	回流焊.....	26
绝对最大额定值.....	9	长期温度漂移.....	26
ESD警告.....	9	热滞.....	27
引脚配置和功能描述.....	10	应用信息.....	28
典型性能参数.....	11	微处理器接口.....	28
术语.....	18	AD5686R/AD5685R/AD5684R与ADSP-BF531的接口.....	28
工作原理.....	20	AD5686R/AD5685R/AD5684R与SPORT的接口.....	28
数模转换器.....	20	布局指南.....	28
传递函数.....	20	电流隔离接口.....	29
DAC架构.....	20	外形尺寸.....	30
串行接口.....	21	订购指南.....	31
独立操作.....	22		

修订历史

2012年9月—修订版0至修订版A

更改表1.....	1
更改图13.....	11
更改图36.....	15

2012年4月—修订版0：初始版

技术规格

除非另有说明, $V_{DD} = 2.7\text{ V}$ 至 5.5 V ; $1.8\text{ V} \leq V_{LOGIC} \leq 5.5\text{ V}$; 所有规格均相对于 T_{MIN} 至 T_{MAX} 而言。 $R_L = 2\text{ k}\Omega$; $C_L = 200\text{ pF}$ 。

表2.

参数	A级 ¹			B级 ¹			单位	测试条件/注释
	最小值	典型值	最大值	最小值	典型值	最大值		
静态性能 ²								
AD5686R								
分辨率	16			16			Bits	
相对精度		±2	±8		±1	±2	LSB	增益 = 2
差分非线性		±2	±8		±1	±3	LSB	增益 = 1
AD5685R								通过设计保证单调性
分辨率	14			14			Bits	
相对精度		±0.5	±4		±0.5	±1	LSB	
差分非线性			±1			±1	LSB	通过设计保证单调性
AD5684R								
分辨率	12			12			Bits	
相对精度		±0.12	±2		±0.12	±1	LSB	
差分非线性			±1			±1	LSB	通过设计保证单调性
零代码误差		0.4	4		0.4	1.5	mV	DAC寄存器载入全0
失调误差		+0.1	±4		+0.1	±1.5	mV	
满量程误差		+0.01	±0.2		+0.01	±0.1	% of FSR	DAC寄存器载入全1
增益误差		±0.02	±0.2		±0.02	±0.1	% of FSR	
总不可调整误差		±0.01	±0.25		±0.01	±0.1	% of FSR	外部基准电压源; 增益 = 2; TSSOP
			±0.25			±0.2	% of FSR	内部基准电压源; 增益 = 1; TSSOP
失调误差漂移 ³		±1			±1		$\mu\text{V}/^\circ\text{C}$	
增益温度系数 ³		±1			±1		ppm	用FSR/ $^\circ\text{C}$ 表示
直流电源抑制比 ³		0.15			0.15		mV/V	DAC代码 = 中间电平; $V_{DD} = 5\text{ V} \pm 10\%$
直流串扰 ³							μV	单通道、满量程输出变化引起
							$\mu\text{V}/\text{mA}$	负载电流变化引起
							μV	(各通道)掉电引起
输出特性 ³								
输出电压范围	0		V_{REF}	0		V_{REF}	V	增益 = 1
	0		$2 \times V_{REF}$	0		$2 \times V_{REF}$	V	增益 = 2, 参见图34
容性负载稳定性		2			2		nF	$R_L = \infty$
		10			10		nF	$R_L = 1\text{ k}\Omega$
阻性负载 ⁴	1			1			k Ω	
负载调整率		80			80		$\mu\text{V}/\text{mA}$	$5\text{ V} \pm 10\%$, DAC代码 = 中间电平; $-30\text{ mA} \leq I_{OUT} \leq 30\text{ mA}$
		80			80		$\mu\text{V}/\text{mA}$	$3\text{ V} \pm 10\%$, DAC代码 = 中间电平; $-20\text{ mA} \leq I_{OUT} \leq 20\text{ mA}$
短路电流 ⁵		40			40		mA	
供电轨上的负载阻抗 ⁶		25			25		Ω	参见图34
上电时间		2.5			2.5		μs	退出掉电模式; $V_{DD} = 5\text{ V}$

AD5686R/AD5685R/AD5684R

参数	A级 ¹			B级 ¹			单位	测试条件/注释
	最小值	典型值	最大值	最小值	典型值	最大值		
基准输出								
输出电压 ⁷	2.4975		2.5025	2.4975		2.5025	V	环境温度
基准电压源TC ^{8,9}		5	20		2	5	ppm/°C	参见“术语”部分
输出阻抗 ³		0.04			0.04		Ω	
输出电压噪声 ³		12			12		μV p-p	0.1 Hz至10 Hz
输出电压噪声密度 ³		240			240		nV/√Hz	环境温度下; f = 10 kHz, C _L = 10 nF
负载调整率(源电流) ³		20			20		μV/mA	环境温度
负载调整率(吸电流) ³		40			40		μV/mA	环境温度
输出电流负载能力 ³		±5			±5		mA	V _{DD} ≥ 3 V
电压调整率 ³		100			100		μV/V	环境温度
长期稳定性/漂移 ³		12			12		ppm	处于125°C下1000小时后
热滞 ³		125			125		ppm	第一个周期
		25			25		ppm	其它周期
逻辑输入 ³								
输入电流			±2			±2	μA	每引脚
输入低电压V _{INL}			0.3 × V _{LOGIC}			0.3 × V _{LOGIC}	V	
输入高电压引脚V _{INH}	0.7 × V _{LOGIC}			0.7 × V _{LOGIC}			V	
电容		2			2		pF	
逻辑输出(SDO) ³								
输出低电压V _{OL}			0.4			0.4	V	I _{SINK} = 200 μA
输出高电压V _{OH}	V _{LOGIC} - 0.4			V _{LOGIC} - 0.4			V	I _{SOURCE} = 200 μA
悬空态输出电容		4			4		pF	
电源要求								
V _{LOGIC}	1.8		5.5	1.8		5.5	V	
I _{LOGIC}			3			3	μA	
V _{DD}	2.7		5.5	2.7		5.5	V	增益 = 1
V _{DD}	V _{REF} + 1.5		5.5	V _{REF} + 1.5		5.5	V	增益 = 2
I _{DD}								V _{IH} = V _{DD} , V _{IL} = GND, V _{DD} = 2.7 V至5.5 V
正常模式 ¹⁰		0.59	0.7		0.59	0.7	mA	内部基准电压源关闭
		1.1	1.3		1.1	1.3	mA	内部基准电压源开启, 满量程
全掉电模式 ¹¹		1	4		1	4	μA	-40°C至+85°C
			6			6	μA	-40°C至+105°C

¹ 温度范围: A和B级: -40°C至+105°C。

² 除非另有说明, 直流规格均在输出端无负载的情况下测得。上行死区 = 10 mV, 并仅存在于V_{REF} = V_{DD}且增益 = 1时或V_{REF}/2 = V_{DD}且增益 = 2时。线性度计算使用缩减的代码范围: 256至65,280 (AD5686R)、64至16,320 (AD5685R)和12至4080 (AD5684R)。

³ 通过设计和特性保证, 但未经生产测试。

⁴ 通道A和通道B的合并输出电流最高达30 mA。类似地, 在结温高达110°C下, 通道C和通道D的合并输出电流最高达30 mA。

⁵ V_{DD} = 5 V。器件包含限流功能, 旨在保护器件免受暂时性过载条件影响。限流期间可能会超过结温。在规定的最大结温以上工作可能会影响器件的可靠性。

⁶ 从任一供电轨吸取负载电流时, 相对于该供电轨的输出电压裕量受输出器件的25 Ω典型通道电阻限制。例如, 当吸电流为1 mA时, 最小输出电压 = 25 Ω × 1 mA = 25 mV(见图34)。

⁷ 初始精度预焊回流为±750 μV; 输出电压包括预调理漂移的影响。参见“内部基准电压源设置”部分。

⁸ 基准电压源在两个温度上进行调整和测试, 且表征温度范围为-40°C至+105°C。

⁹ 基准电压源温度系数采用黑盒法计算。详情见“术语”部分。

¹⁰ 接口未启用。所有DAC启用。DAC输出端无负载。

¹¹ 所有DAC掉电。

交流特性

除非另有说明， $V_{DD} = 2.7\text{ V}$ 至 5.5 V ； $R_L = 2\text{ k}\Omega$ 至GND； $C_L = 200\text{ pF}$ 至GND； $1.8\text{ V} \leq V_{LOGIC} \leq 5.5\text{ V}$ ；所有规格均相对于 T_{MIN} 至 T_{MAX} 而言。¹

表3.

参数 ²	最小值	典型值	最大值	单位	测试条件/注释 ³
输出电压建立时间					
AD5686R		5	8	μs	¼到¾量程建立到 $\pm 2\text{ LSB}$
AD5685R		5	8	μs	¼到¾量程建立到 $\pm 2\text{ LSB}$
AD5684R		5	7	μs	¼到¾量程建立到 $\pm 2\text{ LSB}$
压摆率		0.8		$\text{V}/\mu\text{s}$	
数模转换毛刺脉冲		0.5		$\text{nV}\cdot\text{sec}$	主进位1 LSB变化
数字馈通		0.13		$\text{nV}\cdot\text{sec}$	
数字串扰		0.1		$\text{nV}\cdot\text{sec}$	
模拟串扰		0.2		$\text{nV}\cdot\text{sec}$	
DAC间串扰		0.3		$\text{nV}\cdot\text{sec}$	
总谐波失真 ⁴		-80		dB	环境温度下； $\text{BW} = 20\text{ kHz}$ ， $V_{DD} = 5\text{ V}$ ， $f_{OUT} = 1\text{ kHz}$
输出噪声频谱密度		300		$\text{nV}/\sqrt{\text{Hz}}$	DAC代码 = 中间电平， 10 kHz ；增益 = 2
输出噪声		6		$\mu\text{V p-p}$	0.1 Hz至10 Hz
SNR		90		dB	环境温度下； $\text{BW} = 20\text{ kHz}$ ， $V_{DD} = 5\text{ V}$ ， $f_{OUT} = 1\text{ kHz}$
无杂散动态范围(SFDR)		83		dB	环境温度下； $\text{BW} = 20\text{ kHz}$ ， $V_{DD} = 5\text{ V}$ ， $f_{OUT} = 1\text{ kHz}$
信纳比(SINAD)		80		dB	环境温度下； $\text{BW} = 20\text{ kHz}$ ， $V_{DD} = 5\text{ V}$ ， $f_{OUT} = 1\text{ kHz}$

¹ 通过设计和特性保证，但未经生产测试。

² 参见术语部分。

³ 温度范围：-40°C至+105°C，典型值25°C。

⁴ 以数字方式生成频率为1 kHz的正弦波。

AD5686R/AD5685R/AD5684R

时序特性

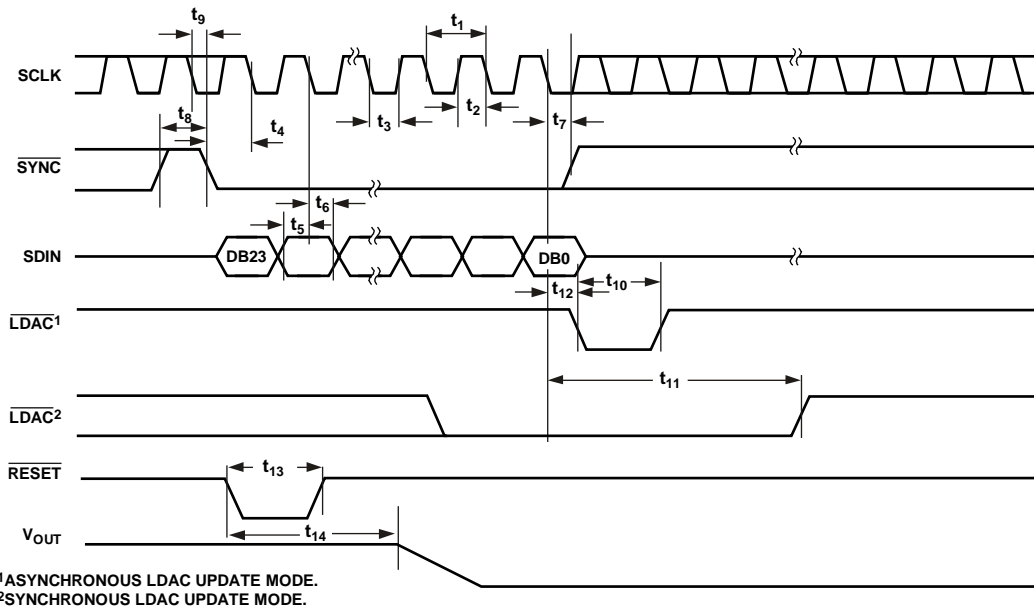
所有输入信号均在 $t_R = t_F = 1 \text{ ns/V}$ (10%到90%的 V_{DD})情况下标定并从 $(V_{IL} + V_{IH})/2$ 电平起开始计时(见图2)。 $V_{DD} = 2.7 \text{ V}$ 至 5.5 V ; $1.8 \text{ V} \leq V_{LOGIC} \leq 5.5 \text{ V}$; $V_{REFIN} = 2.5 \text{ V}$ 。除非另有说明,所有规格均相对于 T_{MIN} 至 T_{MAX} 而言。

表4.

参数 ¹	符号	1.8 V ≤ V _{LOGIC} < 2.7 V		2.7 V ≤ V _{LOGIC} ≤ 5.5 V		单位
		最小值	最大值	最小值	最大值	
SCLK周期时间	t ₁	33		20		ns
SCLK高电平时间	t ₂	16		10		ns
SCLK低电平时间	t ₃	16		10		ns
SYNC到SCLK下降沿建立时间	t ₄	15		10		ns
数据建立时间	t ₅	5		5		ns
数据保持时间	t ₆	5		5		ns
SCLK下降沿到SYNC上升沿	t ₇	15		10		ns
最小SYNC高电平时间(单通道、组合通道或所有通道更新)	t ₈	20		20		ns
SYNC下降沿到SCLK下降沿忽略	t ₉	16		10		ns
LDAC低电平脉冲宽度	t ₁₀	25		15		ns
SCLK下降沿到LDAC上升沿	t ₁₁	30		20		ns
SCLK下降沿到LDAC下降沿	t ₁₂	20		20		ns
RESET低电平最小脉冲宽度	t ₁₃	30		30		ns
RESET脉冲启动时间	t ₁₄	30		30		ns
上电时间 ²		4.5		4.5		μs

¹ $V_{DD} = 2.7 \text{ V}$ 至 5.5 V 且 $1.8 \text{ V} \leq V_{LOGIC} \leq V_{DD}$ 时,最大SCLK频率为50 MHz。通过设计和特性保证,未经生产测试。

² AD5686R/AD5685R/AD5684R退出掉电模式进入正常工作模式所需的时间,第32个时钟沿到DAC中间值的90%,且输出端无负载。



¹ ASYNCHRONOUS LDAC UPDATE MODE.
² SYNCHRONOUS LDAC UPDATE MODE.

图2. 串行写入操作

10485-002

菊花链和回读时序特性

所有规格均为 T_{MIN} 至 T_{MAX} ，除非另有说明。所有输入信号均在 $t_R = t_F = 1 \text{ ns/V}$ (10% to 90% of V_{DD})情况下标定并从 $(V_{IL} + V_{IH})/2$ 电平器开始计时。见图4和图5。 $V_{DD} = 2.7 \text{ V}$ 至 5.5 V ， $1.8 \text{ V} \leq V_{LOGIC} \leq 5.5 \text{ V}$ ； $V_{REF} = 2.5 \text{ V}$ 。 $V_{DD} = 2.7 \text{ V}$ 至 5.5 V 。

表5.

参数 ¹	符号	1.8 V ≤ V _{LOGIC} < 2.7 V		2.7 V ≤ V _{LOGIC} ≤ 5.5 V		单位
		最小值	最大值	最小值	最大值	
SCLK周期时间	t ₁	66		40		ns
SCLK高电平时间	t ₂	33		20		ns
SCLK低电平时间	t ₃	33		20		ns
SYNC到SCLK下降沿	t ₄	33		20		ns
数据建立时间	t ₅	5		5		ns
数据保持时间	t ₆	5		5		ns
SCLK下降沿到SYNC上升沿	t ₇	15		10		ns
最小SYNC高电平时间	t ₈	60		30		ns
最小SYNC高电平时间	t ₉	60		30		ns
SCLK上升沿到SDO数据有效时间	t ₁₀		36		25	ns
SCLK下降沿到SYNC上升沿	t ₁₁ ⁵	15		10		ns
SYNC上升沿到SCLK上升沿	t ₁₂ ⁵	15		10		ns

¹ $V_{DD} = 2.7 \text{ V}$ 至 5.5 V 且 $1.8 \text{ V} \leq V_{LOGIC} \leq V_{DD}$ 时，最大SCLK频率为25 MHz或15 MHz。通过设计和特性保证，未经生产测试。

电路图和时序图

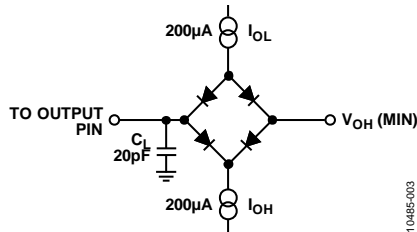


图3.数字输出(SDO)时序规格的负载电路

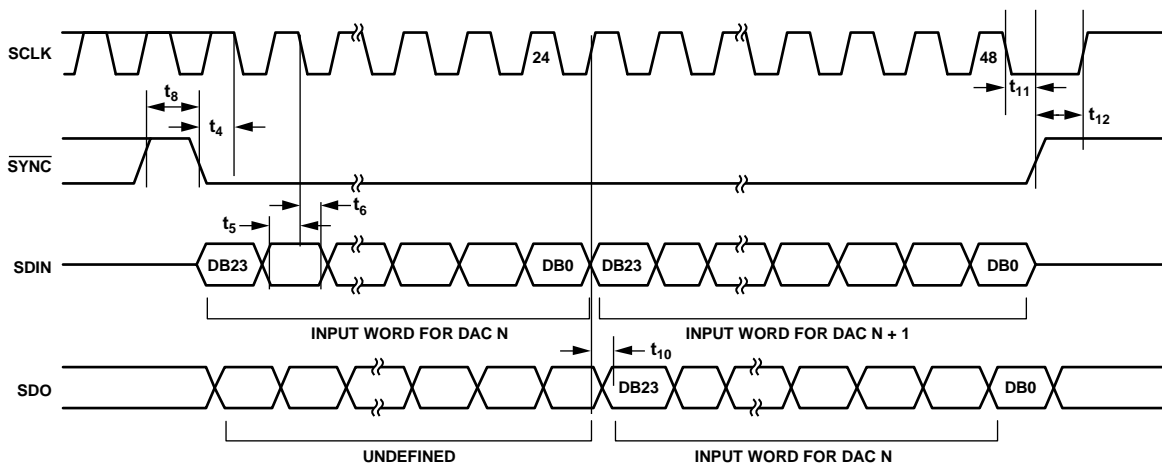


图4.菊花链时序图

AD5686R/AD5685R/AD5684R

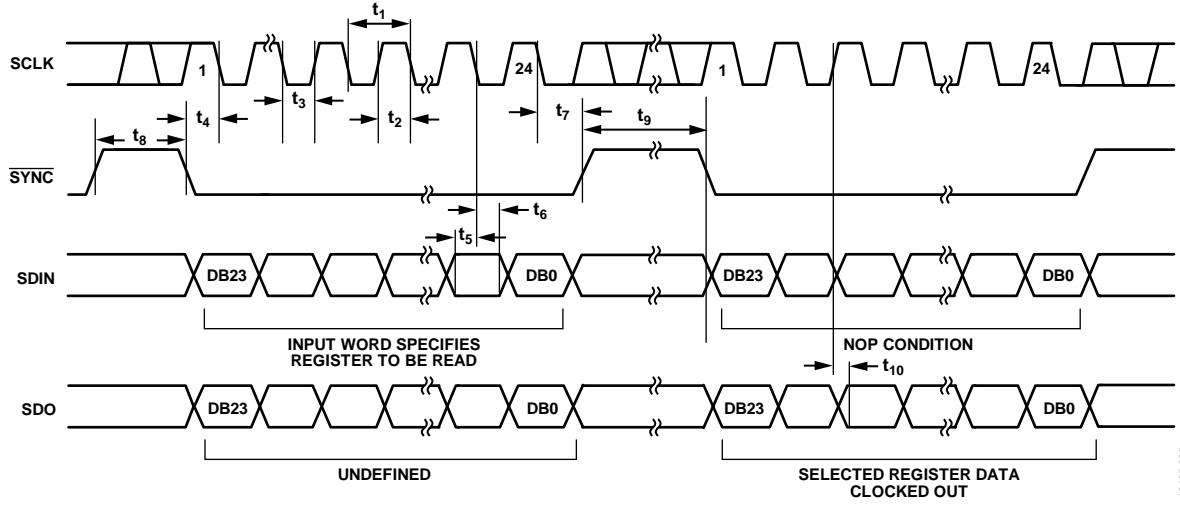


图5. 回读时序图

10485-005

绝对最大额定值

除非另有说明， $T_A = 25^\circ\text{C}$ 。

表5.

参数	额定值
V_{DD} 至 GND	-0.3 V 至 +7 V
V_{LOGIC} 至 GND	-0.3 V 至 +7 V
V_{OUT} 至 GND	-0.3 V 至 $V_{DD} + 0.3$ V
V_{REF} 至 GND	-0.3 V 至 $V_{DD} + 0.3$ V
数字输入电压至 GND	-0.3 V 至 $V_{LOGIC} + 0.3$ V
工作温度范围	-40°C 至 +105°C
存储温度范围	-65°C 至 +150°C
结温	125°C
16 引脚 TSSOP, θ_{JA} 热阻, 0 气流 (4 层板)	112.6°C/W
16 引脚 LFCSP, θ_{JA} 热阻, 0 气流 (4 层板)	70°C/W
回流焊峰值温度, 无铅 (J-STD-020)	260°C
ESD ¹	4 kV
FICDM	1.5 kV

¹人体模型 (HBM) 分类。

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值，并不能以这些条件或者在任何其它超出本技术规范操作章节中所示规格的条件下，推断器件能否正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

ESD 警告



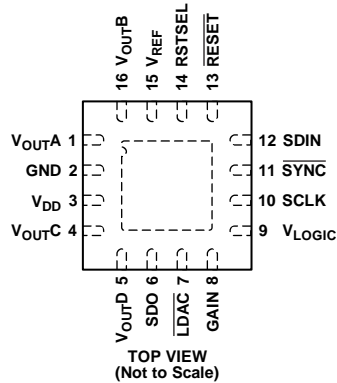
ESD (静电放电) 敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量 ESD 时，器件可能会损坏。因此，应当采取适当的 ESD 防范措施，以避免器件性能下降或功能丧失。

AD5686R/AD5685R/AD5684R

引脚配置和功能描述

AD5686R/AD5685R/AD5684R



NOTES
1. THE EXPOSED PAD MUST BE TIED TO GND.

图6. 16引脚LFCSP的引脚配置

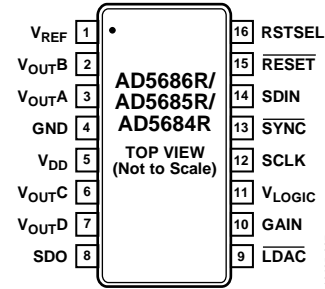


图7. 16引脚TSSOP引脚配置

表6. 引脚功能描述

引脚编号		引脚名称	描述
LFCSP	TSSOP		
1	3	V_{OUTA}	DAC A的模拟输出电压。输出放大器能以轨到轨方式工作。
2	4	GND	器件上所有电路的接地基准点。
3	5	V_{DD}	电源输入引脚。这些器件可以采用2.7V至5.5V电源供电，电源应通过并联的10 μ F电容和0.1 μ F电容去耦至GND。
4	6	V_{OUTC}	DAC C的模拟输出电压。输出放大器能以轨到轨方式工作。
5	7	V_{OUTD}	DAC D的模拟输出电压。输出放大器能以轨到轨方式工作。
6	8	SDO	串行数据输出。可用于以菊花链形式将多个AD5686R/AD5685R/AD5684R器件连接在一起或用于回读。串行数据在SCLK上升沿传输，而且在该时钟下降沿有效。
7	9	$\overline{\text{LDAC}}$	$\overline{\text{LDAC}}$ 支持两种工作模式：异步和同步。发送脉冲使该引脚变为低电平后，当输入寄存器有新数据时，可以更新任意或全部DAC寄存器。因此，所有DAC输出可以同时更新。也可以将该引脚永久接为低电平。
8	10	GAIN	范围设置引脚。当该引脚与GND相连时，所有四个DAC的输出范围均为0V至 V_{REF} 。如果该引脚与 V_{DD} 相连，则所有四个DAC的输出范围为0V至 $2 \times V_{REF}$ 。
9	11	V_{LOGIC}	数字电源。电压范围为1.8V至5.5V。
10	12	SCLK	串行时钟输入。数据在串行时钟输入的下降沿读入移位寄存器。数据能够以最高50 MHz的速率传输。
11	13	$\overline{\text{SYNC}}$	低电平有效控制输入。这是输入数据的帧同步信号。当 $\overline{\text{SYNC}}$ 变为低电平时，数据在后续24个时钟的下降沿读入。
12	14	SDIN	串行数据输入。该器件有一个24位输入移位寄存器。数据在串行时钟输入的下降沿读入寄存器。
13	15	$\overline{\text{RESET}}$	异步复位输入。 $\overline{\text{RESET}}$ 输入对下降沿敏感。当 $\overline{\text{RESET}}$ 为低电平时，所有 $\overline{\text{LDAC}}$ 脉冲都被忽略。当 $\overline{\text{RESET}}$ 有效时，输入寄存器和DAC寄存器更新为零电平或中间电平，具体取决于RSTSEL引脚的状态。
14	16	RSTSEL	上电复位引脚。将该引脚连接至GND时，可将所有四个DAC上电至零电平。将该引脚连接至 V_{DD} 时，则可将所有四个DAC上电至中间电平。
15	1	V_{REF}	基准电压。AD5686R/AD5685R/AD5684R有一个公用基准引脚。使用内部基准电压源时，此引脚为基准输出。使用外部基准电压源时，此引脚为基准输入。此引脚默认用作基准输出。
16	2	V_{OUTB}	DAC B的模拟输出电压。输出放大器能以轨到轨方式工作。
17	不适用	EPAD	裸露焊盘。裸露焊盘必须连接到GND。

典型性能参数

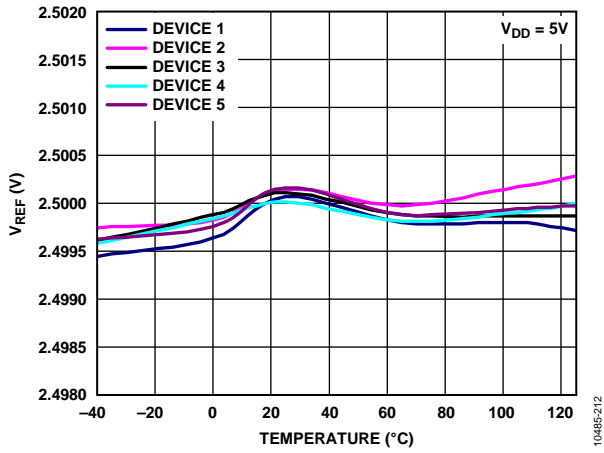


图8. 内部基准电压与温度的关系(B级)

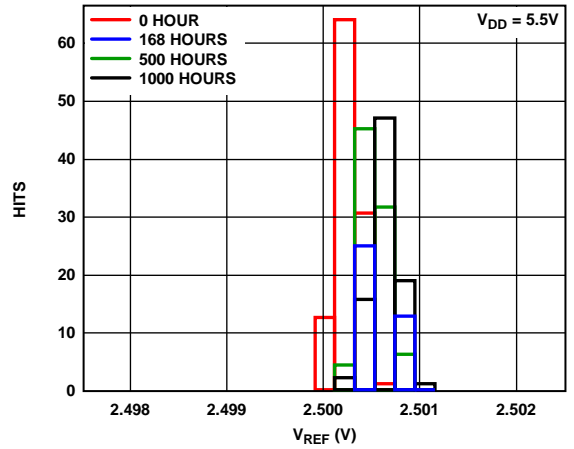


图11. 基准电压源长期稳定性/漂移

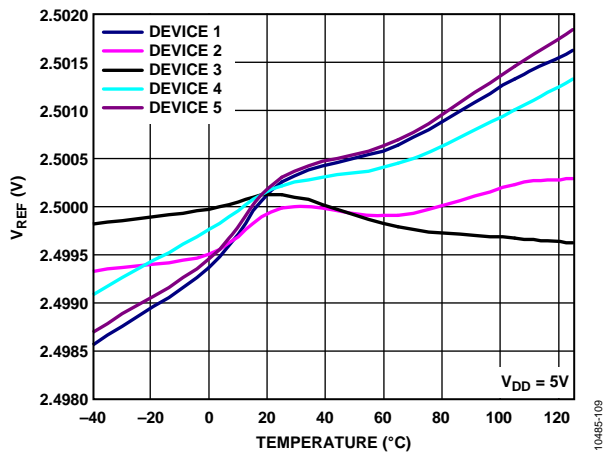


图9. 内部基准电压与温度的关系(A级)

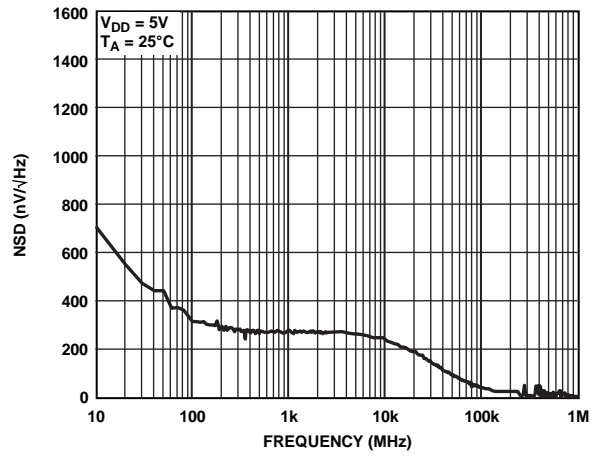


图12. 内部基准电压源噪声谱密度与频率的关系

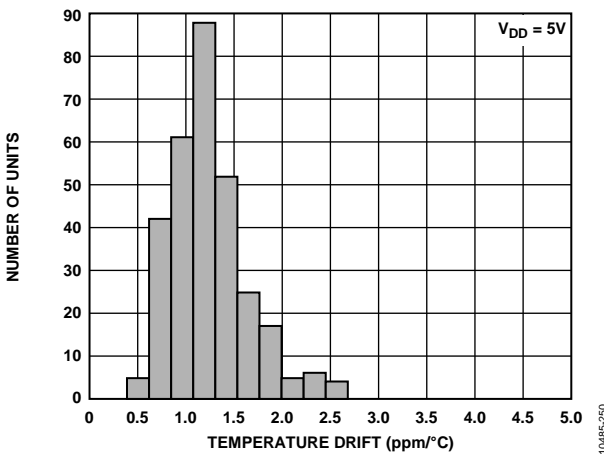


图10. 基准电压输出温度漂移直方图

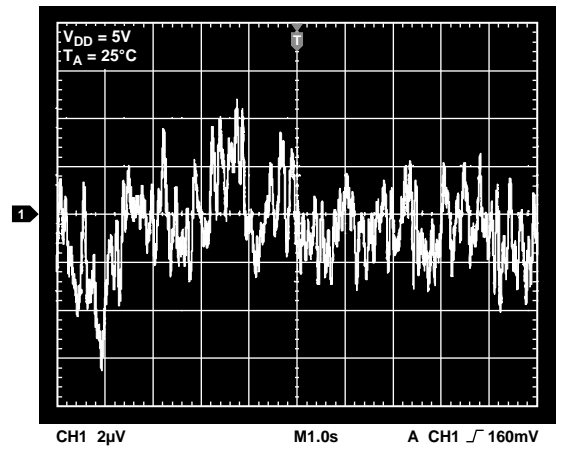


图13. 内部基准电压源噪声(0.1 Hz至10 Hz)

AD5686R/AD5685R/AD5684R

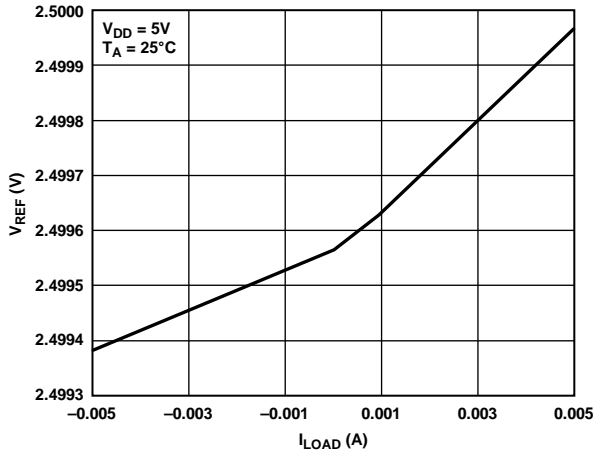


图14. 内部基准电压与负载电流的关系

10485-113

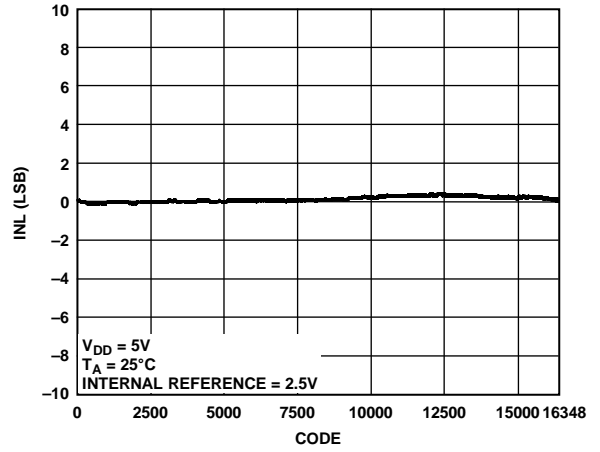


图17. AD5685R INL

10485-119

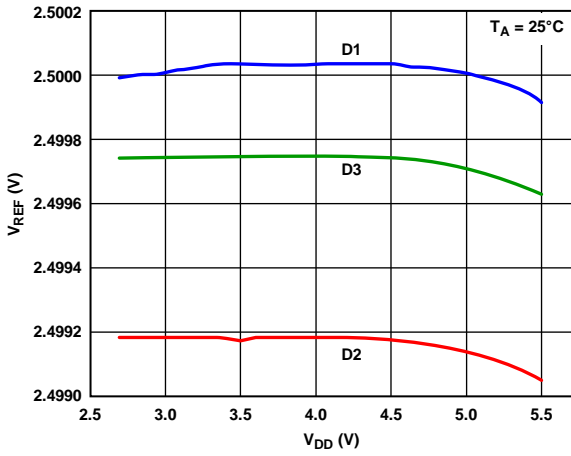


图15. 内部基准电压与电源电压的关系

10485-117

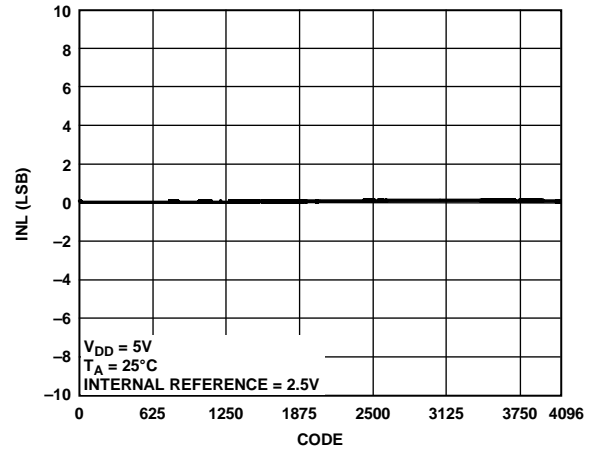


图18. AD5684R INL

10485-120

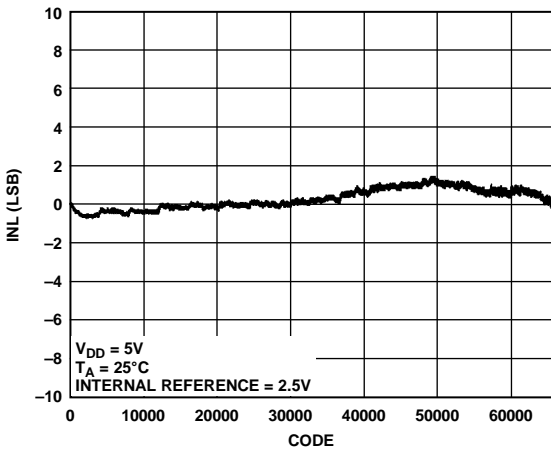


图16. AD5686R INL

10485-118

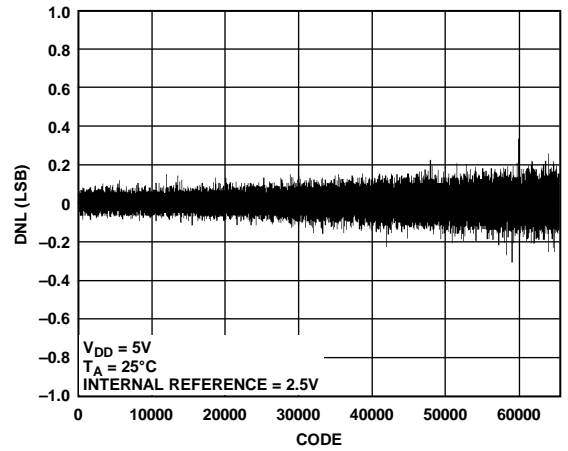


图19. AD5686R DNL

10485-121

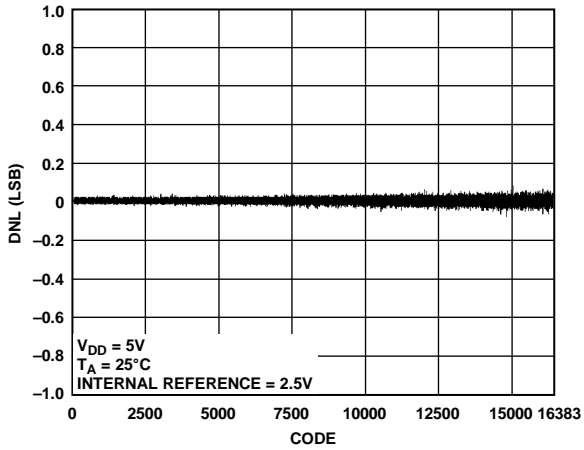


图20. AD5685R DNL

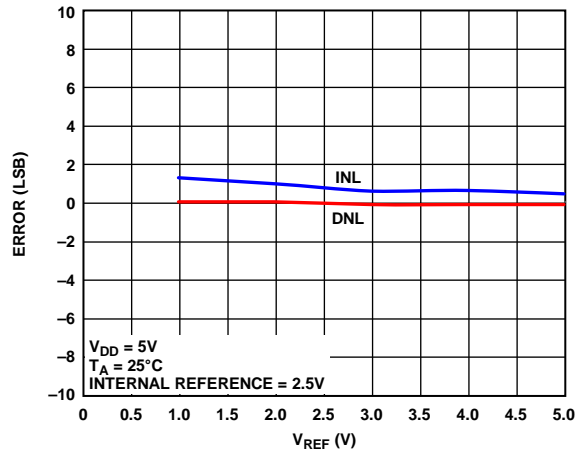


图23. INL误差和DNL误差与 V_{REF} 的关系

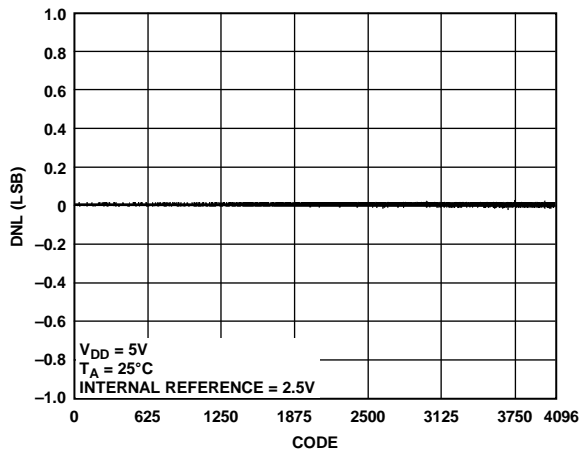


图21. AD5684R DNL

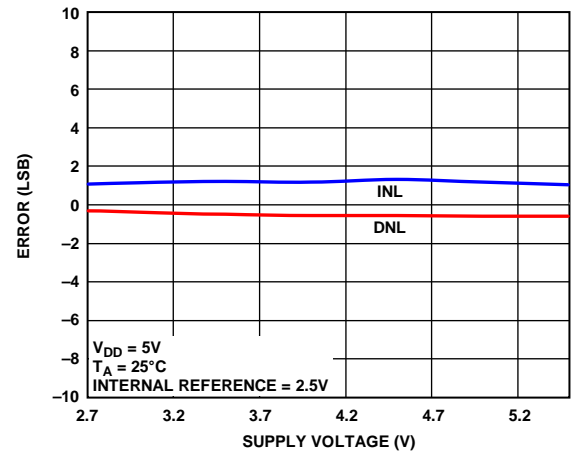


图24. INL误差和DNL误差与电源电压的关系

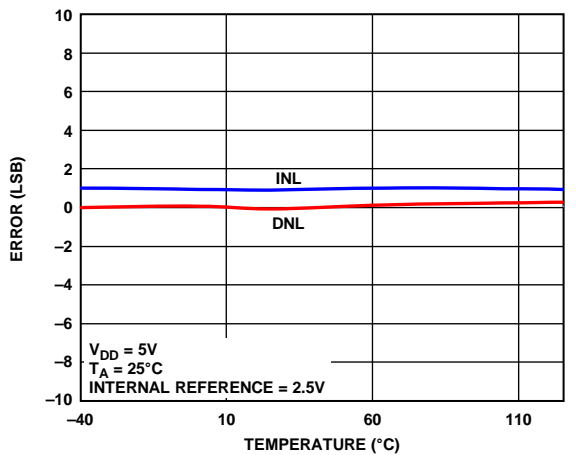


图22. INL误差和DNL误差与温度的关系

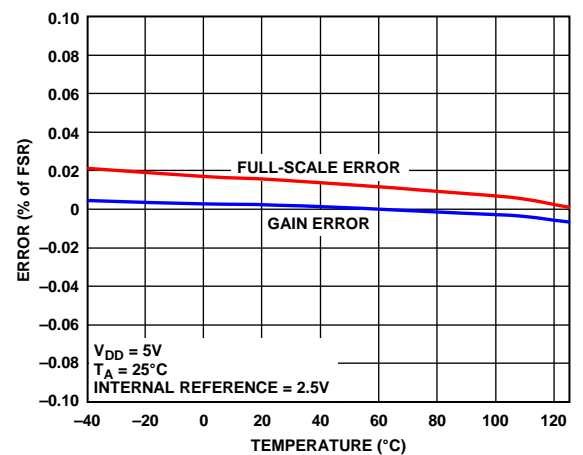


图25. 增益误差和满量程误差与温度的关系

AD5686R/AD5685R/AD5684R

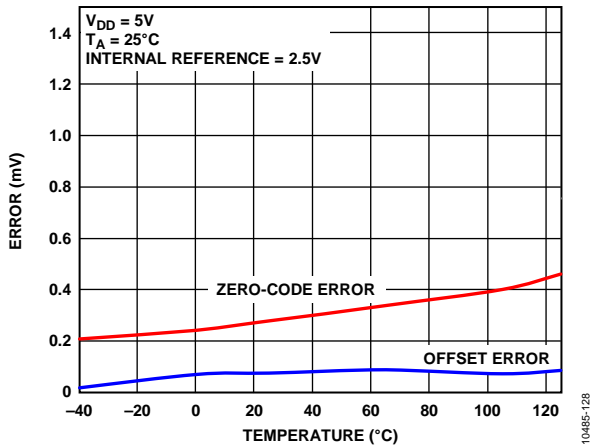


图26. 零代码误差和失调误差与温度的关系

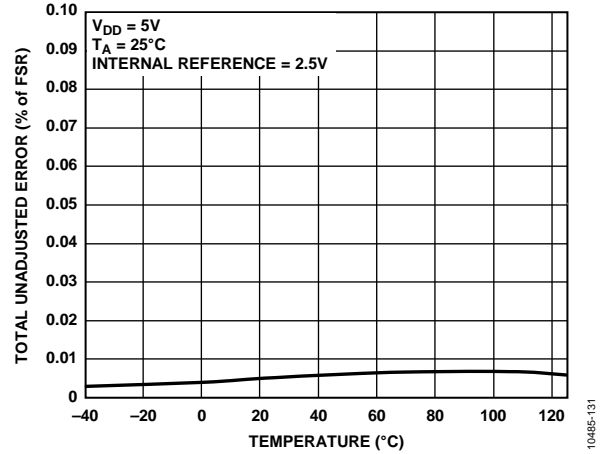


图29. TUE与温度的关系

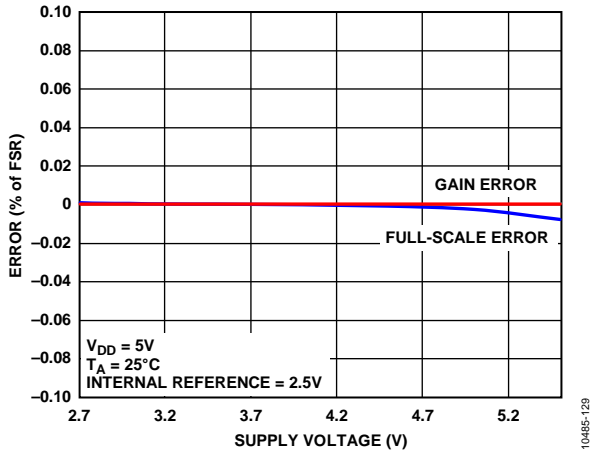


图27. 增益误差和满量程误差与电源的关系

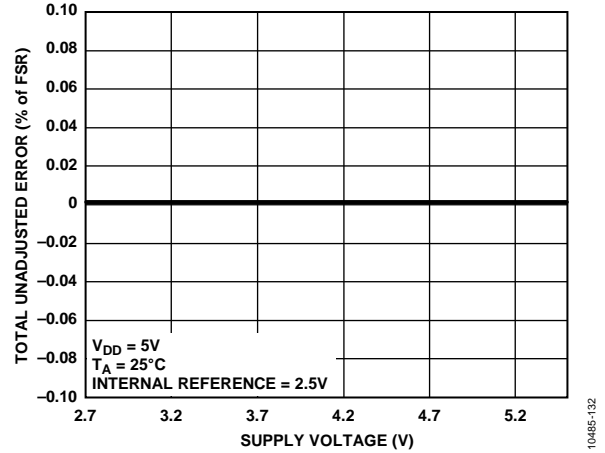


图30. TUE与电源的关系(增益=1)

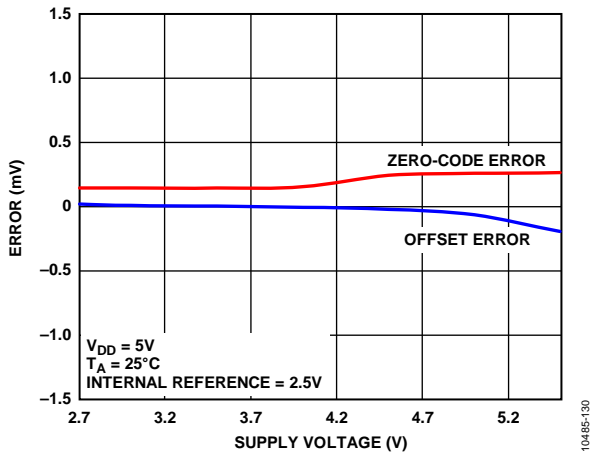


图28. 零代码误差和失调误差与电源的关系

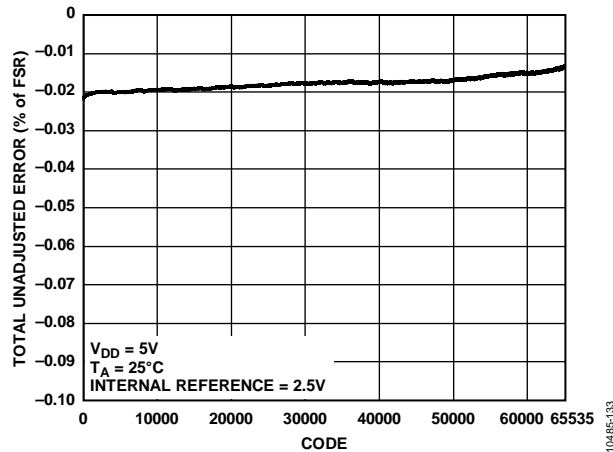


图31. TUE与代码的关系

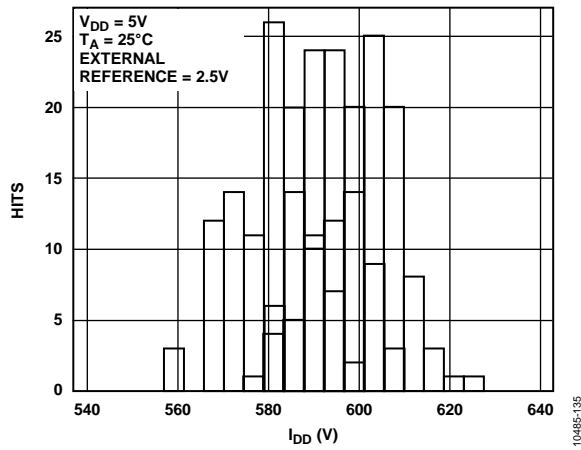


图32. 采用外部基准电压源时的 I_{DD} 直方图(5 V)

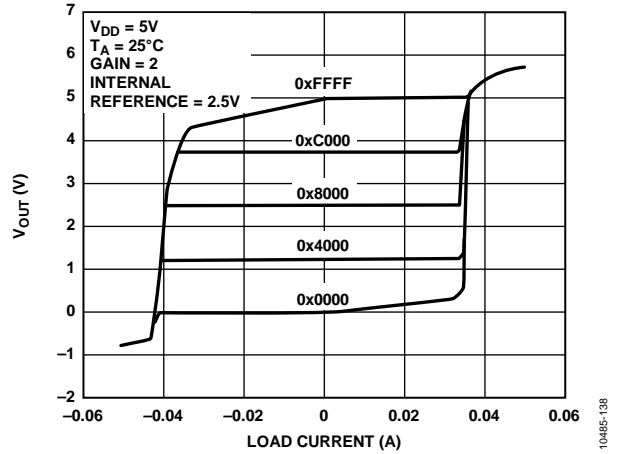


图35. 5 V时的源电流和吸电流能力

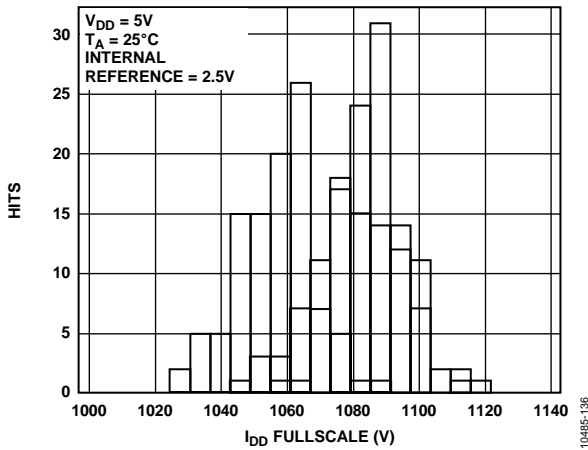


图33. 采用内部基准电压源时的 I_{DD} 直方图($V_{REFOUT} = 2.5 V$, 增益 = 2)

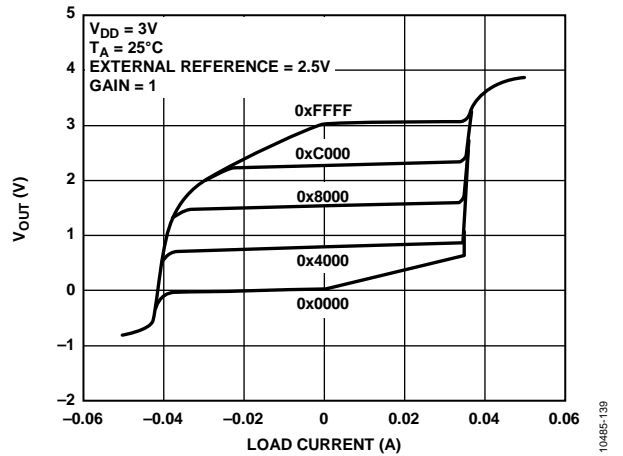


图36. 3 V时的源电流和吸电流能力

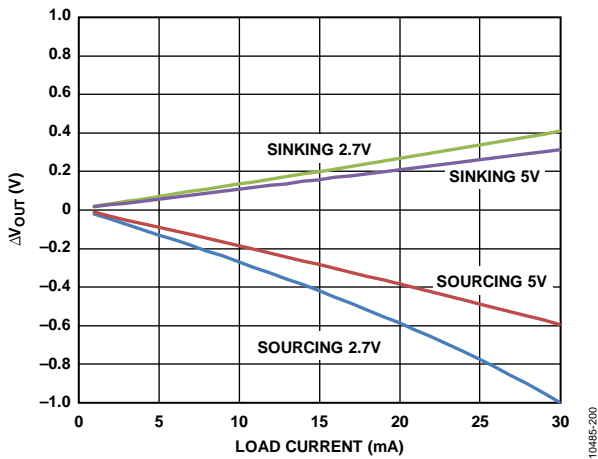


图34. 上裕量/下裕量与负载电流的关系

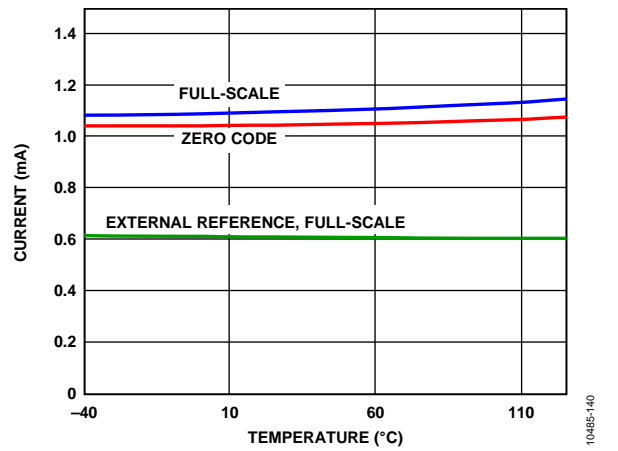


图37. 电源电流与温度的关系

AD5686R/AD5685R/AD5684R

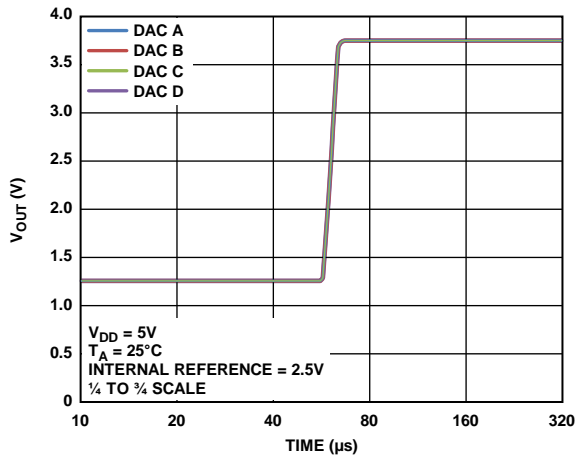


图38. 建立时间(5.25 V)

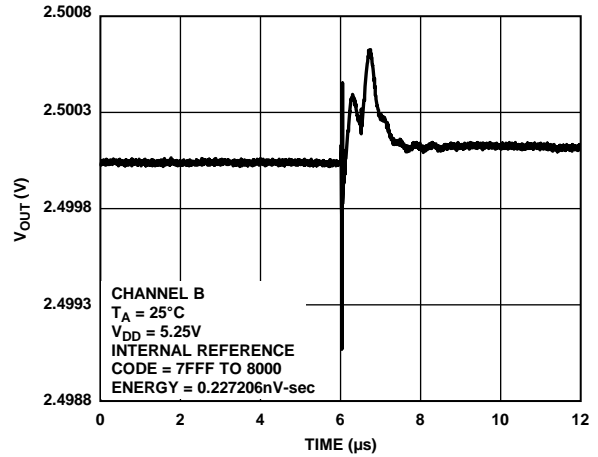


图41. 数模转换毛刺脉冲

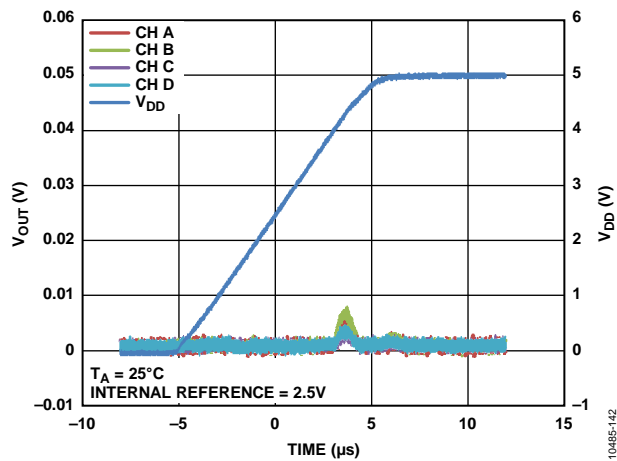


图39. 上电复位至0 V

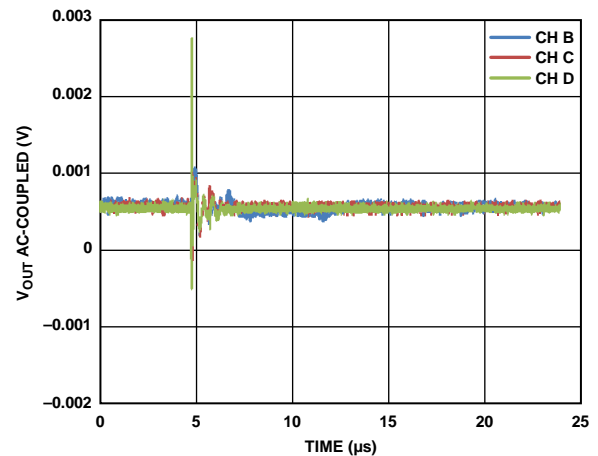


图42. 模拟串扰(通道A)

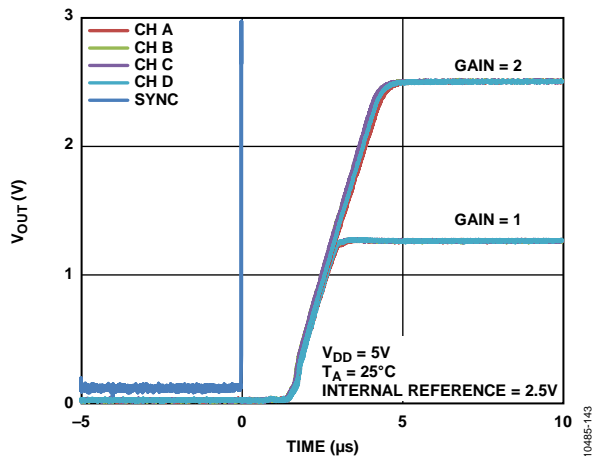


图40. 退出掉电模式进入中间电平

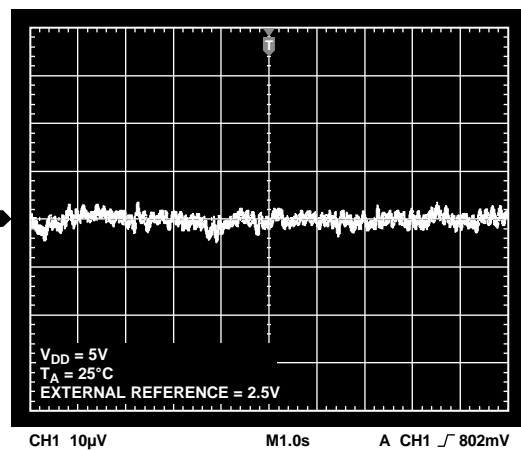


图43. 0.1 Hz至10 Hz输出噪声图, 外部基准电压源

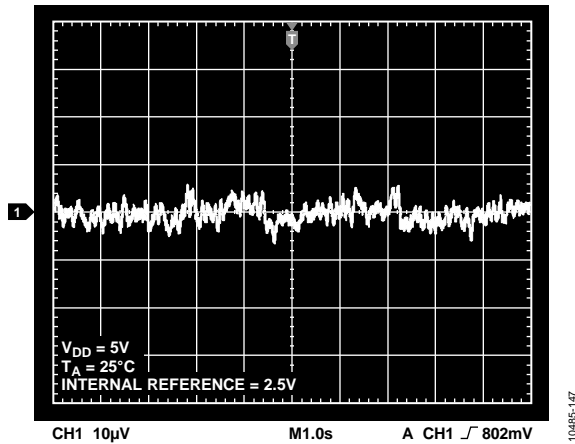


图44. 0.1 Hz至10 Hz输出噪声图, 2.5 V内部基准电压源

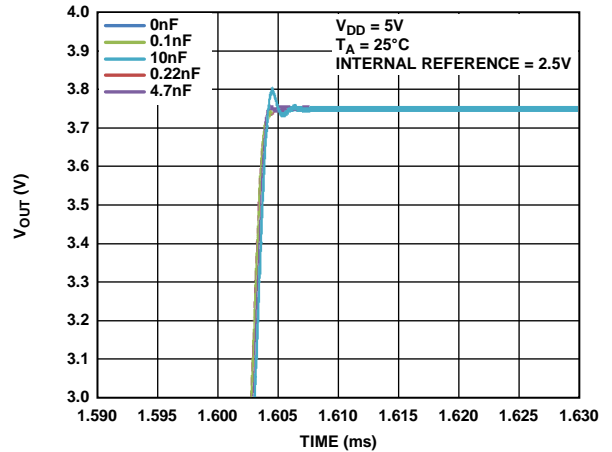


图47. 建立时间与容性负载的关系

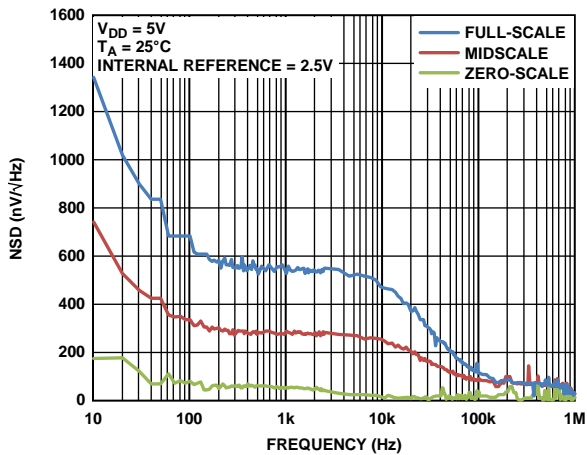


图45. 噪声频谱密度

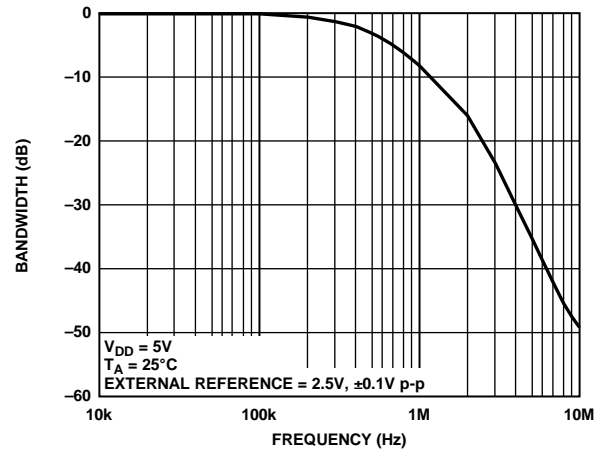


图48. 乘法带宽(外部基准电压源 = 2.5 V, ±0.1 V p-p, 10 kHz至10 MHz)

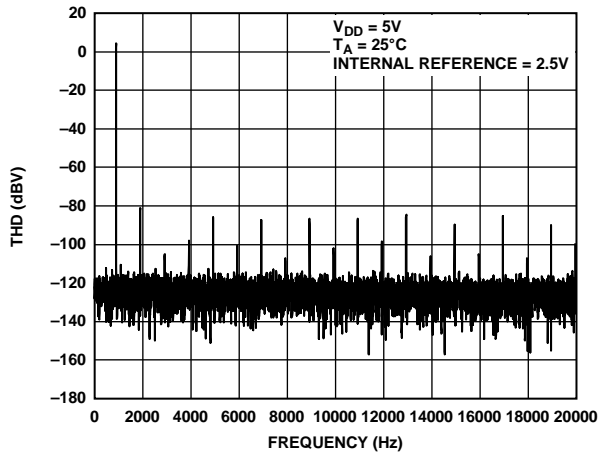


图46. 1 kHz时的总谐波失真

术语

相对精度或积分非线性(INL)

对于DAC，相对精度或积分非线性是指DAC输出与通过DAC传递函数的两个端点的直线之间的最大偏差，单位为LSB。图16给出了典型的INL与代码的关系图。

差分非线性(DNL)

微分非线性是指任意两个相邻编码之间所测得变化值与理想的1 LSB变化值之间的差异。最大 ± 1 LSB的额定差分非线性可确保单调性。本DAC通过设计保证单调性。图19所示为典型DNL与代码的关系图。

零代码误差

零代码误差衡量将零电平码(0x0000)载入DAC寄存器时的输出误差。理想情况下，输出应为0 V。在AD5686R中，零代码误差始终为正值，因为在DAC和输出放大器中的失调误差的共同作用下，DAC输出不能低于0 V。零代码误差用mV表示。图26所示为零代码误差与温度的关系图。

满量程误差

满量程误差衡量将满量程代码(0xFFFF)载入DAC寄存器时的输出误差。理想情况下，输出应为 $V_{DD} - 1$ LSB。满量程误差用满量程范围的百分比(% FSR)表示。图25所示为满量程误差与温度的关系图。

增益误差

增益误差是衡量DAC量程误差的指标，是指DAC传递特性的斜率与理想值之间的偏差，用% FSR表示。

失调误差漂移

失调误差漂移衡量失调误差随温度的变化，用 $\mu\text{V}/^\circ\text{C}$ 表示。

增益温度系数

增益温度系数衡量增益误差随温度的变化，用ppm FSR/ $^\circ\text{C}$ 表示。

失调误差

失调误差是指传递函数线性区内 V_{OUT} (实际)和 V_{OUT} (理想)之间的差值，用mV表示。失调误差在AD5686R上是通过将代码512载入DAC寄存器测得的。该值可以为正，也可负。

直流电源抑制比(PSRR)

PSRR表示电源电压变化对DAC输出的影响大小。是指DAC满量程输出的条件下 V_{OUT} 变化量与 V_{DD} 变化量之比，用mV/V表示。 V_{REF} 保持在2 V，而 V_{DD} 的变化范围为 $\pm 10\%$ 。

输出电压建立时间

输出电压建立时间是指对于一个 $\frac{1}{4}$ 至 $\frac{3}{4}$ 满量程输入变化，DAC输出建立为指定电平所需的时间。该时间从SYNC上升沿开始测量。

数模转换毛刺脉冲

数模转换毛刺脉冲是DAC寄存器中的输入代码变化时注入到模拟输出的脉冲。在数字输入代码主进位发生1 LSB转换(0x7FFF到0x8000)时测量，它一般定义为以nV-sec为单位的毛刺面积(见图41)。

数字馈通

数字馈通衡量从DAC的数字输入注入到DAC的模拟输出的脉冲，但在DAC输出未更新时进行测量。单位为nV-sec，测量数据总线上发生满量程编码变化时的情况，即全0至全1，反之亦然。

基准馈通

基准馈通是指DAC输出未更新时的DAC输出端的信号幅度与基准输入之比，用dB表示。

噪声频谱密度

噪声频谱密度衡量内部产生的随机噪音。随机噪声表示为频谱密度(nV/ $\sqrt{\text{Hz}}$)。测量方法是将DAC加载到中间电平，然后测量输出端噪声。单位为nV/ $\sqrt{\text{Hz}}$ 。噪声频谱密度曲线图如图45所示。

直流串扰

直流串扰是一个DAC输出电平因响应另一个DAC输出变化而发生的直流变化。其测量方法是让一个DAC发生满量程输出变化(或软件关断并上电)，同时监控另一个保持中间电平的DAC。单位为 μV 。

负载电流变化引起的直流串扰用来衡量一个DAC的负载电流变化对另一个保持中间电平的DAC的影响。单位为 $\mu\text{V}/\text{mA}$ 。

数字串扰

数字串扰是指一个输出为中间电平的DAC，其输出因响应另一个DAC的输入寄存器中满量程编码变化(全0至全1，或相反)而引起的毛刺脉冲。该值在独立模式下进行测量，用nV-sec表示。

模拟串扰

模拟串扰指一个DAC的输出因响应另一个DAC输出的变化而引起的毛刺脉冲。它的测量方法是，向一个DAC加载满刻度代码变化(全0至全1或相反)，然后执行软件LDAC并监控数字编码未改变的DAC的输出。毛刺面积用nV-sec表示。

DAC间串扰

DAC间串扰是指一个DAC的输出因响应另一个DAC的数字编码变化和后续的模拟输出变化，而引起的毛刺脉冲。其测量方法是使用写入和更新命令让一个通道发生满量程编码变化(全0到全1，或相反)，同时监控处于中间量程的另一个通道的输出。毛刺的能量用nV-sec表示。

乘法带宽

DAC内部的放大器具有有限的带宽，乘法带宽即是衡量该带宽。参考端的正弦波(DAC加载满量程编码)出现在输出端。乘法带宽指输出幅度降至输入幅度以下3 dB时的频率。

总谐波失真(THD)

总谐波失真是指理想正弦波与使用DAC时其衰减形式的差别。正弦波用作DAC的参考，而THD用来衡量DAC输出端存在的谐波。单位为dB。

基准电压源TC

基准电压源TC衡量基准输出电压随温度的变化。基准电压源TC利用黑盒法计算，该方法将温度系数(TC)定义为基准电压输出在给定温度范围内的最大变化，用ppm/°C表示，计算公式如下：

$$TC = \left[\frac{V_{REFmax} - V_{REFmin}}{V_{REFnom} \times TempRange} \right] \times 10^6$$

其中：

V_{REFmax} 是在整个温度范围内测量的最大基准电压输出。

V_{REFmin} 是在整个温度范围内测量的最小基准电压输出。

V_{REFnom} 是标称基准输出电压2.5 V。

$TempRange$ 为额定温度范围：-40°C至+105°C。

工作原理

数模转换器

AD5686R/AD5685R/AD5684R分别为四通道、16/14/12位、串行输入、电压输出DAC，内置基准电压源。采用2.7 V至5.5 V电源供电。数据通过三线式串行接口以24位字格式写入AD5686R/AD5685R/AD5684R。AD5686R/AD5685R/AD5684R内置一个上电复位电路，确保DAC输出上电至已知的输出状态。它们也有软件掉电模式，可以将典型功耗降至4 μA。

传递函数

内部基准电压源默认使能。若要使用外部基准电压源，只需不含基准电压源的选项。DAC的输入编码为直接二进制制，使用外部基准电压源时的理想输出电压为：

$$V_{OUT} = V_{REF} \times Gain \left[\frac{D}{2^N} \right]$$

其中：

D是载入DAC寄存器的二进制编码的十进制等效值：

12位器件：0至4,095。

14位器件：0至16,383。

16位器件：0至65,535。

N为DAC分辨率。

Gain是输出放大器的增益，默认设置为1。可使用增益选择引脚将其设置为×1或×2。当该引脚与GND相连时，所有四个DAC的输出范围均为0 V至 V_{REF} 。如果该引脚与 V_{DD} 相连，则所有四个DAC的输出范围为0 V至 $2 \times V_{REF}$ 。

DAC架构

DAC架构由一个电阻串DAC和一个输出放大器构成。图49为DAC架构框图。

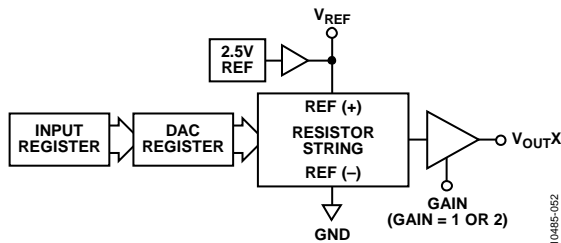


图49. DAC单通道架构框图

电阻串结构如图50所示。它只是一串电阻，各电阻的值为R。载入DAC寄存器的代码决定抽取电阻串上哪一个节点的电压，以馈入输出放大器。抽取电压的方法是将连接电阻串与放大器的开关之一闭合。由于它是一串电阻，因此可以保证单调性。

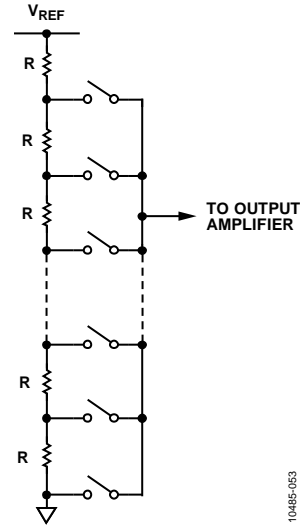


图50. 电阻串结构

内部基准电压

AD5686R/AD5685R/AD5684R的片内基准电压源在上电时开启，可以通过写入控制寄存器予以禁用。详见“内部基准电压源设置”部分。

AD5686R/AD5685R/AD5684R内置一个2.5 V、2 ppm/°C基准电压源，满量程输出为2.5 V或5 V，具体取决于GAIN引脚的状态。器件的内部基准电压通过 V_{REF} 引脚提供。该经过缓冲的基准电压源能够驱动高达10 mA的外部负载。

输出放大器

输出缓冲放大器可以在其输出端产生轨到轨电压，输出范围为0 V至 V_{DD} 。实际范围取决于 V_{REF} 的值、GAIN引脚、失调误差和增益误差。GAIN引脚选择输出的增益。

- 如果此引脚连接到GND，所有四个输出的增益均为1，且输出范围为0 V至 V_{REF} 。
- 如果此引脚连接到 V_{LOGIC} ，则所有四个输出的增益均为2，且输出范围为0 V至 $2 \times V_{REF}$ 。

这些放大器能驱动连接至GND的一个与2 nF电容并联的1 kΩ负载。压摆率为0.8 V/μs，¼到¾量程建立时间为5 μs。

串行接口

AD5686R/AD5685R/AD5684R的三线式串行接口(SYNC、SCLK和SDIN)与SPI、QSPI和MICROWIRE接口标准以及大多数DSP兼容。典型写序列的时序图参见图2。AD5686R/AD5685R/AD5684R带有一个SDO引脚,允许用户以菊花链形式将多个器件连接在一起(参见“菊花链操作”部分)或进行回读。

输入移位寄存器

AD5686R/AD5685R/AD5684R的输入移位寄存器为24位宽。数据以MSB (DB23)优先方式载入,并且前四位为命令位C3至C0(见表7),然后是4位DAC地址位(DAC A、DAC B、DAC C和DAC D,见表8),最后是数据字位。

AD5686R、AD5685R和AD5684R的数据字分别包括16、14、12位输入代码和0、2、4个无关位(参见图51、图52和图53)。这些数据位在SCLK的24个下降沿传送到输入寄存器,并在SYNC上升沿进行更新。

命令可以在单DAC通道、多DAC通道或全DAC通道上执行,具体取决于所选的地址位。

表7. 命令定义

命令				描述
C3	C2	C1	C0	
0	0	0	0	无操作
0	0	0	1	写入输入寄存器n(取决于LDAC)
0	0	1	0	以输入寄存器n的内容更新DAC寄存器n
0	0	1	1	写入并更新DAC通道n
0	1	0	0	DAC掉电/上电
0	1	0	1	硬件LDAC屏蔽寄存器
0	1	1	0	软件复位(上电复位)
0	1	1	1	内部基准电压源设置寄存器
1	0	0	0	设置DCEN寄存器(菊花链使能)
1	0	0	1	设置回读寄存器(回读使能)
1	0	1	0	保留
1	0	1	1	保留
...	保留
1	1	1	1	保留

表8. 地址命令

地址(n)				选定的DAC通道 ¹
DAC D	DAC C	DAC B	DAC A	
0	0	0	1	DAC A
0	0	1	0	DAC B
0	1	0	0	DAC C
1	0	0	0	DAC D
0	0	1	1	DAC A和DAC B
1	1	1	1	所有DAC

¹ 可使用地址位来选择任意组合的DAC通道。

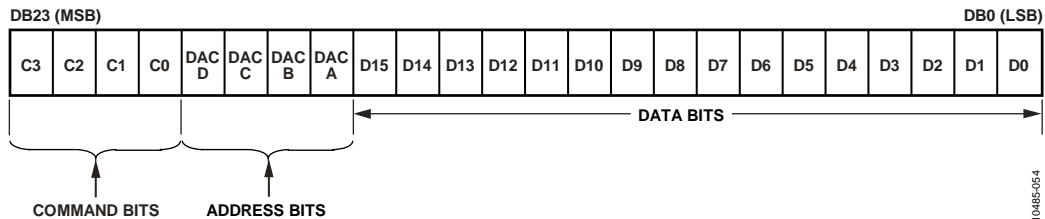


图51. AD5686R输入移位寄存器内容

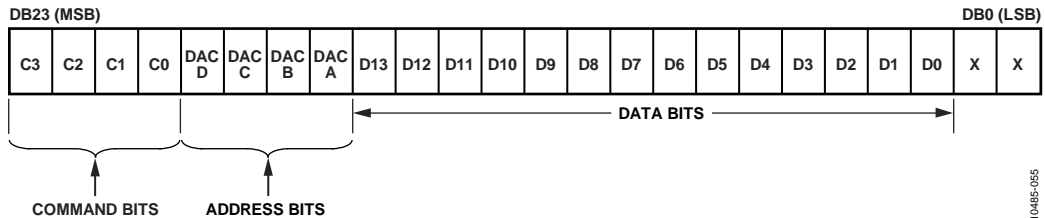


图52. AD5685R输入移位寄存器内容

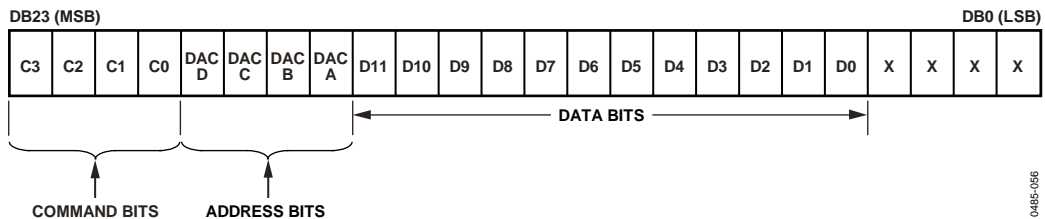


图53. AD5684R输入移位寄存器内容

AD5686R/AD5685R/AD5684R

独立操作

写序列通过将SYNC线置为低电平来启动。来自SDIN线的数据在SCLK的下降沿进入24位输入移位寄存器。输入24个数据位的最后一位后，应将SYNC拉高。接着执行编程功能，即DAC寄存器内容会根据LDAC发生变化和/或工作模式会改变。如果在第24个时钟周期之前SYNC变为高电平，则认为有效的帧信号，而无效的数据将可能载入DAC。SYNC必须在下一个写序列之前保持至少20 ns(单通道，参见图2中的 t_{s})的高电平，这样才能通过SYNC下降沿启动下一个写序列。在写序列之间，供电轨处的SYNC应为低电平，以进一步降低器件功耗。SYNC保持24个SCLK下降沿的低电平，在SYNC的上升沿DAC将更新。

当数据传送至寻址DAC的输入寄存器后，所有DAC寄存器和输出端可以通过将LDAC置为低电平并使SYNC线保持高电平来更新。

写命令和更新命令

写入输入寄存器n(取决于LDAC)

命令0001允许用户逐个写入各个DAC的专用输入寄存器。当LDAC为低电平时，输入寄存器是透明的(如果不由LDAC屏蔽寄存器控制)。

以输入寄存器n的内容更新DAC寄存器n

命令0010会在DAC寄存器/输出中加载选定输入寄存器的内容并直接更新DAC输出。

写入和更新DAC通道n(与LDAC无关)

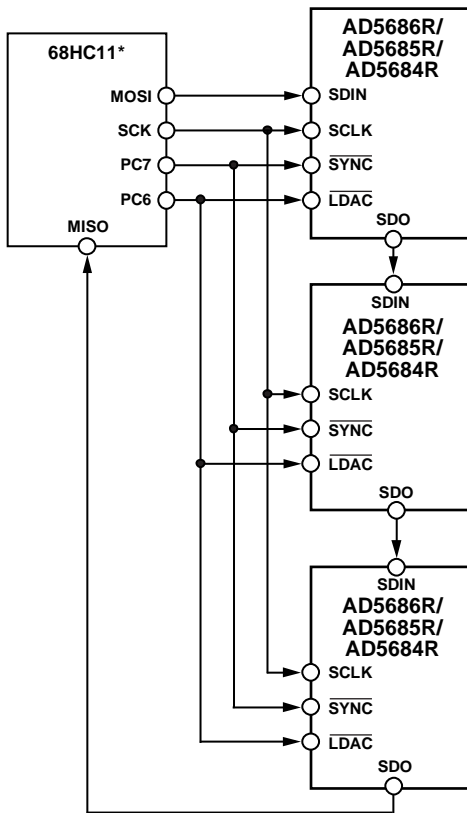
命令0011允许用户写入DAC寄存器并直接更新DAC输出。

菊花链操作

对于包含数个DAC的系统，可使用SDO引脚来将多个器件以菊花链形式连接在一起；该功能通过软件可执行菊花链使能(DCEN)命令来使能。命令1000保留用于该DCEN功能(见表7)。通过将DCEN寄存器的位DB0置1可以使能菊花链模式。默认设置为独立模式，其中DB0 = 0。表9列出了该位的状态与器件工作模式的对应关系。

表9. 菊花链使能(DCEN)寄存器

DB0	描述
0	独立模式(默认)
1	DCEN模式



*ADDITIONAL PINS OMITTED FOR CLARITY.

图54. 以菊花链方式连接AD5686R/AD5685R/AD5684R

当SYNC为低电平时，SCLK引脚不断施加到输入移位寄存器。如果施加24个以上的时钟脉冲，数据将溢出输入移位寄存器，而出现在SDO线上。此数据在SCLK上升沿逐个输出，并在SCLK的下降沿有效。通过将该线路连接到菊花链中下一个DAC的SDIN输入，即可构成菊花链接口。系统中的每个DAC都需要24个时钟脉冲，因此总时钟周期数必须等于 $24 \times N$ ，其中N为要更新的器件总数。

如果SYNC在并非24倍数的时钟周期上变为高电平，则会被视为有效帧，进而可能向DAC中载入无效数据。当对所

有器件的串行传输结束时，SYNC变为高电平，这样可以锁存菊花链中各器件的输入数据，防止额外的数据进入输入移位寄存器。串行时钟可以是连续时钟或选通时钟。只有当SYNC可以在正确的时钟周期数内保持为低电平时，才能使用连续的SCLK时钟源。在选通时钟模式下，必须采用包含确切时钟周期数的突发时钟，在时钟周期结束后必须将SYNC置为高电平来锁存数据。

回读操作

回读模式通过软件可执行回读命令来调用。如果通过控制寄存器中的菊花链模式禁用位禁用了SDO输出，则读操作期间会自动启用该输出，之后再次禁用。命令1001保留用于回读功能。该命令与DAC A至DAC D地址位之一配合使用来选择要读取的寄存器。注意，回读期间只能选择一个DAC寄存器。余下的三个地址位必须设为逻辑0。写序列中的余下数据位都是无关位。如果选择了多个位或未选择任何位，则默认回读DAC通道A。在下次SPI写操作期间，SDO输出端的数据包含之前寻址寄存器的数据。

例如，要回读通道A的DAC寄存器，应当实施如下操作序列：

1. 将0x900000写入AD5686R/AD5685R/AD5684R输入寄存器。这会将器件配置为读取模式，同时选中通道A的DAC寄存器。注意，从DB15至DB0的所有数据位都是无关位。
2. 然后执行第二个写操作，写入NOP条件0x000000。在此写入期间，来自寄存器的数据在SDO线路上逐个输出。DB23至DB20包含未定义的数据，后16位则包含DB19至DB4 DAC寄存器内容。

AD5686R/AD5685R/AD5684R

掉电工作模式

AD5686R/AD5685R/AD5684R支持三种独立的掉电模式。命令0100用于掉电功能(见表7)。这些掉电模式可通过软件编程,方法是设置输入移位寄存器中的八个位(位DB7至位DB0)。每个DAC通道对应两个位。表10列出了这两个位的状态与器件工作模式的对应关系。

表10. 工作模式

工作模式	PDx1	PDx0
正常工作	0	0
关断模式		
1 kΩ接GND	0	1
100 kΩ接GND	1	0
三态	1	1

通过设置相应位,可以关断任意或所有DAC(DAC A至DAC D),使其进入选定模式。表11列出了掉电/上电期间输入移位寄存器的内容。

当输入移位寄存器中的位PDx1和位PDx0(其中x为选定的通道)均设为0时,器件正常工作,5V时正常模式功耗为4mA。在三种掉电模式下,5V时电源电流降至4μA。不仅是供电电流下降,输出级也从放大器输出切换为已知值的电阻网

络,这是有好处的,因为在掉电模式下器件的输出阻抗是已知的。有三种不同的掉电选项:输出通过1kΩ电阻或100kΩ电阻内部连接到GND,或者保持开路状态(三态)。图55显示了此输出级。

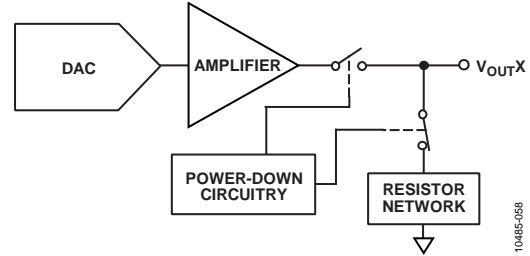


图55. 关断模式下的输出级

在掉电模式有效时,偏置发生器、输出放大器、电阻串以及其它相关线性电路全部关断。然而,关断期间DAC寄存器的内容不受影响。可在器件处于掉电模式下时更新DAC寄存器。当 $V_{DD} = 5V$ 时,退出掉电模式所需时间通常为4.5μs。

要进一步降低功耗,可以关闭片上基准电压源。参见“内部基准电压源设置”部分。

表11. 掉电/上电操作的24位输入移位寄存器内容¹

DB23	DB22	DB21	DB20	DB19至DB16	DB15至DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0 (LSB)
0	1	0	0	X	X	PDD1	PDD0	PDC1	PDC0	PDB1	PDB0	PDA1	PDA0
命令位(C3至C0)				地址位 无关位		掉电 选择DAC D		掉电 选择DAC C		掉电 选择DAC B		掉电 选择DAC A	

¹X = 无关位。

加载DAC(硬件LDAC引脚)

AD5686R/AD5685R/AD5684R DAC具有由两个寄存器库组成的双缓冲接口：输入寄存器和DAC寄存器。用户可以写入任意组合的输入寄存器。DAC寄存器更新由LDAC引脚控制。

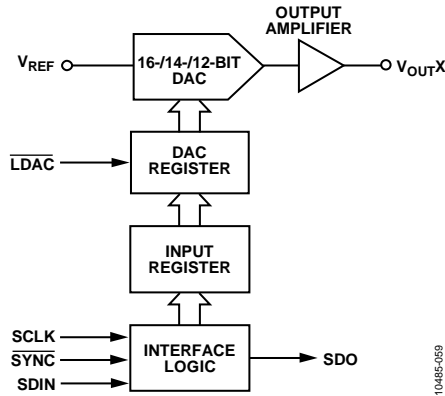


图56. 单个DAC的输入加载电路示意图

DAC同步更新(LDAC保持低电平)

LDAC 利用命令0001将数据输入输入寄存器时，SYNC保持低电平。被寻址的输入寄存器和DAC寄存器均会在SYNC的上升沿更新，并且输出开始发生变化(见表13)。

DAC延迟更新(LDAC变为低电平)

利用命令0001将数据输入输入寄存器时，LDAC保持高电平。在LDAC变为高电平后通过拉低SYNC，异步更新所有DAC输出。此时在LDAC的下降沿进行更新。

表13. 写命令和LDAC引脚真值表¹

命令	描述	硬件LDAC引脚状态	输入寄存器内容	DAC寄存器内容
0001	写入输入寄存器n(取决于LDAC)	V _{LOGIC}	数据更新	无变化(无更新)
		GND ²	数据更新	数据更新
0010	以输入寄存器n的内容更新DAC寄存器n	V _{LOGIC}	无变化	用输入寄存器内容更新
		GND	无变化	用输入寄存器内容更新
0011	写入并更新DAC通道n	V _{LOGIC}	数据更新	数据更新
		GND	数据更新	数据更新

¹ 当硬件LDAC引脚上发生高电平至低电平转换时，始终会以LDAC屏蔽寄存器未屏蔽(阻止)的通道上输入寄存器的内容来更新DAC寄存器的内容。

² 当LDAC永久接为低电平时，LDAC屏蔽位会被忽略。

LDAC 屏蔽寄存器

命令0101用于该软件LDAC功能。地址位被忽略。使用命令0101写入DAC将加载4位LDAC寄存器(DB3至DB0)。各通道的默认值为0，即LDAC引脚正常工作。将这些位设为1时，可强制该DAC通道忽略LDAC引脚上发生的高低跃迁，不管硬件LDAC引脚的状态如何。在用户希望选择由哪个通道来响应LDAC引脚的应用中，这种灵活性非常有用。

表12. LDAC覆写定义

加载LDAC寄存器		
LDAC 位 (DB3至DB0)	LDAC 引脚	LDAC 操作
0	1或0	由LDAC引脚决定。
1	X ¹	DAC通道更新并覆盖LDAC引脚。DAC通道视LDAC为1。

¹ X = 无关位。

利用LDAC寄存器，用户可以更加灵活地控制硬件LDAC引脚(见表12)。如果将某一DAC通道的LDAC位(DB0至DB3)设为0，则意味着该通道的更新受硬件LDAC引脚的控制。

AD5686R/AD5685R/AD5684R

硬件复位(RESET)

RESET 是低电平有效复位引脚，可用于将输出清零至零电平或中间电平。用户可通过RESET选择引脚来选择清零代码值。RESET必须至少保持一段时间的低电平才能完成该操作(见图2)。当RESET信号变回高电平后，输出会保持为清零值，直到设置新值。当RESET引脚为低电平时，无法用新值更新输出。还有一个软件可执行的复位功能，它可将DAC复位至上电复位代码。命令0110用于该软件复位功能(见表7)。上电复位期间，LDAC或RESET上的所有事件都会被忽略。

复位选择引脚(RSTSEL)

AD5686R/AD5685R/AD5684R具有上电复位电路，可以在上电时控制输出电压。通过将RSTSEL引脚与低电平相连，输出会上电至零电平。请注意，这在DAC的线性区域之外；通过将RSTSEL引脚与高电平相连，V_{OUT}会上电至中间电平。输出一直保持该电平，直到对DAC执行有效的写序列。

内部基准电压源设置

片内基准电压源在上电时默认开启。要降低功耗，可通过设置控制寄存器中的软件可编程位DB0来关闭此基准电压源。表14列出了该位的状态与工作模式的对应关系。命令0111用于设置内部基准电压源(见表9)。表14列出了内部基准电压源设置期间输入移位寄存器中各位的状态与器件工作模式的对应关系。

表14. 基准电压源设置寄存器

内部基准电压源设置寄存器(DB0)	操作
0	基准电压源开启(默认)
1	基准电压源关闭

回流焊

与所有IC基准电压电路一样，基准电压值存在焊接工艺引入的偏移。ADI公司执行称为预调理的可靠性测试，以最大程度地减少将器件焊接到电路板而造成的影响。上文引用的输出电压规格包含此可靠性测试的影响。

图57显示了通过可靠性测试(预调理)测得的回流焊(SHR)影响。

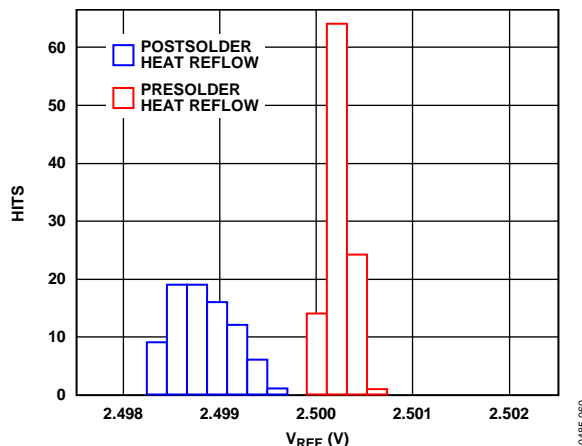


图57. SHR基准电压偏移

长期温度漂移

图58显示在150°下经过1000小时使用寿命测试后V_{REF}值的变化情况。

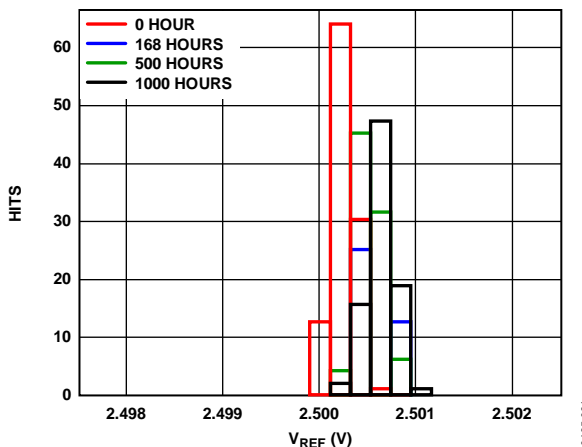


图58. 1000小时后的基准电压漂移

热滞

热滞是指当温度从环境温度变冷再变热之后回到环境温度时基准电压上出现的电压差。

热滞数据如图59所示。其测量条件是从环境温度变为-40°C，然后变为+105°C，再回到环境温度。然后，测得两次环境温度下测量结果之间的偏差 V_{REF} ，如图59中的蓝色部分所示。接着，立即重复相同的温度切换和测量，其结果如图59中的红色部分所示。

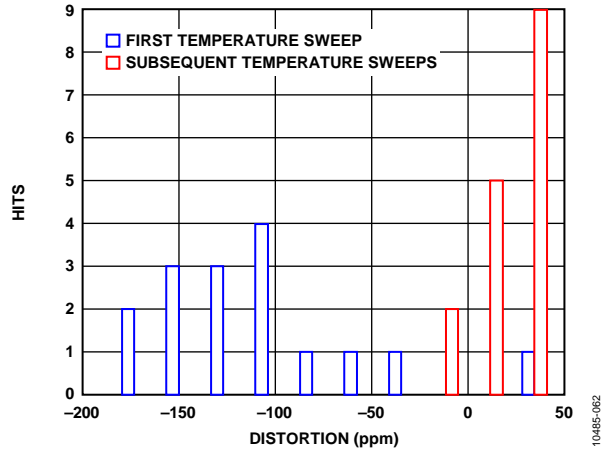


图59. 热滞

表15. 内部基准电压源设置命令的24位输入移位寄存器内容¹

DB23 (MSB)	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15至DB1	DB0 (LSB)
0	1	1	1	X	X	X	X	X	1/0
命令位(C3至C0)				地址位(A2至A0)			无关		基准电压源设置寄存器

¹X = 无关位。

AD5686R/AD5685R/AD5684R

应用信息

微处理器接口

微处理器与AD5686R/AD5685R/AD5684R的接口通过串行总线实现，使用与DSP处理器和微控制器兼容的协议。通信通道需要一个三线/四线接口，该接口包含一个时钟信号、一个数据信号和一个同步信号。这些器件需要24位数据字，数据在 $\overline{\text{SYNC}}$ 的上升沿有效。

AD5686R/AD5685R/AD5684R与ADSP-BF531的接口

AD5686R/AD5685R/AD5684R的SPI接口用于轻松连接符合工业标准的DSP和微控制器。图60显示AD5686R/AD5685R/AD5684R连接到ADI公司的Blackfin® DSP。Blackfin处理器集成了一个SPI端口，可直接与AD5686R/AD5685R/AD5684R的SPI引脚相连。

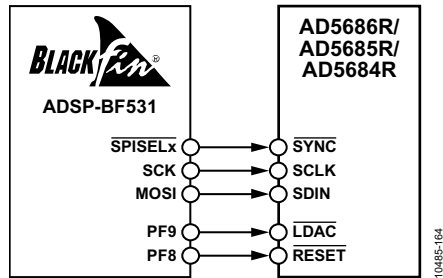


图60. ADSP-BF531接口

AD5686R/AD5685R/AD5684R与SPORT的接口

Analog Devices的ADSP-BF527有一个SPORT串行端口。图61显示如何利用一个SPORT接口来控制AD5686R/AD5685R/AD5684R。

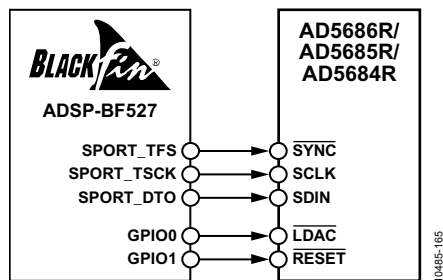


图61. SPORT接口

布局布线指南

在任何注重精度的电路中，精心考虑电源和接地回路布局都有助于确保达到规定的性能。安装AD5686R/AD5685R/AD5684R所用的PCB应经过专门设计，使AD5686R/AD5685R/AD5684R位于模拟平面。

AD5686R/AD5685R/AD5684R的每个电源上都应当具有10 μF 和0.1 μF 并联的旁路电容并且尽可能靠近封装，最好是正对着该器件。10 μF 电容应为钽珠型电容。0.1 μF 电容应具有低有效串联电阻(ESR)和低有效串联电感(ESL)，如高频时提供低阻抗接地路径的普通陶瓷型电容，以便处理内部逻辑开关所引起的瞬态电流。

在一个电路板上使用多个器件的系统中，提供一定的散热能力通常有助于功率耗散。

AD5686R/AD5685R/AD5684R在器件底部具有裸露焊盘，该焊盘与器件的GND电源相连。为了获得最佳性能，在设计母板和安装器件封装时需要有一些特殊考虑。为了改善散热、电气和板级性能，需将封装底部的裸露焊盘焊接到PCB上相应的散热焊盘上。为进一步改善散热性能，PCB焊盘区可以设计一些散热通孔。

可以扩大器件上的GND平面(如图62所示)，以提供自然散热效应。

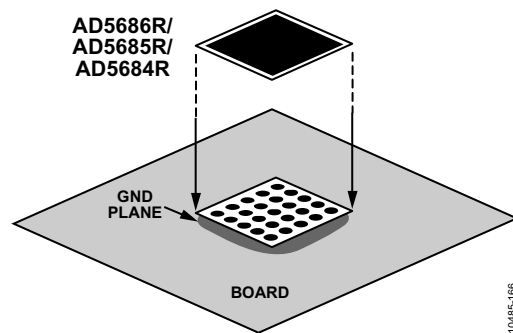
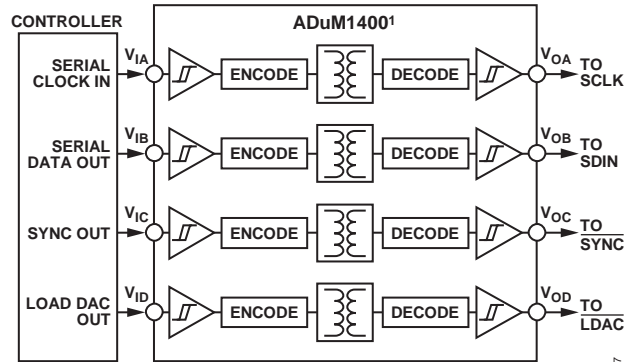


图62. 焊盘与电路板的连接

电流隔离接口

在很多过程控制应用中，都需要在控制器和被控制单元之间放置一个隔栅，以保护和隔离控制电路，防止危险的共模电压破坏电路。ADI公司的*iCoupler*®产品可隔离高于2.5 kV的电压。AD5686R/AD5685R/AD5684R具有串行负载结构，其接口线保持在最低数量，因此非常适合做隔离接口。图63显示使用ADuM1400¹时的4通道隔离接口。欲了解更多信息，请访问<http://www.analog.com/zh/icouplers>。



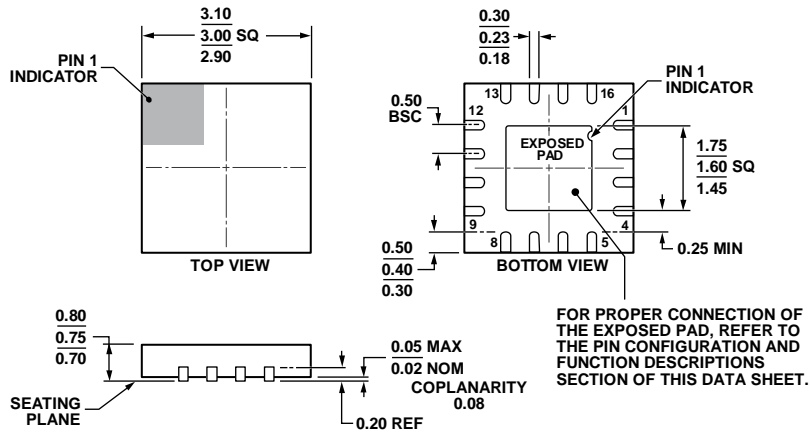
¹ADDITIONAL PINS OMITTED FOR CLARITY.

图63. 隔离接口

10485-167

AD5686R/AD5685R/AD5684R

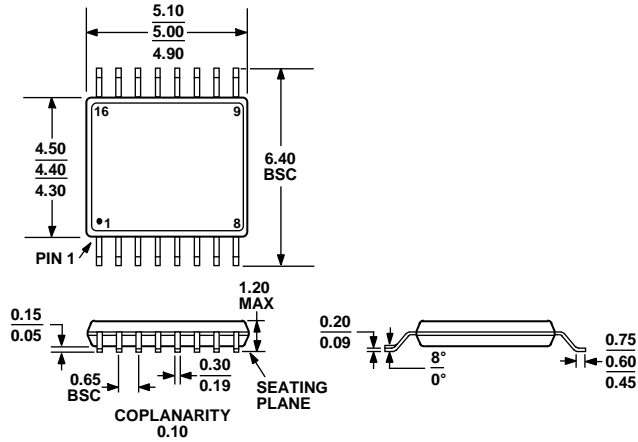
外形尺寸



08-16-2010-E

COMPLIANT TO JEDEC STANDARDS MO-220-WEED-6.

图64. 16引脚引脚架构芯片级封装[LFCSP_WQ]
 3 mm x 3 mm超薄体
 (CP-16-22)
 尺寸单位: mm



COMPLIANT TO JEDEC STANDARDS MO-153-AB

图65. 16引脚超薄紧凑型封装[TSSOP]
 (RU-16)
 尺寸单位: mm

AD5686R/AD5685R/AD5684R

订购指南

型号 ¹	分辨率	温度范围	精度	基准电压源温度系数 (ppm/°C)	封装描述	封装选项	标识
AD5686RACPZ-RL7	16位	-40°C至+105°C	±8 LSB INL	±5(典型值)	16引脚 LFCSP_WQ	CP-16-22	DJM
AD5686RBCPZ-RL7	16位	-40°C至+105°C	±2 LSB INL	±5(最大值)	16引脚 LFCSP_WQ	CP-16-22	DJN
AD5686RARUZ	16位	-40°C至+105°C	±8 LSB INL	±5(典型值)	16引脚 TSSOP	RU-16	
AD5686RARUZ-RL7	16位	-40°C至+105°C	±8 LSB INL	±5(典型值)	16引脚 TSSOP	RU-16	
AD5686RBRUZ	16位	-40°C至+105°C	±2 LSB INL	±5(最大值)	16引脚 TSSOP	RU-16	
AD5686RBRUZ-RL7	16位	-40°C至+105°C	±2 LSB INL	±5(最大值)	16引脚 TSSOP	RU-16	
AD5685RBCPZ-RL7	14位	-40°C至+105°C	±1 LSB INL	±5(最大值)	16引脚 LFCSP_WQ	CP-16-22	DJK
AD5685RARUZ	14位	-40°C至+105°C	±4 LSB INL	±5(典型值)	16引脚 TSSOP	RU-16	
AD5685RARUZ-RL7	14位	-40°C至+105°C	±4 LSB INL	±5(典型值)	16引脚 TSSOP	RU-16	
AD5685RBRUZ	14位	-40°C至+105°C	±1 LSB INL	±5(最大值)	16引脚 TSSOP	RU-16	
AD5685RBRUZ-RL7	14位	-40°C至+105°C	±1 LSB INL	±5(最大值)	16引脚 TSSOP	RU-16	
AD5684RBCPZ-RL7	12位	-40°C至+105°C	±1 LSB INL	±5(最大值)	16引脚 LFCSP_WQ	CP-16-22	DJG
AD5684RARUZ	12位	-40°C至+105°C	±2 LSB INL	±5(典型值)	16引脚 TSSOP	RU-16	
AD5684RARUZ-RL7	12位	-40°C至+105°C	±2 LSB INL	±5(典型值)	16引脚 TSSOP	RU-16	
AD5684RBRUZ	12位	-40°C至+105°C	±1 LSB INL	±5(最大值)	16引脚 TSSOP	RU-16	
AD5684RBRUZ-RL7	12位	-40°C至+105°C	±1 LSB INL	±5(最大值)	16引脚 TSSOP	RU-16	
EVAL-AD5686RSDZ					AD5686R TSSOP 评估板		
EVAL-AD5684RSDZ					AD5686R TSSOP 评估板		

¹ Z = 符合RoHS标准的器件。

注释