



Sealion (海狮) SL2S-12E/V FPGA

数据手册

西安智多晶微电子有限公司 XIAN Intelligence Silicon Technology
西安市高新区科技二路 72 号西安软件园西岳阁 102 室 邮编 710075
<http://www.isilicontech.com>



文档修订历史

日期	版本	修订内容
2020.11	1.0	首次发布。
2020.12	1.1	修改图 2-1 器件编号说明

西安智多晶



目录

1	概述	1
1.1	特性.....	2
1.2	器件资源.....	3
1.3	器件结构.....	3
1.4	SL2S-12E 合封 SDR SDRAM1.....	4
1.5	封装特性.....	4
2	管脚与封装	5
2.1	管脚定义.....	5
2.2	器件编号说明.....	6
2.3	SL2S-12E-E176 FPGA 管脚列表.....	7
2.4	SL2S-12E-EA176 管脚列表.....	9
2.5	176-pin eLQFP 封装尺寸.....	12
3	SL2S-12E/V 交直流特性	13



1 概述

西安智多晶微电子有限公司的 Sealion (海狮) SL2S-12E/V FPGA 器件(下称“FPGA”), 基于低功耗工艺设计并完美兼顾了设计成本与器件资源。该 FPGA 器件的优势在于大批量、低成本的应用场景, 使系统设计师在降低设计成本的同时又满足了不断增长的应用需求。该器件在低成本、低功耗 FPGA 市场处于领导地位, 针对无线、有线、广播、工业以及通信等行业中的低成本、小逻辑资源的应用, 本 FPGA 无疑是最理想的选择。

1.1 特性

FPGA 具有以下特性：

丰富的逻辑资源

- FPGA 规模为 12,032 逻辑单元(LUTs)

低功耗

- 55nm 低功耗工艺
- 核电压 1.2V (E) 或 3.3V (V)
- 多逻辑单元以及布线资源

高性能可编程逻辑单元

- 采用 LUT4 查找表，可灵活地配置为 LUT5/LUT6 以提升资源利用率
- 逻辑单元可根据应用需要可支持不同模式，例如可创建算术模式，用于实现加法器、计数器、累加器和比较器

内置硬核 DSP

- 20/40 内置多个 $18 \times 18/9 \times 9$ 可串行乘法器以及算数逻辑单元 (ALU) ，可做两层叠加实现 DSP 处理密集型应用
- 时钟频率高达 300MHz

支持分布式和嵌入式存储

- 嵌入式块存储容量为 9Kbits,可配置成单端口、伪双端口、真双端口以及 FIFO 或者 ROM，通过配置可实现多种数据宽度
- 最大支持 432Kbits 分布式存储器

丰富的时钟资源

- 最大频率 $F_{max}=400\text{MHZ}$
- 最多可提供 16 个全局时钟，其中 8 个可以复用为高扇出网络
- 提供多达 8 个专用时钟输入引脚
- 2 个 5 路时钟输出内置锁相环 (PLL) 提供倍频、分频、相移、展频等系统时钟功能
- 2 个延时锁相环 (DLL) ，提供分频、相移时钟功能

灵活强大的 I/O 单元

- 最高可达到 140 个有效用户 I/O

- 输入输出支持 3.3V 电压
- I/O 类型支持标准单端、差分、伪双端，电平属性包括 LVTTTL、LVCMOS、PCI、LVDS、BLVDS、mini-LVDS、RSDS
- 8 个 IO BANK
- 可配置上拉、下拉及总线保持模式
- 片内 100 欧姆差分电阻
- 支持热插拔

合封 SDR SDRAM 存储

- 64Mbits SDR SDRAM ，SDRAM 控制器工作频率 $F_{max}=166\text{MHz}$
- 无须外部配置电路

配置模式

- 主模式 (Active Serial AS)
- 从模式 (Passive Serial PS)
- 自刷新配置 (Self Refresh Configuration SRC)
- JTAG
- 配置过程支持 SED 多比特流检测、校验
- 配置过程支持多比特流加载，可在第一个程序文件加载失败后，自动跳到 Golden 区域加载第二个程序文件

安全与 BSCAN

- 支持压缩及解压缩，其压缩比平均为 3:1
- 兼容 IEEE1149.1 Boundary Scan (BSCAN)

封装

- 无铅封装
- E176 eLQFP-176
- EA176 eLQFP 176 与 AGM 16K QFP176 管脚兼容



1.2 器件资源

表 1-1 Sealion (海狮) SL2S-12E/V 器件资源

		SL2S-12E-E176	SL2S-12E-EA176	SL2S-12V
逻辑单元		12032	12032	12032
分布式存储器		96	96	96
嵌入式存储器 (9Kbit)		432	432	432
嵌入式存储器单元数(9Kbit/单元)		48	48	48
嵌入式 18×18 乘法器(注 2)		20	20	20
通用 PLL + DLL 数量		2 + 2	2 + 2	2 + 2
全局时钟网络(注 3)		8 + 8	8 + 8	8 + 8
用户 I/O 模块		8	8	8
最大用户 I/O(注 1)		140	140	140
最大真差分(LVDS)输出(注 1)		14	14	14
核心工作电压		1.2V	1.2V	3.3V
芯片等级(注 4)		C/I	C/I	C/I
封装规格		单端 IO 与真差分输出数		
E176	176eLQFP(20×20mm,0.4mm)	127/5	—	—
EA176	176eLQFP(20×20mm,0.4mm)	—	140/6	—

【注】

1. 管脚列表文件中的用户 I/O 管脚包括所有的通用 I/O 管脚、专用时钟管脚以及两用配置管脚。收发器管脚和专用配置管脚不包括在这一管脚列表中。每对 I/O 都存在真差分输入。
2. 嵌入式 18×18 乘法器均为 DSP 硬核,可做乘法器兼累加器。
3. 16 个全局时钟均包含 8 个主时钟及 8 个次时钟。
4. 等级: C:商业级,结温温度: 0°C—85°C
I:工业级,结温温度: -40°C—100°C

1.3 器件结构

FPGA 的核心构架由四输入查找表(LUTs)、存储器模块以及乘法器构成。嵌入式存储器模块具有 9Kbit 的 SRAM 存储器,可以把嵌入式存储器模块配置成单端口、伪双端口、真双端口 RAM 以及 FIFO 或者 ROM。嵌入式乘法器模块可以在单一模块中实现一个 18×18 或两个 9×9 乘法器。FPGA 器件的 I/O 支持可编程总线保持、可编程上拉电阻、可编程下拉电阻、可编程延迟、可编程驱动能力、可编程 slew-rate 控制以及热插拔的设置。FPGA 器件同时还支持驱动阻抗匹配(Rs)。FPGA 器件有 PLL 和 DLL 以及全局和次级时钟网络以提供可靠、有效且低偏斜的时钟管理与综合,使用 HqFpga 软件可对 PLL 进行时钟频率及相位的配置。FPGA 支持 SDR、DDR、DDR2 等接口,并支持 1.2Gbps 真差分、MIPI 和 7:1 LVDS 视频接口。接口位于器件的六个 I/O bank,以实现更灵活的电路板设计。FPGA 器件的 SDR、DDR1/2 SDRAM 存储器接口解决方案需要由一个 PHY 接口和一个存储控制器组成。智多晶提供了 PHY 接口 IP,可与顾客定制的存储控制器或智多晶提供的存储控制器一起使用。本 FPGA 支持多种配置模式:如 JTAG 模式、被动串行模式 (Passive Serial)、主动串行模式 (Active Serial)和自刷新配置 (Self Refresh Configuration SRC)。配置模块可实现双重启动 (dual boot)、



eib boot)、安全性设置、错误检测(Soft Error Detection SED)、以及局部重配置 (Partial Reconfiguration)等功能。详情请参考 Sealion 2000 系列 FPGA 产品手册。

1.4 SL2S-12E 合封 SDR SDRAM1

西安智多晶的 SL2S-12E FPGA 基于先进的设计理念与成熟的工艺,具有低成本、低功耗、高可靠性等特点。SL2S-12E 采用最新的 3D 合封技术将 2M×32bits 的 SDRAM 与 FPGA 裸片合封而成,采用 QFP 封装形式提供给客户。该器件具有大容量内嵌存储器与数字信号处理单元,特别适用于大容量、高速数据的采集、传输和变换等应用。

SL2S-12E 合封的 SDR SDRAM 特性如下:

❖ 合封 SDR SDRAM 电源

- 所有 Vccio(x) 提供内置 SDR SDRAM 读/写电源,其电压必须为 3.3V
- 内置 64Mb SDR SDRAM 存储空间,32 数据总线位宽,最高 200MHz 工作频率,最大读写带宽 800MB/s

❖ 结构

- 可分为 4 个 BANK,每个 BANK 大小为 512K×32bits
- 支持突发读/写 (Burst Read/Write),突发长度可为 1, 2, 4, 8 和全页
- CAS 延迟时间 (CAS Latency) 可为 2, 3
- 支持自动刷新和自刷新

❖ 读/编程/擦除

- 最小时钟周期: 5ns@CAS latency=3, 10ns@CAS latency=2
- 时钟触发到有效输出最大时间: 5ns@CAS latency=3, 6ns@CAS latency=2
- 时钟触发到高阻抗时间: 5ns@CAS latency=3, 6ns@CAS latency=2
- 最小时钟高脉冲宽: 2ns
- 最小时钟低脉冲宽: 2ns
- 最小输入数据设定时间: 1.5ns
- 最小输入数据保持时间: 1ns
- 刷新周期(4K 列): 64ms
- 工作电流@1 Bank: 180mA
- 工作电流@突发 (burst)模式: 260mA
- 待机电流: 40mA
- 自刷新电流: 2mA

【注】1: 详细信息可参考 ESMT M12L64322A 数据手册

1.5 封装特性

- 无铅,小型,多 IO 封装
- 20mm x 20mm E176 QFP, 多达 127 个单端口 IO
- 20mm x 20mm EA176 QFP, 多达 140 个单端口 IO, 与 AGM 16K QFP-176 管脚兼容
- 优化的引脚排布,支持两层 PCB 板卡设计



2 管脚与封装

2.1 管脚定义

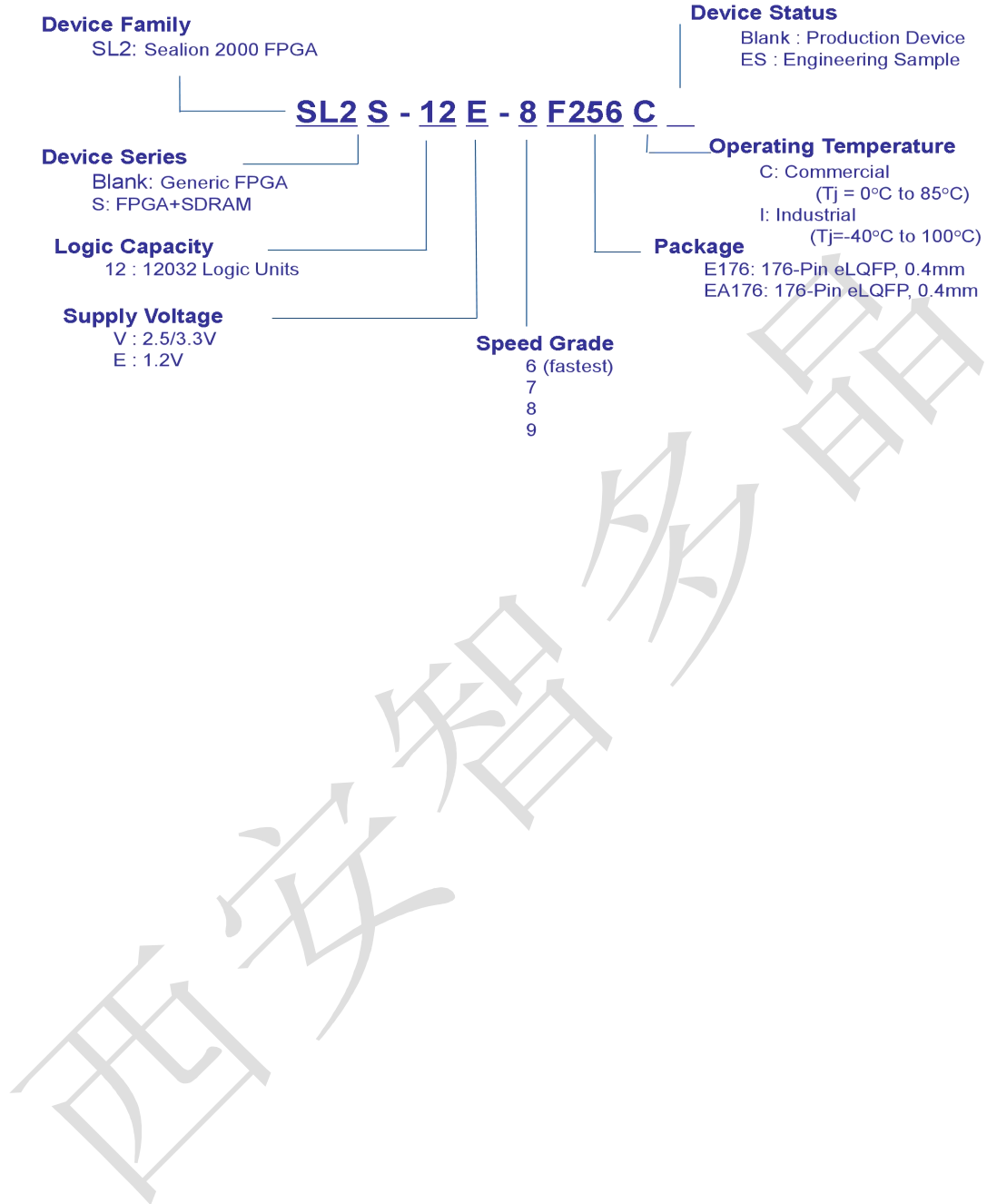
表 2-1 FPGA 管脚定义

管脚名称	方向	描述
普通 I/O		
NC	_	无连接
GND	_	电源地
Vccext(VCC)	_	内部核心模块电源
Vccio(x)	_	I/O 组电源
JTAG 专用管脚		
TCK	输入	TCK 输入边界扫描时钟
TDI	输入	边界扫描数据输入
TDO	输出	边界扫描数据输出
TMS	输入	边界扫描模式选择
配置专用管脚		
nCONFIG	输入	复位信号/重配置触发信号, 低电平时触发一次重配置过程, 在 JTAG 工作时此信号无效。
nSTATUS	输入输出	配置状态标志信号, 配置正常进行或成功完成时为高电平, 在配置初始化或配置错误时为低电平; 可通过拉低此信号来推迟配置开始的时间。
CONF_DONE	输入输出	配置完成标志信号, 配置完成后将会输出高电平信号; 使用 daisy_chain 时, 将所有芯片 DONE 信号连接在一起可以等待所有芯片配置完成后再同时开始工作。
DCLK	输入/输出	配置接口时钟信号, 选择 PS 模式时, 从外界接收时钟信号; 选择 AS 模式时, 向外发出时钟信号。
nCE	输入	片选信号, 低电平时表示选中当前 FPGA 进行配置。
nCSO	输出	AS 模式下用于向外部 SPI FLASH 提供的片选信号, 低电平有效。
nCEO	输出	daisy chain 时向下一级 FPGA 发出的片选信号。
ASDO/SI	输入输出	AS 模式×2×4 位宽下, 向外发出数据, ×1×2×4 位宽下, 接收回读数据。
DATA0/SO	输入输出	AS 模式×2×4 位宽下, 向外发出数据, ×2×4 位宽下, 接收回读数据。



2.2 器件编号说明

图 2-1 器件编号说明





2.3 SL2S-12E-E176 FPGA 管脚列表

表 2-2 SL2S-12E-E176 管脚列表

Bank Number	VREFB Group	Pin Name/ Function	Differential Inputs	True LVDS outputs	Configuration Function	E176
B1	VREFB1N0	IO	DIFFIN_L2p			1
B1	VREFB1N0	IO	DIFFIN_L3p			2
B1	VREFB1N0	IO	DIFFIN_L3n		ASDO	3
B1	VREFB1N0	IO	DIFFIN_L4p		nCSO	5
B1	VREFB1N0	IO	DIFFIN_L4n			4
B1	VREFB1N0	VCCIO1				6
B1	VREFB1N0	IO	DIFFIN_L6p			7
B1	VREFB1N0	VCCINT				8
B1	VREFB1N0	IO	DIFFIN_L7p			9
B1	VREFB1N0	IO	DIFFIN_L7n			10
B1	VREFB1N0	IO	DIFFIN_L9p			11
B1	VREFB1N0	GND				12
B1	VREFB1N0	IO	DIFFIN_L9n		DATA0	13
B1	VREFB1N0	CLK0	DIFFCLK_0p			14
B1	VREFB1N0	CLK1	DIFFCLK_0n			15
B1	VREFB1N0	VCCIO1				16
B1	VREFB1N0	nSTATUS			nSTATUS	17
B1	VREFB1N0	DCLK			DCLK	18
B1	VREFB1N0	nCONFIG			nCONFIG	19
B1	VREFB1N0	nCE			nCE	20
B1	VREFB1N0	TCK			TCK	21
B1	VREFB1N0	TMS			TMS	22
B1	VREFB1N0	TDO			TDO	23
B1	VREFB1N0	TDI			TDI	24
B2	VREFB2N0	CLK2	DIFFCLK_2p			25
B2	VREFB2N0	IO	DIFFIN_L10n			26
B2	VREFB2N0	GND				27
B2	VREFB2N0	IO	DIFFIN_L11p/LPLL_INp			28
B2	VREFB2N0	IO	DIFFIN_L11n/LPLL_INn			29
B2	VREFB2N0	IO	DIFFIN_L12p			30
B2	VREFB2N0	IO	DIFFIN_L12n			31
B2	VREFB2N0	VCCIO2				32
B2	VREFB2N0	IO	DIFFIN_L13p/LPLL_FBp			33
B2	VREFB2N0	IO	DIFFIN_L13n/LPLL_FBn			35
B2	VREFB2N0	IO	DIFFIN_L14p			34
B2	VREFB2N0	IO	DIFFIN_L14n			36
B2	VREFB2N0	VCCINT				37
B2	VREFB2N0	IO	DIFFIN_L15p			38
B2	VREFB2N0	IO	DIFFIN_L15n			39
B2	VREFB2N0	IO	DIFFIN_L16p			40
B2	VREFB2N0	IO	DIFFIN_L16n			41
B2	VREFB2N0	VCCIO2				42
B2	VREFB2N0	IO	DIFFIN_L19p			43
B2	VREFB2N0	IO	DIFFIN_L19n			44
B3	VREFB3N0	IO	DIFFIN_B1p (1)			45
B3	VREFB3N0	IO	DIFFIN_B1n (1)			46
B3	VREFB3N0	IO	DIFFIN_B2p			48
B3	VREFB3N0	IO	DIFFIN_B2n			47
B3	VREFB3N0	IO	DIFFIN_B3p (1)			49
B3	VREFB3N0	GND				50
B3	VREFB3N0	IO	DIFFIN_B3n (1)			51
B3	VREFB3N0	IO	DIFFIN_B4p			53
B3	VREFB3N0	IO	DIFFIN_B4n			52
B3	VREFB3N0	VCCIO3				54
B3	VREFB3N0	IO	DIFFIN_B6p			55
B3	VREFB3N0	IO	DIFFIN_B6n			56
B3	VREFB3N0	VCCINT				57
B3	VREFB3N0	IO	DIFFIN_B8p			58
B3	VREFB3N0	IO	DIFFIN_B8n			59
B3	VREFB3N0	IO	DIFFIN_B10p			60
B3	VREFB3N0	IO	DIFFIN_B10n			61
B3	VREFB3N0	VCCIO3				62
B3	VREFB3N0	IO	DIFFIN_B12p			63
B3	VREFB3N0	CLK8	DIFFCLK_8p (1)			64
B3	VREFB3N0	IO	DIFFCLK_8n (1)			65
B3	VREFB3N0	VCCINT				66(4)
B3	VREFB3N0	GND				67
B4	VREFB4N0	CLK9	DIFFCLK_9p (1)			68
B4	VREFB4N0	IO	DIFFCLK_9n (1)			69
B4	VREFB4N0	IO	DIFFIN_B14p			70
B4	VREFB4N0	IO	DIFFIN_B14n			71
B4	VREFB4N0	IO	DIFFIN_B15p			72
B4	VREFB4N0	IO	DIFFIN_B16p			73
B4	VREFB4N0	VCCIO4				74
B4	VREFB4N0	IO	DIFFIN_B18p			75



Bank Number	VREFB Group	Pin Name/ Function	Differential Inputs	True LVDS outputs	Configuration Function	E176
B4	VREFB4N0	IO	DIFFIN_B18n			76
B4	VREFB4N0	VCCINT				77
B4	VREFB4N0	IO	DIFFIN_B19p (1)			78
B4	VREFB4N0	IO	DIFFIN_B19n (1)			79
B4	VREFB4N0	IO	DIFFIN_B20p			80
B4	VREFB4N0	IO	DIFFIN_B21p (1)			81
B4	VREFB4N0	IO	DIFFIN_B21n (1)			82
B4	VREFB4N0	VCCIO4				83
B4	VREFB4N0	IO	DIFFIN_B23p (1)			84
B4	VREFB4N0	IO	DIFFIN_B23n (1)			86
B4	VREFB4N0	IO	DIFFIN_B24p			85
B4	VREFB4N0	GND				87
B4	VREFB4N0	IO	DIFFIN_B26p			88
B5	VREFB5N0	IO	DIFFIN_R21n			89
B5	VREFB5N0	IO	DIFFIN_R21p			90
B5	VREFB5N0	GND				91
B5	VREFB5N0	IO				93
B5	VREFB5N0	IO	DIFFIN_R19n			92
B5	VREFB5N0	IO	DIFFIN_R19p			94
B5	VREFB5N0	VCCIO5				95
B5	VREFB5N0	IO	DIFFIN_R17n			96
B5	VREFB5N0	IO	DIFFIN_R17p			97
B5	VREFB5N0	IO	DIFFIN_R15n			98
B5	VREFB5N0	IO	DIFFIN_R15p			99
B5	VREFB5N0	VCCINT				100
B5	VREFB5N0	IO	DIFFIN_R14n			101
B5	VREFB5N0	IO	DIFFIN_R13n/RPLL_FBn			102
B5	VREFB5N0	VCCIO5				103
B5	VREFB5N0	IO	DIFFIN_R13p/RPLL_FBp			104
B5	VREFB5N0	IO	DIFFIN_R12p			105
B5	VREFB5N0	IO	DIFFIN_R11n/RPLL_INn			106
B5	VREFB5N0	IO	DIFFIN_R11p/RPLL_INp			107
B5	VREFB5N0	GND				108
B5	VREFB5N0	IO	DIFFIN_R10p			109
B5	VREFB5N0	CLK6	DIFFCLK_6p			110
B6	VREFB6N0	MSEL2			MSEL2	111
B6	VREFB6N0	MSEL1			MSEL1	112
B6	VREFB6N0	MSEL0			MSEL0	113
B6	VREFB6N0	CONF_DONE			CONF_DONE	114
B6	VREFB6N0	VCCIO6				115
B6	VREFB6N0	IO	DIFFIN_R9n		INIT_DONE	116
B6	VREFB6N0	IO	DIFFIN_R9p			117
B6	VREFB6N0	CLK5	DIFFCLK_4n			118
B6	VREFB6N0	CLK4	DIFFCLK_4p			119
B6	VREFB6N0	IO	DIFFIN_R8p			120
B6	VREFB6N0	IO	DIFFIN_R7n		nCEO	121
B6	VREFB6N0	VCCINT				122
B6	VREFB6N0	IO	DIFFIN_R6n			123
B6	VREFB6N0	IO	DIFFIN_R6p			124
B6	VREFB6N0	IO	DIFFIN_R5n			125
B6	VREFB6N0	IO	DIFFIN_R5p			127
B6	VREFB6N0	VCCIO6				126
B6	VREFB6N0	IO	DIFFIN_R4n			129
B6	VREFB6N0	IO	DIFFIN_R4p			128
B6	VREFB6N0	GND				130
B6	VREFB6N0	IO	DIFFIN_R2n			132
B6	VREFB6N0	IO	DIFFIN_R2p			131
B7	VREFB7N0	IO				134
B7	VREFB7N0	IO	DIFFIN_T23n	DIFFOUT_T23n		133
B7	VREFB7N0	IO	DIFFIN_T23p	DIFFOUT_T23p		135
B7	VREFB7N0	GND				136
B7	VREFB7N0	IO	DIFFIN_T22n			137
B7	VREFB7N0	IO	DIFFIN_T22p			138
B7	VREFB7N0	IO	DIFFIN_T21n	DIFFOUT_T21n		139
B7	VREFB7N0	IO	DIFFIN_T21p	DIFFOUT_T21p		140
B7	VREFB7N0	VCCIO7				141
B7	VREFB7N0	IO	DIFFIN_T20p			142
B7	VREFB7N0	IO	DIFFIN_T19n	DIFFOUT_T18n		143
B7	VREFB7N0	IO	DIFFIN_T19p	DIFFOUT_T18p		144
B7	VREFB7N0	IO	DIFFIN_T18n			145
B7	VREFB7N0	IO	DIFFIN_T18p			146
B7	VREFB7N0	VCCINT				147
B7	VREFB7N0	IO	DIFFIN_T16n			148
B7	VREFB7N0	IO	DIFFIN_T16p			149
B7	VREFB7N0	VCCIO7				150
B7	VREFB7N0	IO				151
B7	VREFB7N0	IO	DIFFCLK10n			152
B7	VREFB7N0	CLK10	DIFFCLK10p			153
B7	VREFB7N0	GND				154
B8	VREFB8N0	VCCINT				155
B8	VREFB8N0	IO	DIFFCLK11n			156



Bank Number	VREFB Group	Pin Name/Function	Differential Inputs	True LVDS outputs	Configuration Function	E176
B8	VREFB8N0	CLK11	DIFFCLK11p			157
B8	VREFB8N0	IO	DIFFIN_T13p	DIFFOUT_T11p		158
B8	VREFB8N0	IO	DIFFIN_T12n			159
B8	VREFB8N0	IO	DIFFIN_T12p			160
B8	VREFB8N0	VCCIO8				161
B8	VREFB8N0	IO	DIFFIN_T10n			162
B8	VREFB8N0	IO	DIFFIN_T10p			163
B8	VREFB8N0	IO	DIFFIN_T8n			164
B8	VREFB8N0	IO	DIFFIN_T8p			165
B8	VREFB8N0	IO	DIFFIN_T7n	DIFFOUT_T5n		166
B8	VREFB8N0	VCCINT				167
B8	VREFB8N0	IO	DIFFIN_T7p	DIFFOUT_T5p		168
B8	VREFB8N0	IO	DIFFIN_T6p			169
B8	VREFB8N0	VCCIO8				170
B8	VREFB8N0	IO	DIFFIN_T5p	DIFFOUT_T4p		171
B8	VREFB8N0	IO	DIFFIN_T4p			172
B8	VREFB8N0	GND				173
B8	VREFB8N0	IO	DIFFIN_T2p			174
B8	VREFB8N0	IO	DIFFIN_T1n	DIFFOUT_T1n		175
B8	VREFB8N0	IO	DIFFIN_T1p	DIFFOUT_T1p		176
		GND				12
		GND				27
		GND				50
		GND				67
		GND				87
		GND				91
		GND				108
		GND				130
		GND				136
		GND				154
		GND				173

注 1：一对差分信号差分端口之间含有一个 100Ohm 电阻。

注 2：EPAD 是一个用于接地的暴露焊盘，用户可连接到 PCB 上的数字地。

2.4 SL2S-12E-EA176 管脚列表

表 2-3 SL2S-12E-EA176 管脚列表

Bank Number	VREFB Group	Pin Name/Function	Differential Inputs	True LVDS outputs	Configuration Function	EA176
B1	VREFB1N0	IO	DIFFIN_L3n		ASDO	8
B1	VREFB1N0	IO	DIFFIN_L4p		nCSO	9
B1	VREFB1N0	IO	DIFFIN_L4n			1
B1	VREFB1N0	IO	DIFFIN_L5p			2
B1	VREFB1N0	IO	DIFFIN_L5n			3
B1	VREFB1N0	IO	DIFFIN_L6p			6
B1	VREFB1N0	IO	DIFFIN_L6n			4
B1	VREFB1N0	VCCINT				7
B1	VREFB1N0	IO	DIFFIN_L7n			10
B1	VREFB1N0	IO	DIFFIN_L8p			12
B1	VREFB1N0	IO	DIFFIN_L9p			13
B1	VREFB1N0	IO	DIFFIN_L9n		DATA0	16
B1	VREFB1N0	CLK0	DIFFCLK_0p			23
B1	VREFB1N0	CLK1	DIFFCLK_0n			14
B1	VREFB1N0	VCCIO1				20
B1	VREFB1N0	nSTATUS			nSTATUS	11
B1	VREFB1N0	DCLK			DCLK	15
B1	VREFB1N0	nCONFIG			nCONFIG	17
B1	VREFB1N0	TCK			TCK	19
B1	VREFB1N0	TMS			TMS	21
B1	VREFB1N0	TDO			TDO	22
B1	VREFB1N0	TDI			TDI	18
B2	VREFB2N0	CLK2	DIFFCLK_2p			24
B2	VREFB2N0	CLK3	DIFFCLK_2n			25
B2	VREFB2N0	IO	DIFFIN_L11p/LPLL_INp			26
B2	VREFB2N0	IO	DIFFIN_L11n/LPLL_INn			27
B2	VREFB2N0	IO	DIFFIN_L12n			29
B2	VREFB2N0	VCCIO2				28
B2	VREFB2N0	IO	DIFFIN_L13p/LPLL_FBp			31
B2	VREFB2N0	IO	DIFFIN_L13n/LPLL_FBn			33
B2	VREFB2N0	IO	DIFFIN_L14p			32
B2	VREFB2N0	IO	DIFFIN_L14n			34
B2	VREFB2N0	VCCINT				30
B2	VREFB2N0	IO	DIFFIN_L15p			35
B2	VREFB2N0	IO	DIFFIN_L15n			37
B2	VREFB2N0	IO	DIFFIN_L16p			36
B2	VREFB2N0	IO	DIFFIN_L16n			38
B2	VREFB2N0	IO	DIFFIN_L17p			39



Bank Number	VREFB Group	Pin Name/Function	Differential Inputs	True LVDS outputs	Configuration Function	EA176
B2	VREFB2N0	IO				40
B2	VREFB2N0	IO	DIFFIN_L19p			42
B2	VREFB2N0	IO	DIFFIN_L19n			43
B3	VREFB3N0	VCCINT	DIFFIN_B1p (1)			45
B3	VREFB3N0	IO	DIFFIN_B1n (1)			46
B3	VREFB3N0	IO	DIFFIN_B2p			47
B3	VREFB3N0	IO	DIFFIN_B2n			49
B3	VREFB3N0	IO	DIFFIN_B3p (1)			48
B3	VREFB3N0	IO	DIFFIN_B3n (1)			50
B3	VREFB3N0	IO	DIFFIN_B4p			52
B3	VREFB3N0	IO	DIFFIN_B4n			53
B3	VREFB3N0	IO	DIFFIN_B6p			55
B3	VREFB3N0	IO	DIFFIN_B6n			56
B3	VREFB3N0	IO				57
B3	VREFB3N0	VCCINT	DIFFIN_B8p			54
B3	VREFB3N0	IO	DIFFIN_B8n			58
B3	VREFB3N0	IO	DIFFIN_B10p			59
B3	VREFB3N0	IO	DIFFIN_B10n			60
B3	VREFB3N0	IO				61
B3	VREFB3N0	VCCIO3	DIFFIN_B12p			66
B3	VREFB3N0	IO	DIFFCLK_8p (1)			62
B3	VREFB3N0	CLK8	DIFFCLK_8n (1)			63
B3	VREFB3N0	IO	DIFFIN_B13p			64
B3	VREFB3N0	IO	DIFFCLK_9p (1)			65
B4	VREFB4N0	CLK9	DIFFCLK_9n (1)			67
B4	VREFB4N0	IO	DIFFIN_B14p			68
B4	VREFB4N0	IO	DIFFIN_B14n			69
B4	VREFB4N0	IO	DIFFIN_B15p (1)			70
B4	VREFB4N0	IO	DIFFIN_B15n (1)			72
B4	VREFB4N0	IO	DIFFIN_B16p			73
B4	VREFB4N0	IO	DIFFIN_B16n			74
B4	VREFB4N0	IO	DIFFIN_B18p			75
B4	VREFB4N0	IO	DIFFIN_B18n			76
B4	VREFB4N0	IO				77
B4	VREFB4N0	VCCINT	DIFFIN_B19p (1)			71
B4	VREFB4N0	IO	DIFFIN_B19n (1)			78
B4	VREFB4N0	IO	DIFFIN_B20p			80
B4	VREFB4N0	IO	DIFFIN_B21p (1)			79
B4	VREFB4N0	IO	DIFFIN_B21n (1)			81
B4	VREFB4N0	IO	DIFFIN_B22n			83
B4	VREFB4N0	IO				84
B4	VREFB4N0	VCCIO4	DIFFIN_B23p (1)			82
B4	VREFB4N0	IO	DIFFIN_B23n (1)			86
B4	VREFB4N0	IO	DIFFIN_B24p			87
B4	VREFB4N0	IO	DIFFIN_B26p			85
B4	VREFB4N0	IO	DIFFIN_B1p			88
B5	VREFB5N0	IO	DIFFIN_R21n			89
B5	VREFB5N0	IO	DIFFIN_R21p			90
B5	VREFB5N0	IO				92
B5	VREFB5N0	IO	DIFFIN_R19n			91
B5	VREFB5N0	IO	DIFFIN_R19p			93
B5	VREFB5N0	IO	DIFFIN_R18n			94
B5	VREFB5N0	IO	DIFFIN_R18p			96
B5	VREFB5N0	IO	DIFFIN_R17n			95
B5	VREFB5N0	IO	DIFFIN_R17p			98
B5	VREFB5N0	IO	DIFFIN_R16n			99
B5	VREFB5N0	IO	DIFFIN_R16p			101
B5	VREFB5N0	IO	DIFFIN_R15n			100
B5	VREFB5N0	IO	DIFFIN_R15p			102
B5	VREFB5N0	VCCINT				97
B5	VREFB5N0	IO	DIFFIN_R14n			103
B5	VREFB5N0	IO	DIFFIN_R14p			104
B5	VREFB5N0	IO	DIFFIN_R13n/RPLL_FBn			106
B5	VREFB5N0	VCCIO5				105
B5	VREFB5N0	IO	DIFFIN_R13p/RPLL_FBp			107
B5	VREFB5N0	IO	DIFFIN_R12n			108
B5	VREFB5N0	IO	DIFFIN_R12p			113
B5	VREFB5N0	IO	DIFFIN_R11n/RPLL_INn			109
B5	VREFB5N0	IO	DIFFIN_R11p/RPLL_INp			110
B5	VREFB5N0	CLK7	DIFFCLK_6n			111
B5	VREFB5N0	CLK6	DIFFCLK_6p			112
B6	VREFB6N0	MSEL1			MSEL1	118
B6	VREFB6N0	CONF_DONE			CONF_DONE	116
B6	VREFB6N0	CLK5	DIFFCLK_4n			114
B6	VREFB6N0	CLK4	DIFFCLK_4p			115
B6	VREFB6N0	IO	DIFFIN_R8p			119
B6	VREFB6N0	IO	DIFFIN_R7n		nCEO	120
B6	VREFB6N0	VCCINT				121
B6	VREFB6N0	IO	DIFFIN_R7p			122
B6	VREFB6N0	IO	DIFFIN_R6n			124
B6	VREFB6N0	IO	DIFFIN_R6p			123



Bank Number	VREFB Group	Pin Name/ Function	Differential Inputs	True LVDS outputs	Configuration Function	EA176
B6	VREFB6N0	IO	DIFFIN_R5n			125
B6	VREFB6N0	IO	DIFFIN_R5p			126
B6	VREFB6N0	VCCIO6				127
B6	VREFB6N0	IO	DIFFIN_R4n			129
B6	VREFB6N0	IO	DIFFIN_R4p			128
B6	VREFB6N0	IO	DIFFIN_R2n			131
B6	VREFB6N0	IO	DIFFIN_R2p			130
B7	VREFB7N0	VCCINT				133
B7	VREFB7N0	IO				135
B7	VREFB7N0	IO	DIFFIN_T23n	DIFFOUT_T23n		134
B7	VREFB7N0	IO	DIFFIN_T23p	DIFFOUT_T23p		136
B7	VREFB7N0	IO	DIFFIN_T22n			137
B7	VREFB7N0	IO	DIFFIN_T22p			139
B7	VREFB7N0	IO	DIFFIN_T21n	DIFFOUT_T21n		138
B7	VREFB7N0	IO	DIFFIN_T21p	DIFFOUT_T21p		140
B7	VREFB7N0	IO	DIFFIN_T20p			143
B7	VREFB7N0	IO	DIFFIN_T19n	DIFFOUT_T18n		142
B7	VREFB7N0	IO	DIFFIN_T19p	DIFFOUT_T18p		144
B7	VREFB7N0	IO	DIFFIN_T18n			145
B7	VREFB7N0	IO	DIFFIN_T18p			146
B7	VREFB7N0	VCCINT				141
B7	VREFB7N0	IO	DIFFIN_T16n			148
B7	VREFB7N0	VCCIO7				147
B7	VREFB7N0	IO				149
B7	VREFB7N0	IO	DIFFCLK10n			151
B7	VREFB7N0	CLK10	DIFFCLK10p			152
B8	VREFB8N0	IO	DIFFCLK11n			153
B8	VREFB8N0	CLK11	DIFFCLK11p			154
B8	VREFB8N0	IO	DIFFIN_T13p	DIFFOUT_T11p		155
B8	VREFB8N0	IO	DIFFIN_T12n			156
B8	VREFB8N0	IO	DIFFIN_T12p			157
B8	VREFB8N0	IO	DIFFIN_T10n			158
B8	VREFB8N0	IO	DIFFIN_T10p			159
B8	VREFB8N0	IO	DIFFIN_T8p			160
B8	VREFB8N0	VCCINT				161
B8	VREFB8N0	IO	DIFFIN_T7p	DIFFOUT_T5p		162
B8	VREFB8N0	IO	DIFFIN_T6n			163
B8	VREFB8N0	IO	DIFFIN_T6p			165
B8	VREFB8N0	VCCIO8				167
B8	VREFB8N0	IO	DIFFIN_T5n	DIFFOUT_T4n		166
B8	VREFB8N0	IO	DIFFIN_T5p	DIFFOUT_T4p		168
B8	VREFB8N0	IO	DIFFIN_T4p			170
B8	VREFB8N0	IO	DIFFIN_T3n	DIFFOUT_T2n		171
B8	VREFB8N0	IO	DIFFIN_T3p	DIFFOUT_T2p		172
B8	VREFB8N0	IO	DIFFIN_T2n			174
B8	VREFB8N0	IO	DIFFIN_T2p			173
B8	VREFB8N0	IO	DIFFIN_T1n	DIFFOUT_T1n		175
B8	VREFB8N0	IO	DIFFIN_T1p	DIFFOUT_T1p		176
		GND				5
		GND				41
		GND				44
		GND				51
		GND				117
		GND				132
		GND				150
		GND				164
		GND				169

注 1：一对差分信号差分端口之间含有一个 100Ohm 电阻。

注 2：EPAD 是一个用于接地的暴露焊盘，用户可连接到 PCB 上的数字地。

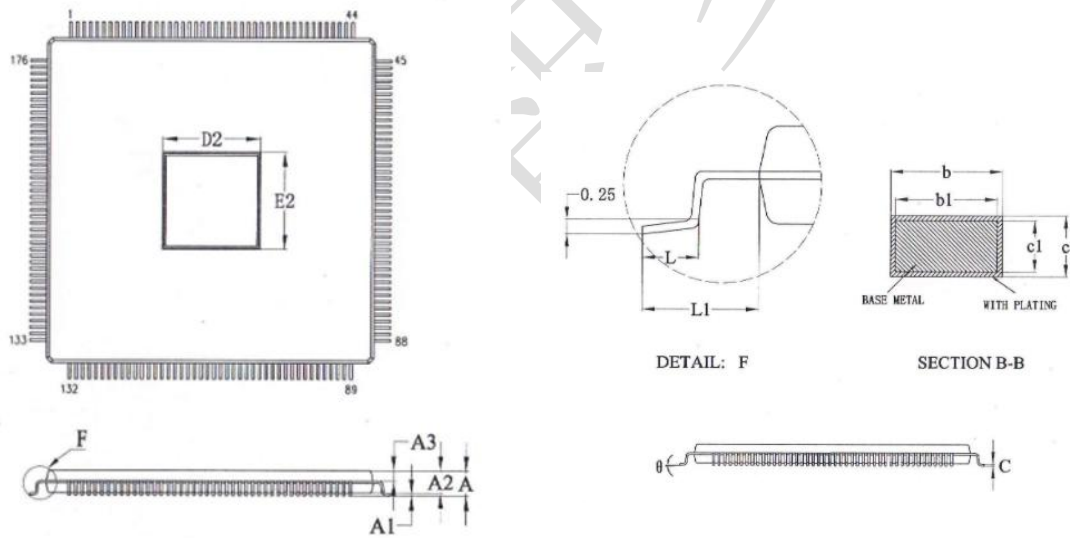


2.5 176-pin eLQFP 封装尺寸

表 2-4 176-pin eLQFP 封装尺寸表

符号	最小值(mm)	标准值(mm)	最大值(mm)
A			1.60
A1	0.05	0.10	0.15
A2	1.30	1.40	1.50
D	22.00BSC	22.00BSC	22.00BSC
D1	20.00BSC	20.00BSC	20.00BSC
E	22.00BSC	22.00BSC	22.00BSC
E1	20.00BSC	20.00BSC	20.00BSC
D2	6.00BSC	6.00BSC	6.00BSC
E2	6.00BSC	6.00BSC	6.00BSC
L	0.45	0.60	0.75
e	0.40BSC	0.40BSC	0.40BSC
b	0.14		0.22
b1	0.13	0.16	0.19
c	0.13		0.17
C1	0.12	0.13	0.14

图 2-2 176-pin eLQFP 封装尺寸图





3 SL2S-12E/V 交直流特性

请参考 Sealion 2000 系列 FPGA 产品手册。

版权所有©2020 西安智多晶微电子有限公司

未经本公司书面许可,任何单位和个人不得擅自摘抄、复制、翻译本文档内容的部分或全部,并不得以任何形式传播。

免责声明

本文档并未授予任何知识产权的许可,并未以明示或暗示,或以禁止发言或其它方式授予任何知识产权许可。除西安智多晶在其产品的销售条款和条件中声明的责任之外,西安智多晶概不承担任何法律或非法律责任。西安智多晶对西安智多晶产品的销售和/或使用不作任何明示或暗示的担保,包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等,均不作担保。西安智多晶对文档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任,西安智多晶保留修改文档中任何内容的权利,恕不另行通知。西安智多晶不承诺对这些文档进行适时的更新。