

特性

16位/14位ADC系列

双通道同步采样

全差分模拟输入

吞吐转换速率：4 MSPS

SNR（典型值）

92.5 dB, $V_{REF} = 3.3\text{ V}$ 外部, AD7380（16位）

85.4 dB, $V_{REF} = 3.3\text{ V}$ 外部, AD7381（14位）

片内过采样功能

分辨率增强功能

SNR 102.8 dB（典型值, 采用 $\times 32$ OSR）

INL（最大值）

2.0 LSB（16位）

1.0 LSB（14位）

2.5 V内部基准电压源(10 ppm/ $^{\circ}\text{C}$)

高速串行接口

工作温度范围：-40 $^{\circ}\text{C}$ 至+125 $^{\circ}\text{C}$

16引脚LFCSP封装, 3 mm \times 3 mm

宽共模范围

警报功能

应用

电机控制位置反馈

电机控制电流检测

声纳

电能质量

数据采集系统

EDFA应用

I/Q解调

概述

AD7380/AD7381分别为16位和14位引脚兼容系列双通道同步采样、高速、低功耗、逐次逼近寄存器(SAR)型模数转换器(ADC), 采用3.0 V至3.6 V电源供电, 最高吞吐速率达4 MSPS。模拟输入类型为差分, 接受宽共模输入电压, 在 $\overline{\text{CS}}$ 下降沿进行采样和转换。

集成片内过采样模块可改善动态范围并在低带宽下降低噪声。器件内置2.5 V缓冲基准电压源。或者, 也可以使用最高3.3 V的外部基准电压源。

转换过程和数据采集过程均采用标准控制输入, 可与微处理器或数字信号处理器(DSP)轻松接口。使用独立逻辑电源时, 该器件兼容1.8V、2.5V和3.3 V接口。

Rev. 0

[Document Feedback](#)

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

ADI 中文版数据手册是英文版数据手册的译文, 敬请谅解翻译中可能存在的语言组织或翻译错误, ADI 不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性, 请参考 ADI 提供的最新英文版数据手册。

功能框图

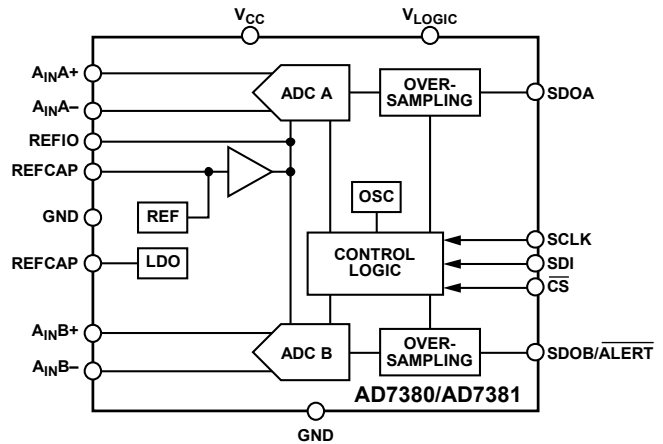


图1.

AD7380/AD7381采用16引脚引线框芯片级封装(LFCSP)封装, 额定工作温度范围为-40 $^{\circ}\text{C}$ 至+125 $^{\circ}\text{C}$ 。

产品聚焦

1. 具有两个完整的ADC功能, 支持双通道同步采样和转换。
2. 引脚兼容产品系列。
3. 4 MSPS高吞吐速率。
4. 节省空间的3 mm \times 3 mm LFCSP封装。
5. 集成过采样模块可提高动态范围, 减少噪声, 并降低SCLK速度要求。
6. 具有宽共模范围的差分模拟输入。
7. 小采样电容可降低放大器驱动负担。

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
Tel: 781.329.4700 ©2019 Analog Devices, Inc. All rights reserved.
Technical Support www.analog.com/cn

目录

| | | | |
|-----------------|----|-------------------------------|----|
| 特性 | 1 | 分辨率增强 | 19 |
| 应用 | 1 | 警报 | 19 |
| 功能框图 | 1 | 功耗模式 | 20 |
| 概述 | 1 | 内部和外部基准电压源 | 20 |
| 产品聚焦 | 1 | 软件复位 | 20 |
| 修订历史 | 2 | 诊断自测 | 20 |
| 技术规格 | 3 | 接口 | 21 |
| 时序特性 | 6 | 读取转换结果 | 21 |
| 绝对最大额定值 | 8 | 低延迟回读 | 22 |
| 热阻 | 8 | 读取器件寄存器 | 23 |
| ESD警告 | 8 | 写入器件寄存器 | 23 |
| 引脚配置和功能描述 | 9 | CRC | 24 |
| 典型性能参数 | 10 | 寄存器 | 27 |
| 术语 | 13 | 寻址寄存器 | 27 |
| 工作原理 | 14 | CONFIGURATION1寄存器 | 28 |
| 电路信息 | 14 | CONFIGURATION2寄存器 | 29 |
| 转换器操作 | 14 | ALERT寄存器 | 29 |
| 模拟输入结构 | 14 | ALERT_LOW_THRESHOLD寄存器 | 30 |
| ADC传递函数 | 15 | ALERT_HIGH_THRESHOLD寄存器 | 30 |
| 应用信息 | 16 | 外形尺寸 | 31 |
| 电源 | 16 | 订购指南 | 31 |
| 工作模式 | 17 | | |
| 过采样 | 17 | | |

修订历史

2019年1月—修订版0：初始版

技术规格

除非另有说明， $V_{CC} = 3.0\text{ V}$ 至 3.6 V ， $V_{LOGIC} = 1.65\text{ V}$ 至 3.6 V ，基准电压(V_{REF}) = 2.5 V (内部)，采样频率(f_{SAMPLE}) = 4 MSPS ， $T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$ ，过采样未使能。

表1. AD7380

| 参数 | 测试条件/注释 | 最小值 | 典型值 | 最大值 | 单位 |
|---|---|------------|--------------|-----------|------------------------------|
| 分辨率 | | 16 | | | Bits |
| 吞吐速率 转换速率 | | | | 4 | MSPS |
| 直流精度 | | | | | |
| 无失码 | | 16 | | | Bits |
| 差分非线性误差 | | -1.0 | ± 0.7 | +1.0 | LSB |
| 积分非线性误差 | | -2.0 | ± 0.75 | +2.0 | LSB |
| 增益误差 | | -0.015 | ± 0.002 | +0.015 | % FS ¹ |
| 增益误差温漂 | | -11 | ± 1 | +11 | ppm/ $^\circ\text{C}$ |
| 增益误差匹配 | | -0.01 | ± 0.002 | +0.01 | % FS |
| 失调误差 | 25°C ， $V_{CC} = 3.3\text{ V}$ 25°C ， $V_{CC} = 3.0\text{ V}$ 至 3.6 V | -0.2 | ± 0.01 | +0.2 | mV |
| 失调温漂 | | -0.5 | ± 0.01 | +0.5 | mV |
| 失调误差匹配 | | -2 | ± 0.5 | +2 | $\mu\text{V}/^\circ\text{C}$ |
| 失调误差匹配 | | -0.5 | ± 0.1 | +0.5 | mV |
| 交流精度 | | | | | |
| 动态范围 | 输入频率(f_{IN}) = 1 kHz $V_{REF} = 3.3\text{ V}$ (外部) $V_{REF} = 2.5\text{ V}$ (内部) | | 93.3 91.8 | | dB dB |
| 过采样动态范围 | OSR = 4 | | 95.2 | | dB |
| 信噪比(SNR) | $V_{REF} = 3.3\text{ V}$ (外部) $V_{REF} = 2.5\text{ V}$ (内部) | 90 88.5 | 92.5 91.1 | | dB dB |
| 无杂散动态范围(SFDR) | OSR = 8，RES = 1 | | 98 | | dB |
| 总谐波失真(THD) | OSR = 16，RES = 1 $f_{IN} = 100\text{ kHz}$ | | 101 89 | | dB dB |
| 信纳比(SINAD) | $f_{IN} = 100\text{ kHz}$ $V_{REF} = 3.3\text{ V}$ (外部) $V_{REF} = 2.5\text{ V}$ (内部) | 89.5 88 | 92.3 91 | | dB dB |
| 通道间隔离 | | | -110 | | dB |
| 电源 | | | | | |
| V_{CC} 电流(I_{VCC}) 正常模式 (工作状态) | | | 21.5 | 26 | mA |
| 功耗 总功耗(P_{TOTAL}) V_{CC} 功率(P_{VCC}) 正常模式 (工作状态) | | | 83 71 | 107 94 | mW mW |

¹ 这些规格包括整个温度范围内的波动，但不包括外部基准源的误差贡献。

除非另有说明， $V_{CC} = 3.0\text{ V}$ 至 3.6 V ， $V_{LOGIC} = 1.65\text{ V}$ 至 3.6 V ， $V_{REF} = 2.5\text{ V}$ （内部）， $f_{SAMPLE} = 4\text{ MSPS}$ ， $T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$ ，过采样未使能。

表2. AD7381

| 参数 | 测试条件/注释 | 最小值 | 典型值 | 最大值 | 单位 |
|-------------------------|-------------------------------|-------|--------|-------|-------------------|
| 分辨率 | | 14 | | | Bits |
| 吞吐速率 转换速率 | | | | 4 | MSPS |
| 直流精度 | | | | | |
| 无失码 | | 14 | | | Bits |
| 差分非线性误差 | | -1.0 | ±0.5 | +1.0 | LSB |
| 积分非线性误差 | | -1.0 | ±0.3 | +1.0 | LSB |
| 增益误差 | | -0.02 | ±0.002 | +0.02 | % FS ¹ |
| 增益误差温漂 | | -20 | ±1 | +20 | ppm/°C |
| 增益误差匹配 | | -0.02 | ±0.002 | +0.02 | % FS |
| 失调误差 | | -2 | ±0.25 | +2 | LSB |
| 失调温漂 | | +3 | ±0.5 | +3 | μV/°C |
| 失调误差匹配 | | -1.5 | ±0.25 | +1.5 | LSB |
| 交流精度 | $f_{IN} = 1\text{ kHz}$ | | | | |
| 动态范围 | | | 85.4 | | dB |
| 过采样动态范围 | OSR = 4 | | 87 | | dB |
| 信噪比(SNR) | $V_{REF} = 3.3\text{ V}$ （外部） | 85 | 85.4 | | dB |
| | $V_{REF} = 2.5\text{ V}$ （内部） | 84.5 | 85 | | dB |
| | OSR = 8, RES = 1 | | 92.6 | | dB |
| | OSR = 16, RES = 1 | | 94.5 | | dB |
| | $f_{IN} = 100\text{ kHz}$ | | 84.6 | | dB |
| 无杂散动态范围(SFDR) | $V_{REF} = 3.3\text{ V}$ （外部） | | -108 | | dB |
| | $V_{REF} = 2.5\text{ V}$ （内部） | | -112 | | dB |
| 总谐波失真(THD) | $V_{REF} = 3.3\text{ V}$ （外部） | | -107 | | dB |
| | $V_{REF} = 2.5\text{ V}$ （内部） | | -112 | | dB |
| | $f_{IN} = 100\text{ kHz}$ | | -101 | | dB |
| 信纳比(SINAD) | $V_{REF} = 3.3\text{ V}$ （外部） | 84.5 | 85.3 | | dB |
| | $V_{REF} = 2.5\text{ V}$ （内部） | 84 | 84.9 | | dB |
| 通道间隔离 | | | -110 | | dB |
| 电源 | | | | | |
| I_{VCC} 正常模式（工作状态） | | | 21.5 | 26 | mA |
| 功耗 P_{TOTAL} | | | 83 | 107 | mW |
| P_{VCC} 正常模式（工作状态） | | | 71 | 94 | mW |

¹ 这些规格包括整个温度范围内的波动，但不包括外部基准源的误差贡献。

表3. 所有器件

| 参数 | 测试条件/注释 | 最小值 | 典型值 | 最大值 | 单位 |
|--------------------------------|------------------------------------|------------------------|------------------------|------------------------|----------------|
| 模拟输入 | | | | | |
| 电压范围 | $(A_{INX+}) - (A_{INX-})$ | $-V_{REF}$ | | $+V_{REF}$ | V |
| 绝对输入电压 | A_{INX+} 、 A_{INX-} | -0.1 | | $V_{REF} + 0.1$ | V |
| 共模输入范围 | A_{INX+} 、 A_{INX-} | | 0.2 to $V_{REF} - 0.2$ | | V |
| 模拟输入共模抑制比(CMRR) | $f_{IN} = 500$ kHz | | -75 | | dB |
| 直流漏电流 | | | 0.1 | 1 | μ A |
| 输入电容 | 采样模式下 | | 18 | | pF |
| | 保持模式 | | 5 | | pF |
| 采样动态性能 | | | | | |
| 输入带宽 | -0.1 dB时 | | 6 | | MHz |
| | -3 dB时 | | 25 | | MHz |
| 孔径延迟 | | | 2 | | ns |
| 孔径延迟匹配 | | | 16 | 30 | ps |
| 孔径抖动 | | | 20 | | ps |
| 基准输入和输出 | | | | | |
| V_{REF} 输入电压范围 | 外部基准电压源 | 2.49 | | 3.4 | V |
| V_{REF} 输入电流 | 外部基准电压源 | | 0.47 | 0.51 | mA |
| V_{REF} 输出电压 | 25°C时 | 2.498 | 2.5 | 2.502 | V |
| | -40°C至+125°C | 2.495 | | 2.505 | V |
| V_{REF} 温度系数 | | | 1 | 10 | ppm/°C |
| V_{REF} 线性调整率 | | | -38 | | ppm/V |
| V_{REF} 负载调整率 | | | -106 | | ppm/mA |
| V_{REF} 噪声 | | | 7 | | μ A rms |
| V_{REF} 噪声密度 | | | 14 | | nV/ \sqrt Hz |
| 数字输入 (SCLK、SDI、CS) | | | | | |
| 逻辑电平 | | | | | |
| 输入低电压(V_{IL}) | | | | $0.2 \times V_{LOGIC}$ | V |
| 输入高电压(V_{IH}) | | $0.8 \times V_{LOGIC}$ | | | V |
| 输入低电流(I_{IL}) | | -1 | | +1 | μ A |
| 输入高电流(I_{IH}) | | -1 | | +1 | μ A |
| 数字输出 (SDOA、SDOB/ALERT) | | | | | |
| 输出编码 | | | 二进制补码 | | Bits |
| 输出低电压(V_{OL}) | 灌电流(I_{SINK}) = +300 μ A | | | 0.4 | V |
| 输出高电压(V_{OH}) | 拉电流(I_{SOURCE}) = -300 μ A | $V_{LOGIC} - 0.3$ | | | V |
| 浮空态漏电流 | | | | ± 1 | μ A |
| 浮空态输出电容 | | | 10 | | pF |
| 电源 | | | | | |
| V_{CC} | 外部基准电压源 = 3.3 V | 3.0 | 3.3 | 3.6 | V |
| | | 3.2 | 3.3 | 3.6 | V |
| V_{LOGIC} | | 1.65 | | 3.6 | V |
| I_{VCC} | | | | | |
| 正常模式 (静态) | | | 2.3 | 2.8 | mA |
| 关断模式 | | | 100 | 200 | μ A |
| V_{LOGIC} 电流(I_{VLOGIC}) | SDOA和SDOB为0x1FFF | | | | |
| 正常模式 (静态) | | | 10 | 200 | nA |
| 正常模式 (工作状态) | | | 3.5 | 3.7 | mA |
| 关断模式 | | | 10 | 200 | nA |

| 参数 | 测试条件/注释 | 最小值 | 典型值 | 最大值 | 单位 |
|--------------|------------------|-----|------|------|---------|
| 功耗 | | | | | |
| P_{VCC} | | | | | |
| 正常模式 (静态) | | | 7.6 | 10 | mW |
| 关断模式 | | | 330 | 720 | μ W |
| P_{VLOGIC} | SDOA和SDOB为0x1FFF | | | | |
| 正常模式 (静态) | | | 33 | 720 | nW |
| 正常模式 (工作状态) | | | 11.5 | 13.3 | mW |
| 关断模式 | | | 33 | 720 | nW |

时序规格

除非另有说明, $V_{CC} = 3.0\text{ V}$ 至 3.6 V , $V_{LOGIC} = 1.65\text{ V}$ 至 3.6 V , $V_{REF} = 2.5\text{ V}$ (内部), $T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$ 。

表4.1²

| 参数 | 最小值 | 典型值 | 最大值 | 单位 | 描述 |
|-------------------|---------------------------------------|-----|-----|---------|--|
| t_{CYC} | 250 | | | ns | 转换间隔时间 |
| t_{SCLKED} | 0.4 | | | ns | CS下降沿到第一个SCLK下降沿 |
| t_{SCLK} | 12.5 | | | ns | SCLK周期 |
| t_{SCLKH} | 5 | | | ns | SCLK高电平时间 |
| t_{SCLKL} | 5 | | | ns | SCLK低电平时间 |
| t_{CSH} | 10 | | | ns | CS脉冲宽度 |
| t_{QUIET} | 10 | | | ns | 转换之前的接口静默时间 |
| t_{SDOEN} | | | | | CS低电平至SDOx使能 |
| | | | 5.5 | ns | $V_{LOGIC} \geq 2.25\text{ V}$ |
| | | | 8 | ns | $1.65\text{ V} \leq V_{LOGIC} < 2.25\text{ V}$ |
| t_{SDOH} | 2 | | | ns | SCLK上升沿至SDO保持时间 |
| t_{SDOS} | | | | | SCLK上升沿至SDO建立时间 |
| | | | 5.5 | ns | $V_{LOGIC} \geq 2.25\text{ V}$ |
| | | | 8 | ns | $1.65\text{ V} \leq V_{LOGIC} < 2.25\text{ V}$ |
| t_{SDOT} | | | 45 | ns | CS上升沿到SDO高阻抗状态 |
| t_{SDIS} | 1 | | | ns | SCLK下降沿之前的SDI建立时间 |
| t_{SDIH} | 1 | | | ns | SCLK下降沿之后的SDI保持时间 |
| t_{SCLKCS} | 0 | | | ns | SCLK上升沿到CS下降沿 |
| $t_{CONVERT}$ | | | 190 | ns | 转换时间 |
| $t_{ACQUIRE}$ | 110 | | | ns | 采集时间 |
| $t_{POWERUP}$ | | | | | 电源激活至转换 |
| | | | 5 | ms | 允许第一次转换 |
| | | | 11 | ms | 建立到1%范围内, 使用内部基准电压源 |
| | | | 5 | ms | 建立到1%范围内, 使用外部基准电压源 |
| $t_{REGWRITE}$ | | | 5 | ms | 电源激活到允许寄存器读写访问 |
| $t_{STARTUP}$ | | | | | 退出关断模式至转换 |
| | | | 11 | ms | 建立到1%范围内, 使用内部基准电压源 |
| | | | 10 | μ s | 建立到1%范围内, 使用外部基准电压源 |
| $t_{CONVERT0}^2$ | 4 | 7 | 10 | ns | 过采样(OS)正常模式下第一个样本的转换启动时间 |
| $t_{CONVERTx}$ | | | | | OS正常模式下第x个样本的转换启动时间 |
| | $t_{CONVERT0} + (320 \times (x - 1))$ | | | ns | AD7380, 3 MSPS时 |
| | $t_{CONVERT0} + (350 \times (x - 1))$ | | | ns | AD7381, 4 MSPS时 |
| t_{ALERTS} | | | 200 | ns | 从CS到ALERT指示的时间 (见图34) |
| t_{ALERTC} | | | 12 | ns | 从CS到ALERT清除的时间 (见图34) |
| t_{ALERTS_NOS} | | | 12 | ns | 从超过阈值的内部转换到ALERT指示的时间 (见图34) |

¹ 所有规格均指定10 pF负载。

² 通过设计保证。

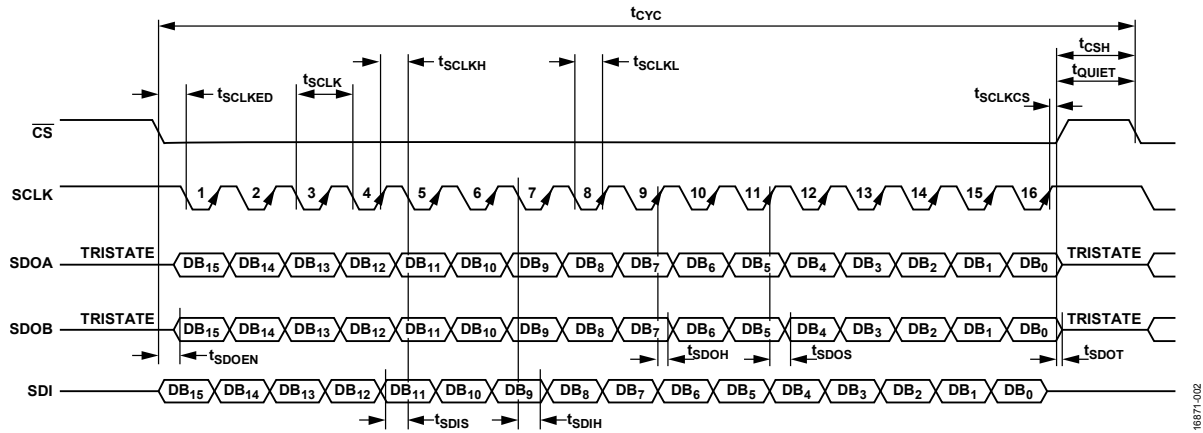


图2. 串行接口时序图

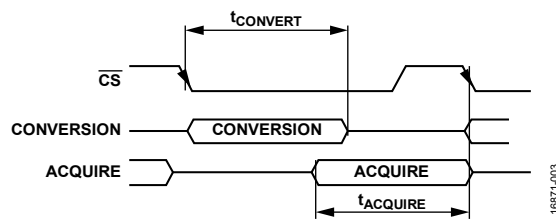


图3. 内部转换采集时序

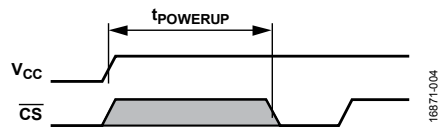


图4. 上电时间到转换

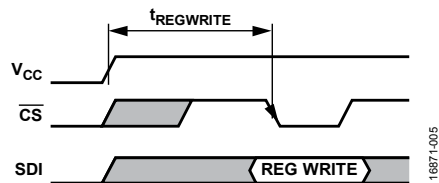


图5. 上电时间到寄存器读写访问

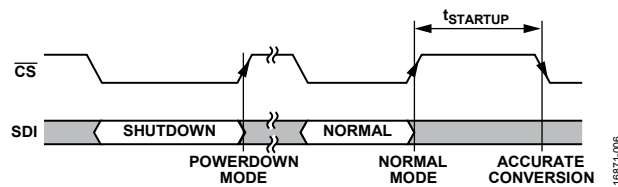
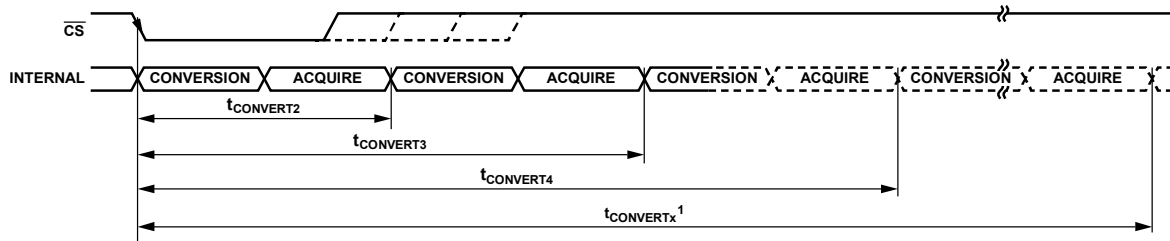


图6. 关断到正常模式时序



¹tCONVERTx STANDS FOR tCONVERT2, tCONVERT3, OR tCONVERT4.

图7. OS正常模式下的转换时序

绝对最大额定值

表5.

| 参数 | 额定值 |
|----------------------|--|
| V_{CC} 至地(GND) | -0.3 V至+4 V |
| V_{LOGIC} 至GND | -0.3 V至+4 V |
| 模拟输入电压至GND | -0.3 V至 $V_{REF} + 0.3 V$ 、 $V_{CC} + 0.3 V$ 、4 V |
| 数字输入电压至GND | -0.3 V至 $V_{LOGIC} + 0.3 V$ 、4 V |
| 数字输出电压至GND | -0.3 V至 $V_{LOGIC} + 0.3 V$ 、4 V |
| 基准输入和输出(REFIO)输入至GND | -0.3 V至 $V_{CC} + 0.3 V$ 、4 V |
| 输入电流至除电源引脚外的任何引脚 | ± 10 mA |
| 工作温度范围 | -40°C至+125°C |
| 存储温度范围 | -65°C至+150°C |
| 最高结温 | 150°C |
| 无铅回流焊温度 | 260°C |
| 静电放电(ESD)额定值 | |
| 人体模型(HBM) | 4 kV |
| 场感应元件充电模式(FICDM) | 1.25 kV |

注意，等于或超出上述绝对最大额定值可能会导致产品永久性损坏。这只是额定最值，不表示在这些条件下或者在任何其它超出本技术规范操作章节中所示规格的条件下，器件能够正常工作。长期在超出最大额定值条件下工作会影响产品的可靠性。

热阻

热性能与印刷电路板(PCB)设计和工作环境直接相关。必须慎重对待PCB散热设计。

θ_{JA} 是自然对流下的结至环境热阻，在1立方英尺的密封外罩中测量。 θ_{JC} 是结至外壳热阻。

表6. 热阻

| 封装类型 | θ_{JA} | θ_{JC} | 单位 |
|-----------------------|---------------|---------------|------|
| CP-16-45 ¹ | 55.4 | 12.7 | °C/W |

¹ 测试条件1：热阻仿真值基于JEDEC 2S2P带4个热通孔的热测试板。参见JEDEC JESDS1。

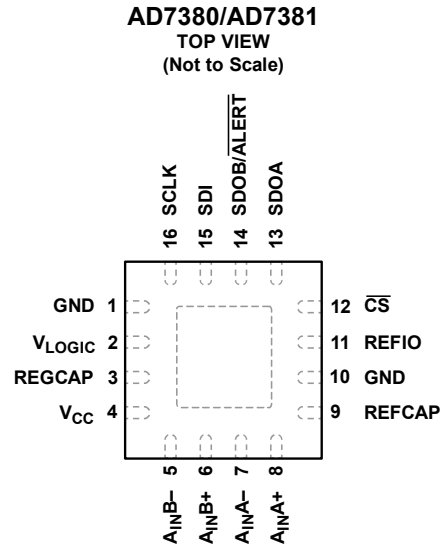
ESD警告



ESD（静电放电）敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

引脚配置和功能描述



NOTES:

1. EXPOSED PAD. FOR CORRECT OPERATION OF THE DEVICE, THE EXPOSED PAD MUST BE CONNECTED TO GROUND.

16871-008

图8. 引脚配置

表7. 引脚功能描述

| 引脚编号 | 引脚名称 | 描述 |
|-------|------------------------------------|---|
| 1, 10 | GND | 接地基准点。此引脚是器件上所有电路的接地基准点。 |
| 2 | V_{LOGIC} | 逻辑接口电源电压，1.65 V至3.6 V。使用1 μF 电容将此引脚去耦至GND。 |
| 3 | REGCAP | 内部稳压器电压输出的去耦电容引脚。使用1 μF 电容将此引脚去耦至GND。此引脚的电压典型值为1.9 V。 |
| 4 | V_{CC} | 电源输入电压，3.0 V至3.6 V。使用1 μF 电容将此引脚去耦至GND。 |
| 5, 6 | $A_{\text{INB-}}, A_{\text{INB+}}$ | ADC B的模拟输入。这些模拟输入形成一个差分对。 |
| 7, 8 | $A_{\text{INA-}}, A_{\text{INA+}}$ | ADC A的模拟输入。这些模拟输入形成一个差分对。 |
| 9 | REFCAP | 带隙基准电压源的去耦电容引脚。使用1 μF 电容将此引脚去耦至GND。此引脚的电压典型值为2.5 V。 |
| 11 | REFIO | 基准输入和输出。如果相应地配置器件，2.5 V片内基准电压源可作为此引脚的输出供外部使用。或者，可以将2.5 V至3.3 V的外部基准电压输入到此引脚。无论使用内部还是外部基准电压，都需要对此引脚去耦。此引脚与GND之间须连接一个1 μF 电容。 |
| 12 | $\overline{\text{CS}}$ | 片选输入引脚。低电平有效，逻辑输入。此输入提供两个功能：启动AD7380/AD7381的转换和使能串行数据帧传输。 |
| 13 | SDOA | 串行数据输出A。此引脚用作串行数据输出引脚以访问ADC A或ADC B的转换结果或任何片内寄存器的数据。 |
| 14 | $\overline{\text{SDOB/ALERT}}$ | 串行数据输出B/警报指示输出。此引脚可用作串行数据输出引脚或警报指示输出。 SDOB。此引脚用作串行数据输出引脚以访问ADC B的转换结果。 $\overline{\text{ALERT}}$ 。此引脚用作警报引脚，变为低电平时表示转换结果已超出配置的阈值。 |
| 15 | SDI | 串行数据输入。该输入提供写入片内控制寄存器的数据。 |
| 16 | SCLK | 串行时钟输入。用于与ADC进行数据传输。 |
| | EPAD | 裸露焊盘。为了正确使用器件，裸露焊盘必须连接到接地。 |

典型性能参数

除非另有说明, $V_{REF} = 2.5\text{ V}$ (内部), $V_{CC} = 3.6\text{ V}$, $V_{LOGIC} = 3.3\text{ V}$, $f_{SAMPLE} = 4\text{ MSPS}$, $f_{IN} = 1\text{ kHz}$, $T_A = 25^\circ\text{C}$ 。

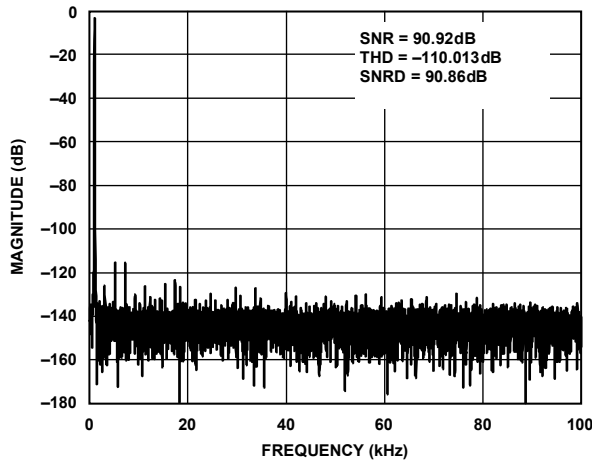


图9. 快速傅立叶变换(FFT), $V_{REF} = 2.5\text{ V}$ (内部)

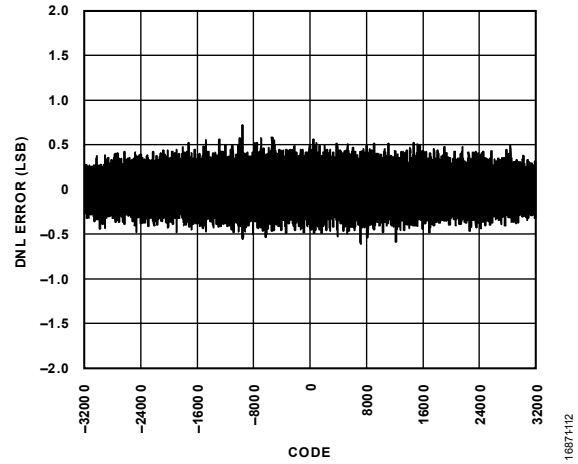


图12. 典型差分非线性(DNL)误差

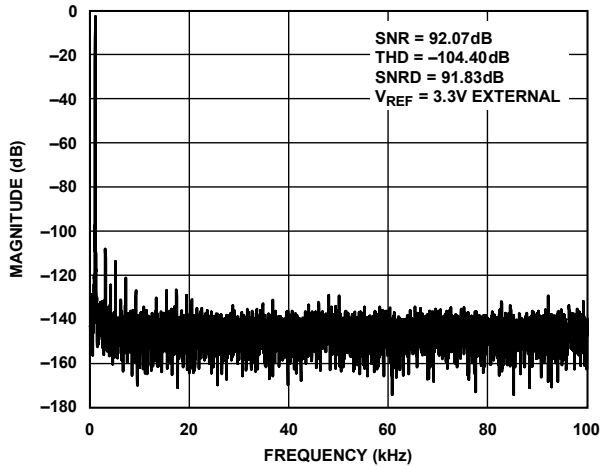


图10. FFT, $V_{REF} = 3.3\text{ V}$ (外部)

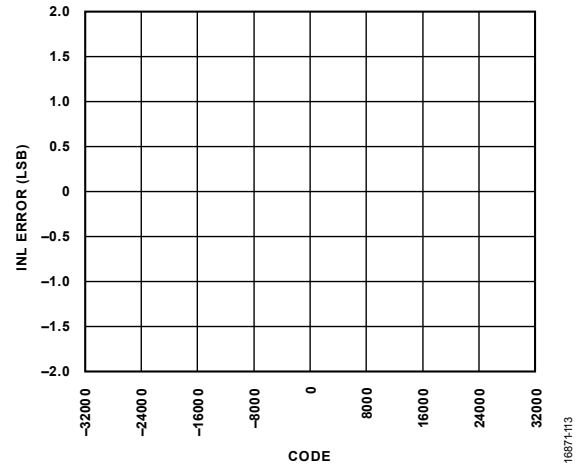


图13. 典型积分非线性(INL)误差

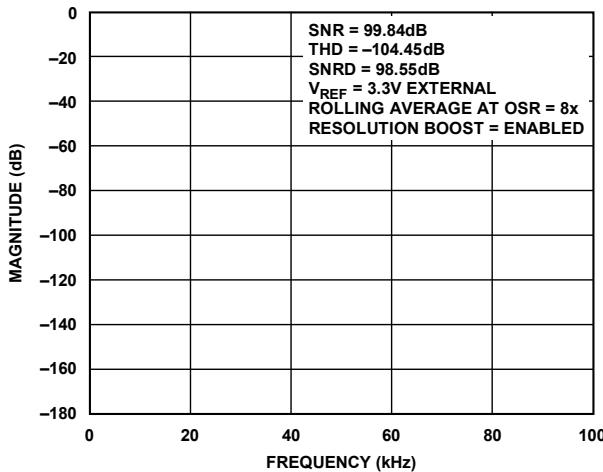


图11. FFT, 使用过采样

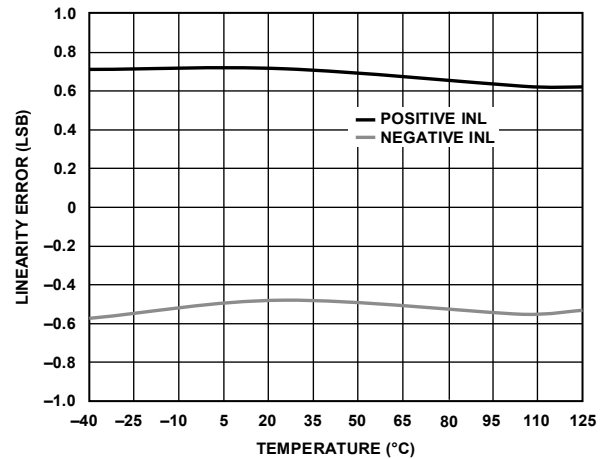


图14. 线性度误差与温度的关系

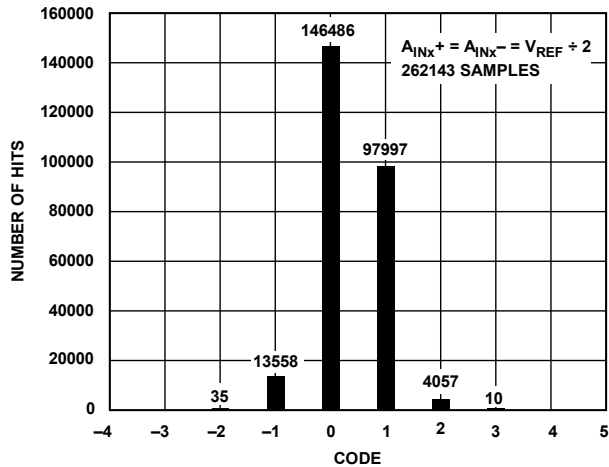


图15. 码中心处的码直流直方图

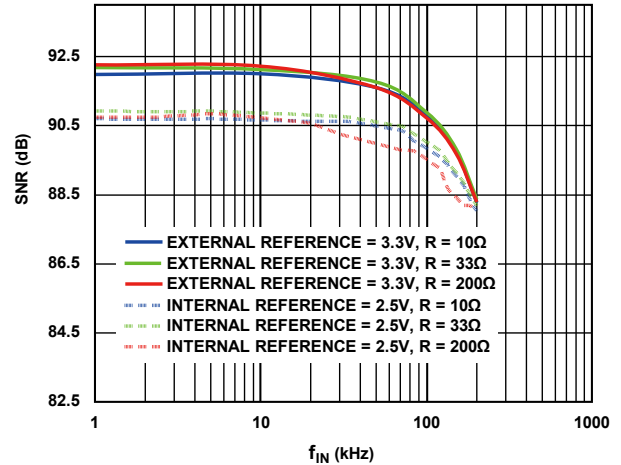


图18. SNR与 f_{IN} 的关系

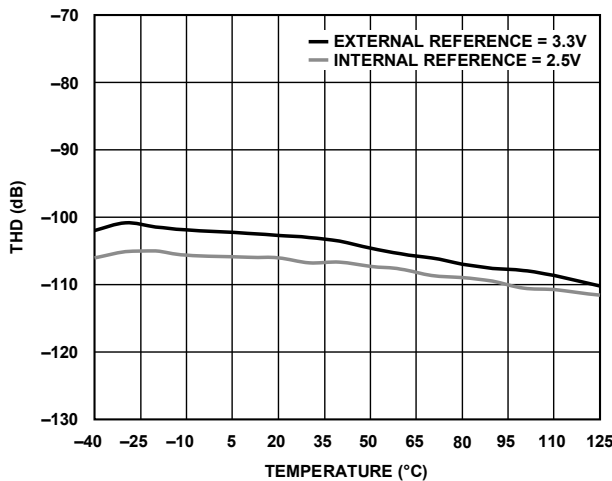


图16. THD与温度的关系

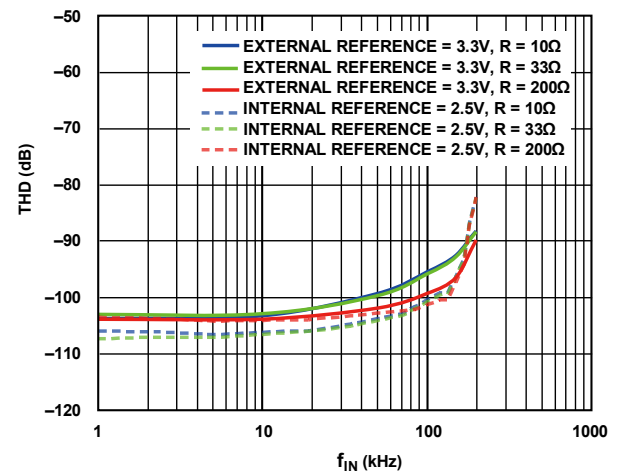


图19. THD与 f_{IN} 的关系

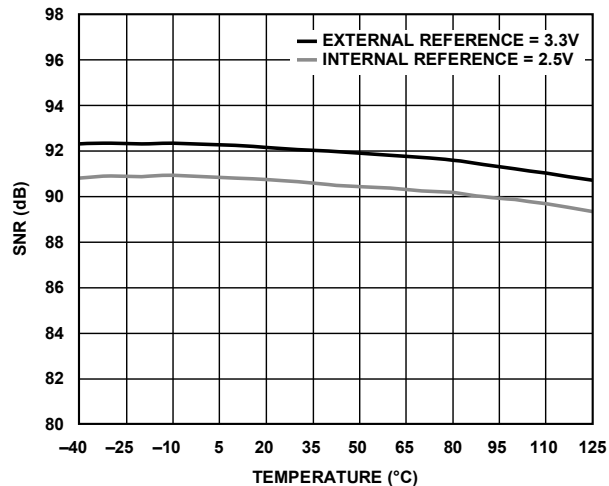


图17. SNR与温度的关系

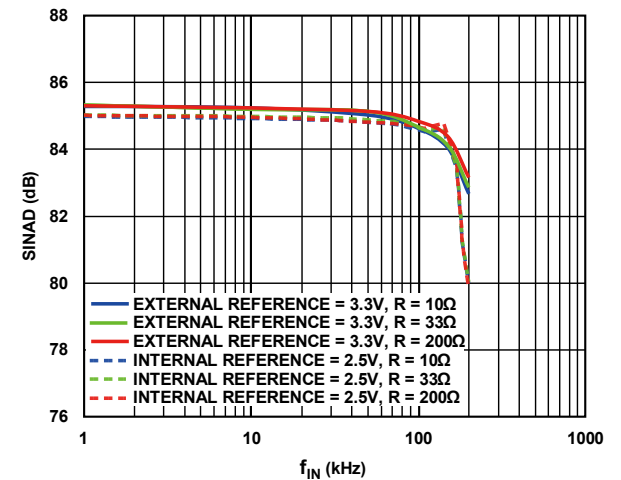


图20. SINAD与 f_{IN} 的关系

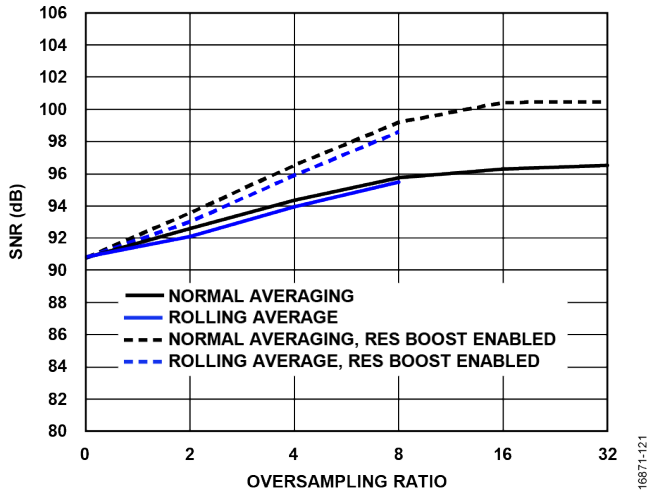


图21. SNR与过采样率的关系

16871-121

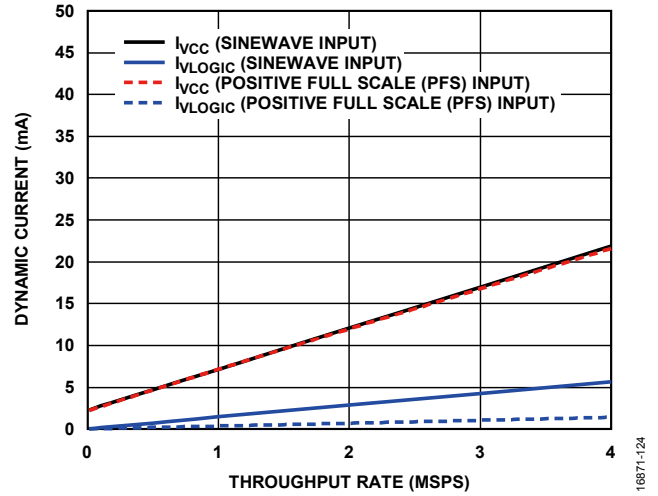


图24. 不同输入信号下的动态电流与吞吐速率的关系

16871-124

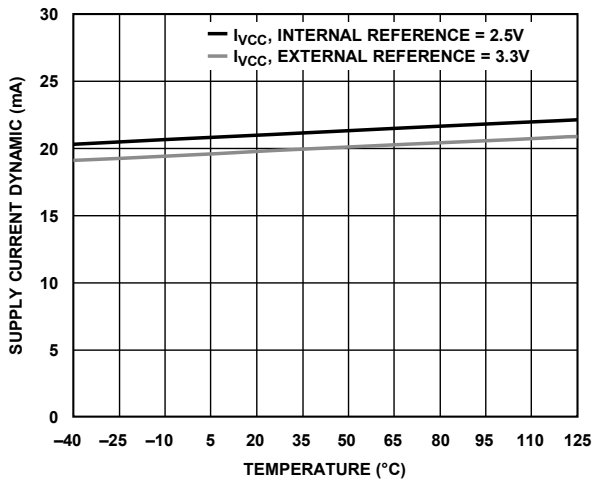


图22. 动态电源电流与温度的关系

16871-122

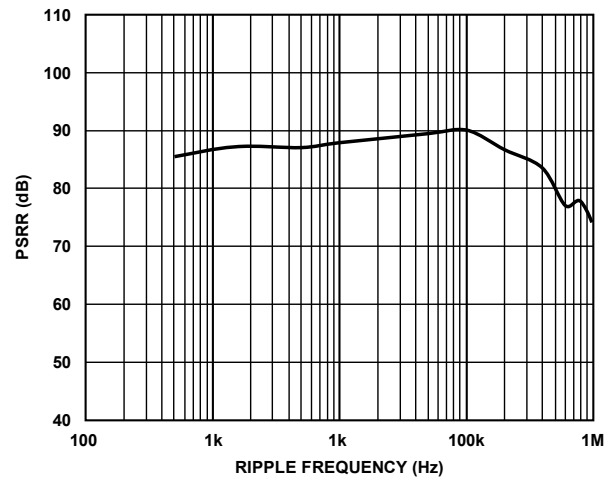


图25. 电源抑制比(PSRR)与纹波频率的关系

16871-125

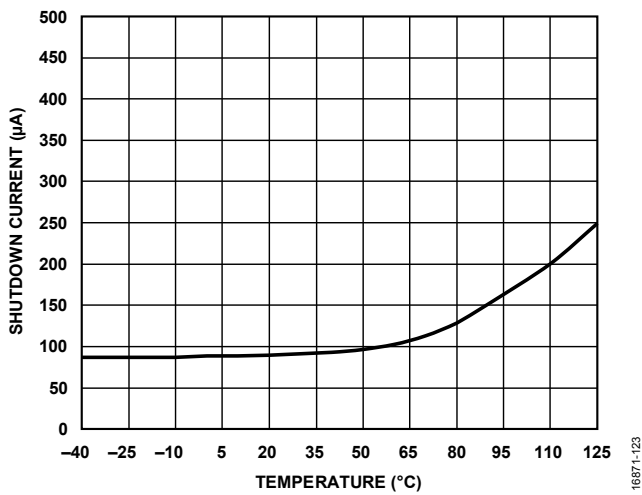


图23. 关断电流与温度的关系

16871-123

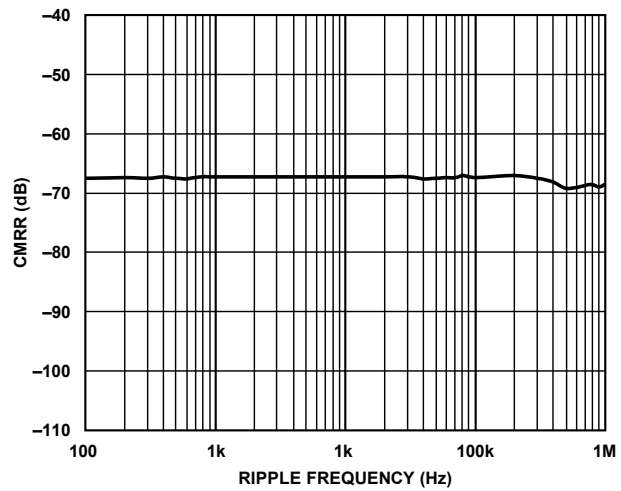


图26. CMRR与纹波频率的关系

16871-126

术语

差分非线性(DNL)

在一个理想ADC中，码跃迁相距1 LSB。DNL是指实际值与此理想值的最大偏差。经常用保证不失码的分辨率来描述这一规格。

积分非线性(INL)

INL是指每个码与一条从负满量程画到正满量程的直线的偏差。用作负满量程的该点出现在第一个码跃迁之前的 $\frac{1}{2}$ LSB处。正满量程定义为超出最后一个码跃迁 $1\frac{1}{2}$ LSB的一个电平。从各码的中点到该直线的距离即为偏差。

增益误差

当模拟电压高于标称负满量程 $\frac{1}{2}$ LSB时，发生第一个码跃迁（从100...000跃迁到100...001）。当模拟电压低于标称满量程 $1\frac{1}{2}$ LSB时，发生最后一个码跃迁（从011 ... 110跃迁到011 ... 111）。增益误差指最后一个跃迁的实际电平与第一个跃迁的实际电平之差与二者的理想电平之差的偏差。

增益误差漂移

温度变化 1°C 所引起的增益误差变化。

增益误差匹配

增益误差匹配是指输入通道之间的负满量程误差的差异和输入通道之间的正满量程误差的差异。

零电平误差

理想中间电平电压（即0 V）与产生中间电平输出码（即0 LSB）的实际电压之差称为零电平误差。

零电平误差漂移

温度变化 1°C 所引起的零电平误差变化。

零电平误差匹配

零电平误差匹配是指输入通道之间的零电平误差之差。

信噪比(SNR)

SNR指实际输入信号的均方根值与奈奎斯特频率以下除谐波和直流以外所有其它频谱成分的均方根和之比，用分贝(dB)表示。

无杂散动态范围(SFDR)

SFDR指输入信号与峰值杂散信号的均方根幅值之差，用dB表示。

总谐波失真(THD)

THD指前五个谐波成分的均方根和与满量程输入信号的均方根值之比，用dB表示。

信纳比(SINAD)

SINAD指实际输入信号的均方根值与奈奎斯特频率以下包括谐波但直流除外的所有其它频谱成分的均方根和之比，用dB表示。

共模抑制比(CMRR)

CMRR指频率f下ADC输出功率与频率f下施加于共模电压 A_{INX+} 和 A_{INX-} 的200 mV p-p正弦波功率的比值。

$$CMRR (dB) = 10\log(P_{ADC_IN}/P_{ADC_OUT})$$

其中：

P_{ADC_IN} 为频率f下施加于 A_{INX+} 和 A_{INX-} 输入的共模功率。

P_{ADC_OUT} 为频率f下ADC输出的功率。

孔径延迟

孔径延迟用于衡量采集性能，指从 \overline{CS} 输入的下降沿到输入信号被保持以进行转换的时间。

孔径抖动

孔径抖动指孔径延迟的变化。

工作原理

电路信息

AD7380/AD7381是高速、双通道同步采样、全差分16位/14位SAR型ADC。AD7380/AD7381采用3.0 V至3.6 V电源供电，吞吐速率最高可达4 MSPS。

AD7380/AD7381内置两个SAR ADC和一个串行接口，具有两个独立数据输出引脚。该器件采用16引脚LFCSP封装，与其他解决方案相比，非常节省空间。

器件中的数据通过串行接口进行访问。该接口可以配合两路或一路串行输出进行操作。AD7380/AD7381内置一个2.5 V片内基准电压源 V_{REF} 。如果希望使用外部基准电压源，可以禁用内部基准电压源，并提供2.5 V至3.3 V范围内的基准电压值。如果内部基准电压源用在系统的其他地方，则必须缓冲基准电压输出。AD7380/AD7381的差分模拟输入范围为共模电压(V_{CM}) $\pm V_{REF}/2$ 。

AD7380/AD7381片内集成过采样模块以提高性能。其还提供正常平均和滚动平均过采样模式，以及在转换之间省电的关断选项。器件配置通过标准串行接口实现（参见“接口”部分）。

转换器操作

AD7380/AD7381有两个SAR ADC，每个均基于两个容性数模转换器(DAC)。图27和图28分别为这些ADC的采样阶段和转换阶段简图。ADC由控制逻辑、一个SAR和两个容性DAC组成。在信号采样阶段，如图27所示，SW3闭合，SW1和SW2都在位置A，比较器保持在平衡状态，采样电容(C_s)阵列可采集输入端的差分信号。

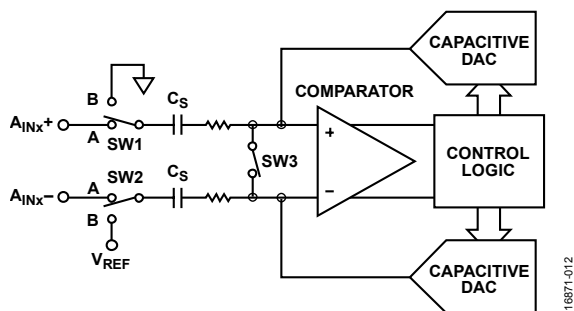


图27. ADC采集阶段

当ADC启动转换（见图28）时，SW3断开，而SW1和SW2移至位置B，使得比较器变得不平衡。转换开始时，两个输入均会断开。控制逻辑和电荷再分配DAC可以加上和减去采样电容阵列中的固定电荷数量，使得比较器恢复到平衡状态。当比较器

重新平衡后，转换就已经完成。控制逻辑产生ADC的输出代码。驱动 A_{INx+} 和 A_{INx-} 引脚的源输出阻抗必须匹配，否则两个输入的建立时间不同会导致错误。

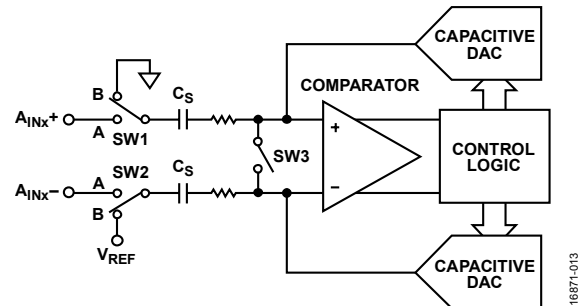


图28. ADC转换阶段

模拟输入结构

AD7380/AD7381模拟输入结构的等效电路如图29所示。图中4个二极管为模拟输入提供ESD保护。切记，模拟输入信号决不能超过供电轨300 mV以上。超过限值会造成这些二极管正偏，并开始向衬底内传导电流。这些二极管可以导通但不会导致器件彻底损坏的最大电流为10mA。

图29中，电容C1典型值为3 pF，可基本上被归属为引脚寄生电容。R1电阻是由开关导通电阻构成的集总元件。这些电阻的典型值约为200 Ω 。电容C2是ADC的采样电容，典型值为15 pF。

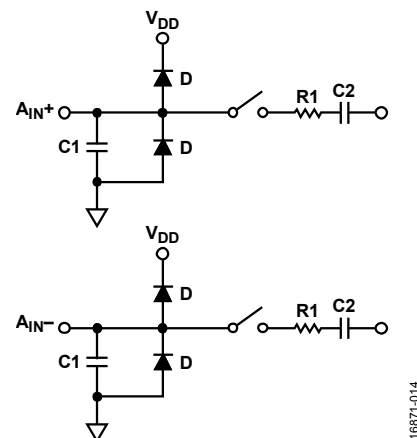


图29. 等效模拟输入电路：
转换阶段—开关断开，采样阶段—开关闭合

ADC传递函数

AD7380/AD7381可使用2.5 V至3.3 V基准电压源。AD7380/AD7381将模拟输入（A_{IN}A+、A_{IN}A-、A_{IN}B+和A_{IN}B-）的差分电压转换为数字输出信号。

转换结果为MSB优先二进制补码。LSB大小为 $(2 \times V_{REF})/2^N$ ，其中N是ADC分辨率。ADC分辨率取决于所选器件的分辨率以及是否使能分辨率增强模式。表8列出了不同分辨率和基准电压选项对应的LSB大小（用V表示）。

AD7380/AD7381的理想传递特性如图30所示。

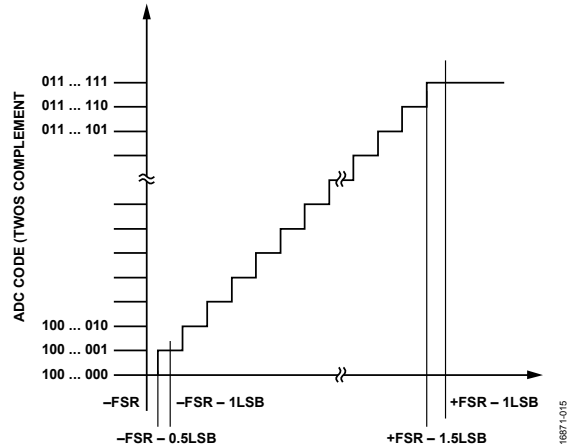


图30. ADC理想传递函数 (FSR = 满量程范围)

表8. LSB大小

| 分辨率 | 2.5 V基准电压源 | 3.3 V基准电压源 | 单位 |
|-----|------------|------------|----|
| 14位 | 305.2 | 402.8 | μV |
| 16位 | 76.3 | 100.7 | μV |
| 18位 | 19.1 | 25.2 | μV |

应用信息

图31给出了AD7380/AD7381的典型应用电路示例。使用合适的去耦电容将 V_{CC} 、 V_{LOGIC} 、REGCAP和REFIO引脚去耦，如图所示。

裸露焊盘是器件上电路的接地基准点，必须连接到电路板接地。

模拟输入上须放置一个差分电阻电容(RC)滤波器，以确保实现所需性能。

AD7380/AD7381器件的性能可能受到数字接口噪声的影响，这种影响取决于电路板布局和设计。数字线路与数字接口应保持最小距离，或者串联一个100 Ω 串联并靠近SDOA引脚和SDOB引脚放置，以降低AD7380/AD7381数字接口耦合的噪声。

电源

AD7380/AD7381有两个独立电源 V_{CC} 和 V_{LOGIC} ，分别为模拟电路和数字接口供电。 V_{CC} 电源和 V_{LOGIC} 电源均应通过1 μ F电容分别

去耦。此外还有一个内部低压差(LDO)稳压器，用于为AD7380/AD7381供电。片内稳压器提供1.9 V电源，仅供器件内部使用。使用1 μ F电容将REGCAP引脚去耦至GND。

上电

AD7380/AD7381对上电顺序十分鲁棒。 V_{CC} 和 V_{LOGIC} 可以任何顺序上电。外部基准电压源须在 V_{CC} 和 V_{LOGIC} 上电之后施加。

从施加 V_{CC} 和 V_{LOGIC} 到ADC转换结果保持稳定，AD7380/AD7381需要 $t_{POWERUP}$ 时间。在建立时间经过之前施加 \overline{CS} 脉冲或与AD7380/AD7381交互，不会对ADC操作产生负面影响。但在此期间，转换结果无法保证满足数据手册规格，因此须予以忽略。

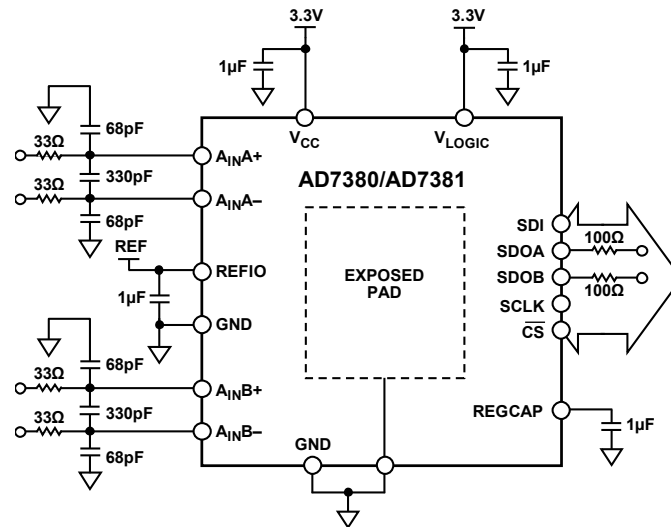


图31. 典型应用电路

工作模式

AD7380/AD7381有多个片内配置寄存器，用于控制器件的工作模式。

过采样

过采样是模拟电子器件提高ADC结果精度的常用方法。捕获模拟输入的多个样本并取平均值，可降低量化噪声的噪声分量和ADC的热噪声(kTC)。AD7380/AD7381提供片内过采样功能，具有两种用户可配置的过采样模式，即正常平均和滚动平均。

过采样功能通过CONFIGURATION1寄存器中的OS_MODE位和OSR[2:0]位来配置。

正常平均过采样

正常过采样模式可用于允许较慢输出数据速率和需要较高SNR或动态范围的应用中。正常平均过程包括采集多个样本，将样本加在一起，然后将结果除以样本数。此结果随后从器件输出。该过程完成之后，样本数据即被清除。

要配置正常过采样模式，须将OS_MODE位设置为逻辑0，并且OSR[2:0]位中的值须为有效的非零值。写入OSR[2:0]位有两个

周期的延迟时间，经过之后寄存器才会更新。数字滤波器的过采样率利用过采样位OSR[2:0]控制，其提供过采样位解码以选择不同的过采样率。AD7380的输出结果按照16位分辨率抽取，AD7381的输出分辨率为14位。如果需要更高分辨率，可以通过配置CONFIGURATION1寄存器中的分辨率增强位来实现。有关详细信息，请参阅“分辨率增强”部分。

采集OSR[2:0]位所定义的样本数n，将其相加，结果除以n。初始ADC转换由CS下降沿启动，AD7380/AD7381内部控制过采样序列中的所有后续采样。在过采样模式下，其他n个样本的采样速率为3 MSPS (AD7380)和4 MSPS (AD7381)。过采样转换结果可在下一次串行接口访问时回读。应用该技术后，计算中使用的样本数据即被丢弃。每次应用需要新的转换结果时都会重复此过程，此过程由CS下降沿启动。

由于输出数据速率会降低（降低倍数为过采样率），传输数据所需的SPI SCLK频率也会相应地降低。

表9. AD7380/AD7381正常平均过采样性能概览

| 过采样率 | AD7380 | | | | 输出数据速率 (kSPS最大值) | AD7381 | | | |
|------|--------------------------|---------|--------------------------|---------|---------------------|---------------------|-------------|---------|---------------------|
| | SNR (dB典型值) | | | | | 输出数据速率 (kSPS最大值) | SNR (dB典型值) | | 输出数据速率 (kSPS最大值) |
| | V _{REF} = 2.5 V | | V _{REF} = 3.3 V | | | | RES = 0 | RES = 1 | |
| | RES = 0 | RES = 1 | RES = 0 | RES = 1 | | | | | |
| 禁用 | 90.8 | 90.8 | 92.5 | 92.5 | 3000 | 85.2 | 85.2 | 4000 | |
| 2 | 92.6 | 93.6 | 94.0 | 95.5 | 1500 | 84.7 | 88 | 2000 | |
| 4 | 94.3 | 96.5 | 95.4 | 98.2 | 750 | 85.2 | 91.1 | 1000 | |
| 8 | 95.8 | 99.2 | 96.3 | 100.5 | 375 | 85.5 | 93 | 500 | |
| 16 | 96.3 | 100.4 | 96.8 | 102.0 | 187.5 | 85.7 | 94.6 | 250 | |
| 32 | 96.5 | 100.5 | 97.0 | 102.8 | 93.75 | 85.9 | 95.6 | 125 | |

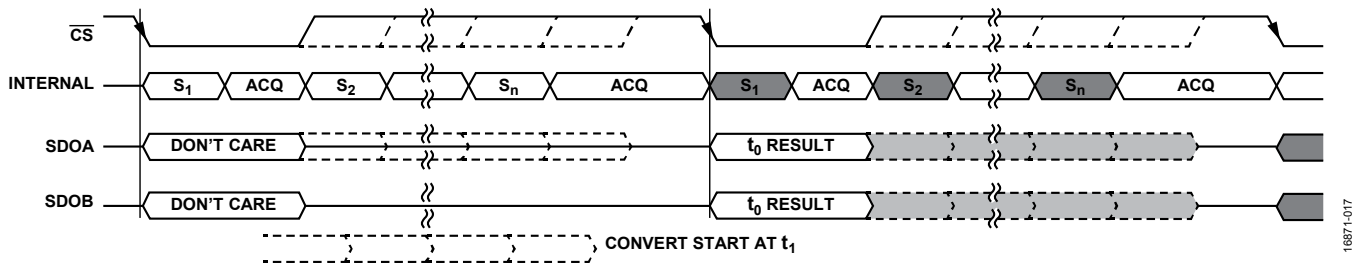


图32. 正常平均过采样操作

16871-017

滚动平均过采样

滚动过采样模式可用于需要较高输出数据速率和希望有较高SNR或动态范围的应用中。滚动平均过程包括采集多个样本，将样本加在一起，然后将结果除以样本数。此结果随后从器件输出。该过程完成之后，样本数据不会被清除。滚动过采样模式在平均计算中使用先进先出(FIFO)缓冲器中的最新样本，ADC吞吐速率和输出数据速率可以保持不变。

要配置滚动过采样模式，须将OS_MODE位设置为逻辑1，并且OSR[2:0]位中的值须为有效的非零值。数字滤波器的过采样率由过采样位OSR[2:0]控制（见表10）。AD7380的输出结果按照16位分辨率抽取，AD7381的输出结果为14位。如果需要更高分辨率，可以通过配置CONFIGURATION1寄存器中的分辨率增强位来实现。有关详细信息，请参阅“分辨率增强”部分。

在滚动平均过采样模式下，所有ADC转换均由 \overline{CS} 下降沿控制和启动。转换完成后，结果即被加载到FIFO中。无论设置何种过采样率，FIFO长度都是8。FIFO在上电复位后的第一次转换时填充，在软件控制硬复位或软复位后的第一次转换时填充，或在REFSEL位切换后的第一次转换时填充。无论OSR[2:0]位和OS_MODE位的状态如何，每次ADC转换完成时，新的转换结果都会移入FIFO。这样，从无过采样到滚动平均过采样，或不同滚动平均过采样率之间可以无缝转变，而无需等待FIFO填充。

从FIFO中获取OSR[2:0]位所定义的样本数n，将其相加，结果除以n。 \overline{CS} 下降沿之间的时间为周期时间，这可以由用户根据所需的数据输出速率来控制。

表10. AD7380/AD7381滚动平均过采样性能概览

| 过采样率 | AD7380 | | | | 输出数据速率 (kSPS最大值) | AD7381 | | |
|---------|-------------------|---------|-------------------|---------|---------------------|-------------|---------|---------------------|
| | SNR (dB典型值) | | | | | SNR (dB典型值) | | 输出数据速率 (kSPS最大值) |
| | $V_{REF} = 2.5 V$ | | $V_{REF} = 3.3 V$ | | | RES = 0 | RES = 1 | |
| RES = 0 | RES = 1 | RES = 0 | RES = 1 | RES = 0 | RES = 1 | RES = 1 | | |
| 禁用 | 91 | 91 | 92.5 | 92.5 | 4000 | 85 | 85 | 4000 |
| 2 | 92 | 93 | 93.2 | 94.5 | 4000 | 84.5 | 87.7 | 4000 |
| 4 | 94 | 96 | 94.8 | 97.2 | 4000 | 85 | 91 | 4000 |
| 8 | 95.5 | 98.6 | 95.9 | 99.6 | 4000 | 85.5 | 93 | 4000 |

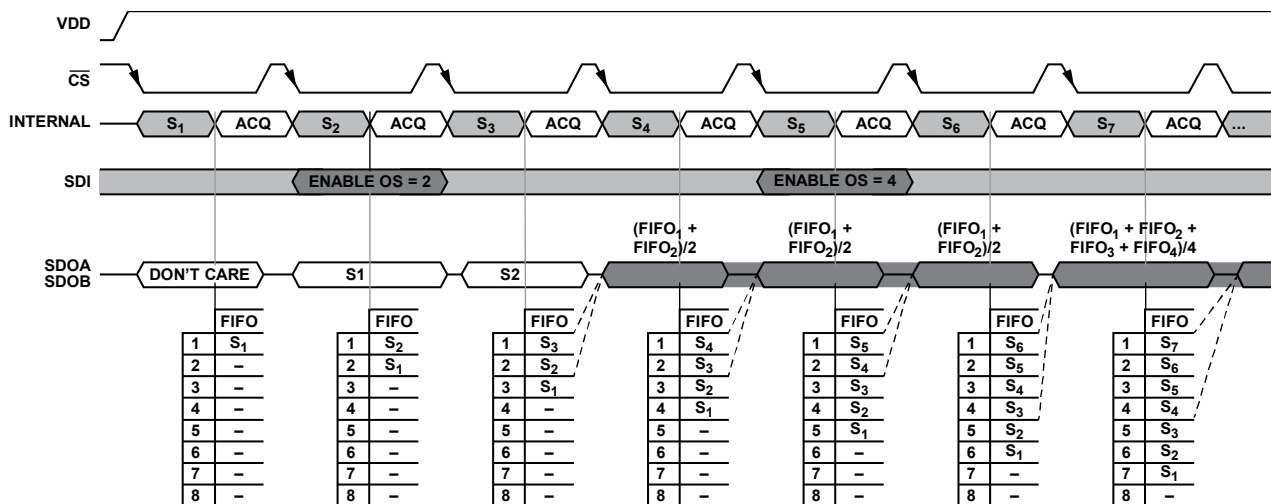


图33. 滚动平均过采样操作

168871-018

分辨率增强

AD7380的默认转换结果输出数据大小为16位，AD7381为14位。当片内过采样功能使能时，ADC的性能可以超过16位水平(AD7380)或14位水平(AD7381)。为了适应可实现的性能提升，可以使能额外的两位分辨率。如果CONFIGURATION1寄存器中的RES位设置为逻辑1，并且AD7380/AD7381处于有效过采样模式，则AD7380的转换结果大小为18位，AD7381的转换结果大小为16位。在这种模式下，AD7380需要18个SCLK来传输数据，AD7381需要16个SCLK。

警报

警报功能是一个超范围指示器，可用作转换结果越界的早期指示信号。当转换结果寄存器值超过ALERT_HIGH_THRESHOLD寄存器中的警报上限值或低于ALERT_LOW_THRESHOLD中的警报下限值时，就会触发警报事件。ALERT_HIGH_THRESHOLD寄存器和ALERT_LOW_THRESHOLD寄存器为所有ADC所共用。设置阈值时，警报上限必须总是大于警报下限。详细警报信息可通过ALERT寄存器读取。

寄存器包含每ADC两个状态位，一个对应上限，另一个对应下限。所有ADC的警报信号的逻辑“或”运算产生一个公用警报值。该值可配置为驱动SDOB/ALERT引脚的ALERT功能。通过配置CONFIGURATION1寄存器和CONFIGURATION2寄存器中的以下位，可将SDOB/ALERT引脚配置为ALERT：

- 将SDO位设置为1。
- 将ALERT_EN位设置为1。
- 将ALERT_HIGH_THRESHOLD寄存器和ALERT_LOW_THRESHOLD寄存器设置为有效值。

警报指示功能在过采样（包括滚动平均和正常平均）及非过采样模式下均可用。

在转换结束时，SDOB/ALERT引脚的ALERT功能会更新。ALERT寄存器中的警报指示位也会更新，必须在下一转换结束之前读取。SDOB/ALERT引脚的ALERT功能通过CS下降沿清除。发出软件复位命令也会清除ALERT寄存器中的警报状态。

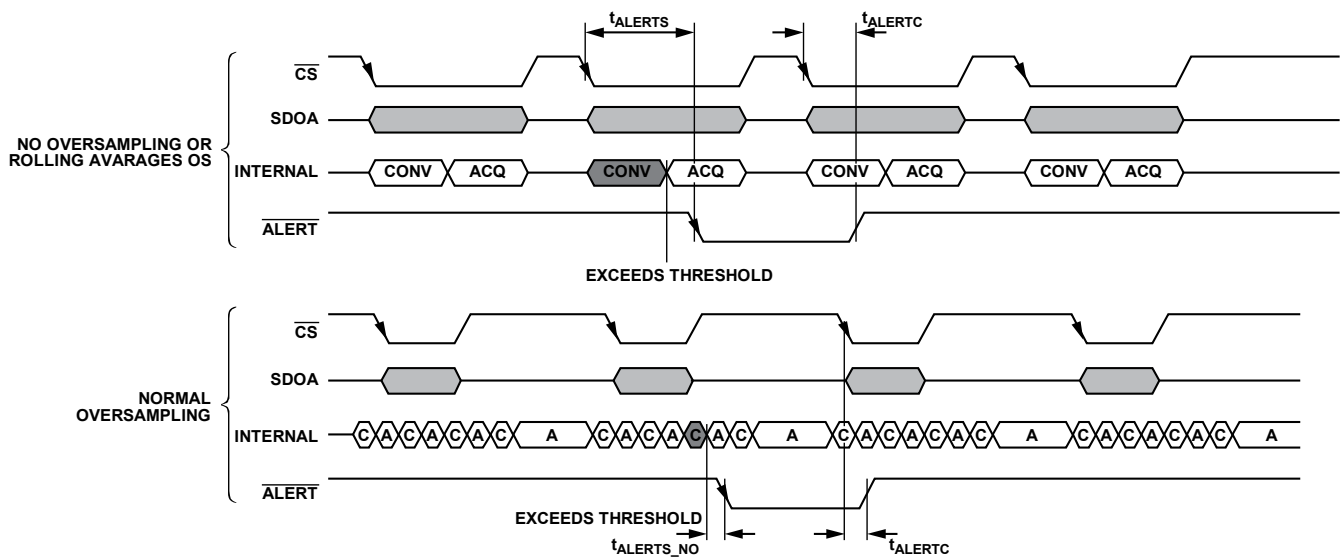


图34. 警报操作

16871-019

功耗模式

AD7380/AD7381有两种功耗模式：正常模式和关断模式。这些工作模式提供灵活的电源管理选项，允许针对不同的应用要求优化功耗与吞吐速率之比。

设置 CONFIGURATION1 寄存器中的 PMODE 位即可配置 AD7380/AD7381 的功耗模式。PMODE 设置为逻辑 0 时使能正常模式，设置为逻辑 1 时使能关断模式。

正常模式

AD7380/AD7381 保持正常模式可实现最快吞吐速率。AD7380/AD7381 中的所有模块始终以全功率运行，需要时可通过 $\overline{\text{CS}}$ 下降沿启动 ADC 转换。当 AD7380/AD7381 未进行转换时，器件处于静态模式，功耗会自动降低。执行转换需要额外的电流，因此 AD7380/AD7381 的功耗随着吞吐速率提高而提高。

关断模式

当要求较低吞吐速率和功耗时，可以使用关断模式；方法是在两次转换之间关断 ADC，或者以高吞吐速率执行一系列转换，然后在这些突发转换之间关断 ADC 并持续一段相对较长的时间。当 AD7380/AD7381 处于关断模式时，所有模拟电路都会关断，包括内部基准电压源（如已使能）。在关断模式下，串行接口保持活动状态，以允许 AD7380/AD7381 退出关断模式。

要进入关断模式，须写入 CONFIGURATION1 寄存器中的 PMODE 位。AD7380/AD7381 随即关断，电流消耗减少。

要退出关断模式并返回正常模式，须将 CONFIGURATION1 寄存器中的 PMODE 位设置为逻辑 0。进入或退出关断模式时，所有寄存器配置保持不变。退出关断模式后，必须留出足够的时间让电路开启，再启动转换。如果使能了内部基准电压源，

必须让其稳定下来，然后才能实现精确转换。

内部和外部基准电压源

AD7380/AD7381 内置一个 2.5 V 基准电压源。如果需要更高精度的基准源或更高动态范围，可以提供外部基准电压源。外部提供的基准电压范围为 2.5 V 至 3.3 V。

内部/外部基准电压源选择由 CONFIGURATION1 寄存器中的 REFSEL 位配置。如果 REFSEL 设置为 0，则使能内部基准电压缓冲器。若要使用外部基准电压源，须将 REFSEL 位设置为 1，并将外部基准电压源提供给 REFIO 引脚。

软件复位

AD7380/AD7381 有两种复位模式：软复位和硬复位。写入 CONFIGURATION2 寄存器中的 RESET[7:0] 位就会启动复位。

如果是软复位，可配置寄存器的内容将保持不变，但接口和 ADC 模块会刷新。任何内部状态机都会重新初始化，过采样模块和 FIFO 会被清空。ALERT 寄存器清零。基准电压源和 LDO 保持供电。

如果是硬复位，则除了软复位所复位的模块之外，所有用户寄存器都会复位至默认状态，基准电压缓冲器和内部振荡器模块也会复位。

诊断自测

AD7380/AD7381 在上电复位 (POR) 后或软件硬复位后会运行诊断自测，以确保将正确的配置加载到器件中。

自测结果通过 ALERT 寄存器的 SETUP_F 位显示。如果 SETUP_F 位设置为逻辑 1，则诊断自测失败。如果测试失败，应执行软件硬复位以将 AD7380/AD7381 寄存器复位为默认状态。

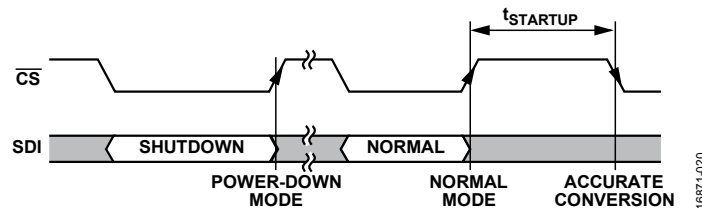


图35. 关断工作模式

接口

AD7380/AD7381通过串行接口连接其他器件。该接口由 \overline{CS} 、SCLK、SDOA、SDOB和SDI引脚组成。

\overline{CS} 信号使能串行数据帧传输，并启动ADC转换过程。 \overline{CS} 下降沿将采样保持器置于保持模式，同时器件对模拟输入进行采样，总线脱离三态。

SCLK信号同步通过SDOA、SDOB、SDI信号进出器件的数据。写入或读取寄存器至少需要16个SCLK。读取转换结果所需的最少SCLK数取决于器件的分辨率和配置设置，参见表11。

ADC转换操作由片上振荡器内部驱动，与SCLK信号无关。

AD7380/AD7381有两个串行输出信号：SDOA和SDOB。为了实现器件的最高吞吐速率，应同时使用SDOA和SDOB，即通过双线模式来读取转换结果。如果需要降低吞吐速率或使用过采样，可以使用单线模式（仅SDOA信号）来读取转换结果。写入CONFIGURATION2寄存器中的SDO位可配置双线或单线模式。

为SPI读取或SPI写入配置循环冗余校验(CRC)操作会改变接口的操作。为确保操作正确，须查阅本数据手册的相关章节。

读取转换结果

\overline{CS} 信号启动转换过程。 \overline{CS} 信号从高电平变为低电平将启动两个ADC（ADC A和ADC B）同步转换。AD7380/AD7381有一个周期的回读延迟。因此，转换结果在下次SPI访问时可用。然后拉低 \overline{CS} 信号，转换结果即在串行输出引脚上输出。此时也会启动下一次转换。

转换结果从器件移出，AD7380得到16位结果，AD7381得到14位结果。转换结果的MSB在 \overline{CS} 下降沿移出。其余数据在SCLK输入的控制下移出器件。数据在SCLK上升沿移出，数据位在下降沿和上升沿均有效。在最后一个SCLK下降沿之后，再次拉高 \overline{CS} 以使SDOx引脚返回高阻态。

在SDOx引脚上传输转换结果所需的SCLK周期数取决于所配置的串行工作模式以及是否使能了分辨率增强模式，详情参见图36和表11。如果使能了CRC读取，则需要额外的SCLK脉冲来传输CRC信息，详情参见CRC部分。

当 \overline{CS} 信号启动转换以及使能数据帧传输时，任何数据访问必须在单帧内完成。

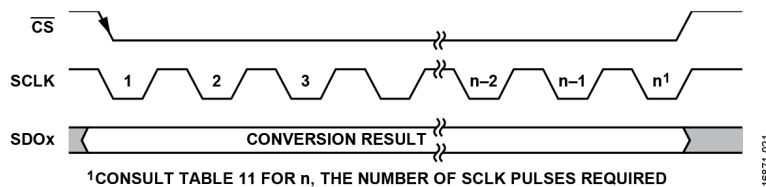


图36. 读取转换结果

表11. 读取转换结果所需的SCLK数n

| 接口配置 | 分辨率增强模式 | CRC读取 | AD7380 | AD7381 |
|------|---------|-------|--------|--------|
| 2线 | 禁用 | 禁用 | 16 | 14 |
| | 使能 | 使能 | 24 | 22 |
| | | 禁用 | 18 | 16 |
| | | 使能 | 26 | 24 |
| 1线 | 禁用 | 禁用 | 32 | 28 |
| | 使能 | 使能 | 40 | 36 |
| | | 禁用 | 36 | 32 |
| | | 使能 | 44 | 40 |

串行双线模式

要配置双线模式，须将CONFIGURATION1寄存器中的SDO位设置为0。在双线模式下，ADC A的转换结果在SDOA引脚上输出，ADC B的转换结果在SDOB引脚上输出。参见图37。

串行单线模式

在允许较低吞吐速率或使用正常平均过采样的应用中，串行接口可配置为以单线模式工作。在单线模式下，ADC A和ADC B的转换结果在串行输出SDOA上输出。传输所有数据需要额外的SCLK周期。首先输出ADC A数据，然后输出ADC B转换结果。参见图38。

分辨率增强模式

AD7380的默认分辨率和输出数据大小为16位，AD7381为14位。使能片内过采样功能可降低噪声并改善器件性能。为了适应可

实现的性能提升，可以在转换输出数据中使能额外的两位分辨率。如果CONFIGURATION1寄存器中的RES位设置为逻辑1，并且AD7380/AD7381处于有效过采样模式，则AD7380的转换结果大小为18位，AD7381的转换结果大小为16位。

当使能分辨率增强模式时，AD7380需要18个SCLK来传输数据，AD7381需要16个SCLK。

低延迟回读

AD7380/AD7381的接口有一个周期的延迟，如图39所示。对于以较低吞吐速率运行的应用，可以减少读取转换结果的延迟。转换时间 t_{CONVERT} 经过之后，可以在启动转换的初始 $\overline{\text{CS}}$ 脉冲之后使用第二个 $\overline{\text{CS}}$ 脉冲来回读转换结果。工作原理如图39所示。

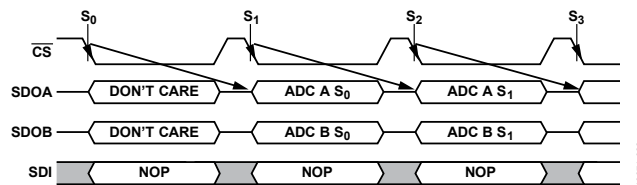


图37. 读取转换结果 - 双线模式

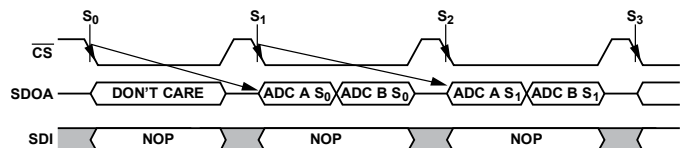


图38. 读取转换结果 - 单线模式

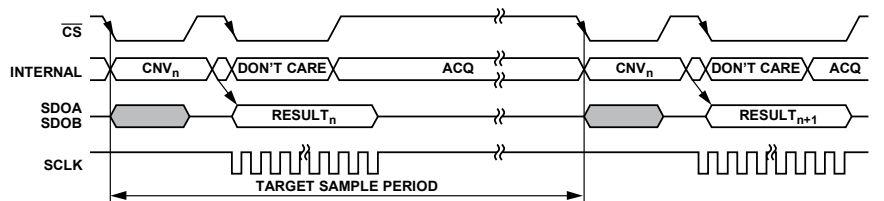


图39. 低吞吐速率、低延迟

读取器件寄存器

器件中的所有寄存器均可通过串行接口读取。读取寄存器的命令执行方法为：发出一个寄存器读取命令，然后再发出一个额外的SPI命令；该命令可以是有效的命令，也可以是NOP。读命令的格式如表14所示。要选择读命令，必须将位D15设为0。位[D14:D12]包含寄存器地址，后续12位[D11:D0]予以忽略。

写入器件寄存器

通过串行接口可写入AD7380/AD7381中的所有读/写寄存器。SPI写访问的长度由CRC写功能决定。如果禁用CRC写操作，则SPI访问为16位；使能CRC写操作时，SPI访问为24位。写命令的格式如表15所示。要选择写命令，必须将位D15设为1。位[D14:D12]包含寄存器地址，后续12位[D11:D0]包含待写入选定寄存器的数据。

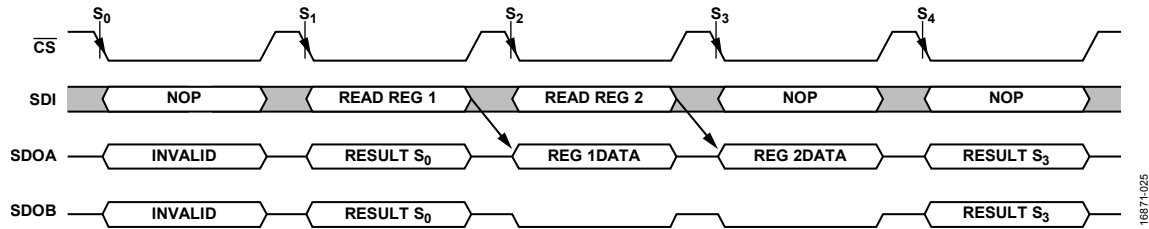


图40. 寄存器读操作

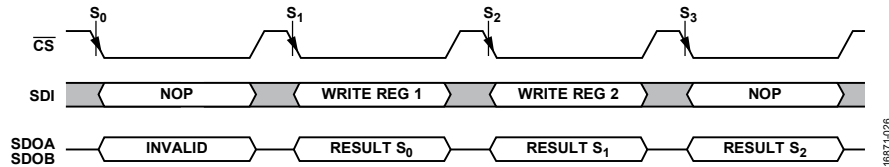


图41. 寄存器写操作

CRC

AD7380/AD7381具有CRC校验和模式，利用这种模式可检测数据传输中的错误，从而提高接口的鲁棒性。SPI接口读操作和SPI接口写操作可以独立选择CRC功能。例如，用户可以对SPI写操作使能CRC功能，以防止意外更改器件配置，但对SPI读操作禁用CRC功能，从而保持较高吞吐速率。CRC功能通过写入CONFIGURATION1寄存器中的CRC_W和CRC_R位来控制。

CRC读取

如果使能，一个8位字CRC会被附加到转换结果或寄存器读取结果中。CRC在ADC A和ADC B的转换结果中计算，并通过SDOA输出。对于寄存器读取，也会计算CRC并将其附加到输出。

CRC读取功能可在双线SPI模式、单线SPI模式和分辨率增强模式下使用。

CRC写入

要使能CRC写入功能，须将CONFIGURATION1寄存器中的CRC_W位设置为1。为将CRC_W位设置为1以使能CRC功能，请求帧必须附加一个有效的CRC。

CRC功能使能之后，所有寄存器写操作请求都会被忽略，除非伴随一个有效CRC命令，需要有效的CRC才能使能和禁用CRC写入功能。

CRC多项式

CRC校验和计算始终使用如下多项式： $x^8 + x^2 + x + 1$ 。

下例说明如何对一个转换读取操作生成校验和。两个通道的16位数据转换结果组合在一起，产生32位数据。该32位数据的8个MSB反转，然后左移8位，产生一个后8位为逻辑0的数。对齐多项式，使其MSB与该数据最左侧的逻辑1对齐。对该数据应用一个异或(XOR)函数以产生一个新的，更短的数字。再次对齐多项式，使其MSB与新结果最左侧的逻辑1对齐，重复上述步骤。最后，原始数据将减少至小于多项式的值，它就是8位校验和。以多项式100000111为例。

假设两个通道的原始数据为0xAAAA和0x5555，即1010 1010 1010 1010和0101 0101 0101 0101。然后在两个通道的数据右边附加八个0，数据即变为1010 1010 1010 1010 0101 0101 0101 0101 0000 0000。

表12显示了16位双通道数据的CRC计算。在最终的XOR运算中，减少的数据小于多项式。因此，余数就是假定数据的CRC。

AD7381遵循相同的过程，但其处理的不是32位数据（两个通道的组合结果），而是28位数据。为了读取寄存器之类的数据，CRC计算将基于16位寄存器数据，并执行与32位数据相同的过程。

表12. 2个16位数据的CRC计算示例

| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
|------|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|--|--|--|--|
| 数据 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | x | x | x | x | x | x | x | x | | | | | |
| 过程数据 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | | | | |
| | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | 1 | 0 | 1 | 0 | 0 | 0 | 1 | 1 | 0 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| CRC | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |

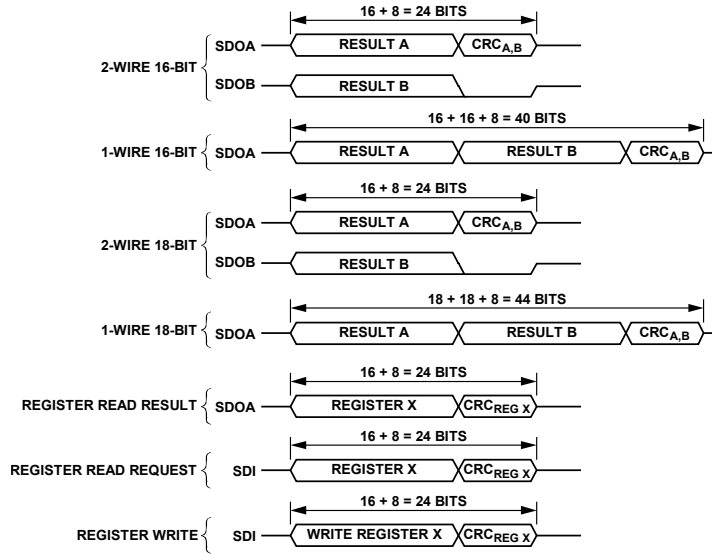


图42. CRC操作

16871-027

寄存器

AD7380/AD7381具有用于配置器件的用户可编程片内寄存器。表13显示了AD7380/AD7381提供的寄存器的完整列表。寄存器为读/写(R/W)或只读(R)。任何对只写寄存器的读取请求都会被忽略。任何对只读寄存器的写入请求都会被忽略。写入任何其他寄存器地址会被视为无操作命令(NOP)而予以忽略。任何对表13中未列出的寄存器地址的读取请求都会被忽略，并且下一SPI帧中传输的数据为转换结果。

表13. 寄存器汇总

| 十六进制 编号 | 寄存器名称 | 位15 | 位14 | 位13 | 位12 | 位11 | 位10 | 位9 | 位8 | 复位 | R/W |
|------------|----------------------|--------|-----------------|-----------|----------|------------------|-----|-----------|----------|--------|-----|
| | | 位7 | 位6 | 位5 | 位4 | 位3 | 位2 | 位1 | 位0 | | |
| 0x1 | CONFIGURATION1 | [15:8] | 寻址 | | | 保留 | | OS_MODE | OSR[2] | 0x0000 | R/W |
| | | [7:0] | OSR[1:0] | CRC_W | CRC_R | ALERT_EN | RES | REFSEL | PMODE | | |
| 0x2 | CONFIGURATION2 | [15:8] | 寻址 | | | 保留 | | SDO | 0x0000 | R/W | |
| | | [7:0] | 复位 | | | | | | | | |
| 0x3 | 警报 | [15:8] | 寻址 | | | 保留 | | CRCW_F | SETUP_F | 0x0000 | R/W |
| | | [7:0] | 保留 | AL_B_HIGH | AL_B_LOW | 保留 | | AL_A_HIGH | AL_A_LOW | | |
| 0x4 | ALERT_LOW_THRESHOLD | [15:8] | 寻址 | | | ALERT_LOW[11:8] | | | | 0x0800 | R/W |
| | | [7:0] | ALERT_LOW[7:0] | | | | | | | | |
| 0x5 | ALERT_HIGH_THRESHOLD | [15:8] | 寻址 | | | ALERT_HIGH[11:8] | | | | 0x07FF | R/W |
| | | [7:0] | ALERT_HIGH[7:0] | | | | | | | | |

寻址寄存器

AD7380/AD7381的串行寄存器传输由16个SCLK周期组成。写入器件的4个MSB用于确定要寻址的寄存器。这4个MSB由寄存器地址位REGADDR[2:0]和读/写位(WR)组成。寄存器地址位确定选择哪个片内寄存器。如果寻址的寄存器是有效写入寄存器，则读/写位确定SDI输入上剩余的12位数据是否加载到寻址寄存器中。若WR位为1，则将这些位载入由寄存器选择位寻址的寄存器。若WR位为0，则认为命令是一个读操作请求。被寻址的寄存器数据可在下一读操作中读取。

表14. 寻址寄存器格式

| MSB | | | | | | | | | | | | | | | LSB |
|-----|--------------|-----|-----|------------|-----|----|----|----|----|----|----|----|----|----|-----|
| D15 | D14 | D13 | D12 | D11 | D10 | D9 | D8 | D7 | D6 | D5 | D4 | D3 | D2 | D1 | D0 |
| WR | REGADDR[2:0] | | | DATA[11:0] | | | | | | | | | | | |

表15. 寻址寄存器位功能描述

| 位 | 引脚名称 | 描述 |
|---------|--------------|---|
| D15 | WR | 若向此位写入1，则将此寄存器的位[11:0]写入REGADDR[2:0]指定的寄存器（如果其地址有效）。如果写入0，则SDO引脚上送出的下一个数据将是读取指定寄存器（如果其地址有效）。 |
| D14至D12 | REGADDR[2:0] | 当WR = 1时，REGADDR[2:0]的内容决定要选择的寄存器，如表13所示。 当WR = 0且REGADDR[2:0]包含一个有效寄存器地址时，所请求寄存器的内容会在下一次接口访问期间通过SDOA引脚输出。 当WR = 0且REGADDR[2:0]包含0x0、0x6或0x7时，SDI线上的内容会被忽略。下一次接口访问将导致转换结果被回读。 |
| D11至D0 | DATA[11:0] | 当WR位等于1且REGADDR[2:0]位包含一个有效地址时，这些位会被写入由REGADDR[2:0]位指定的相应寄存器中。 |

CONFIGURATION1寄存器

地址：0x1；复位：0x0000；名称：CONFIGURATION1

表16. CONFIGURATION1的位功能描述

| 位 | 位名称 | 描述 | 复位 | 访问类型 |
|---------|----------|---|-----|------|
| [15:12] | 寻址 | 寻址。位[15:12]指定相关寄存器的地址。详情见“寻址寄存器”部分。 | 0x0 | R/W |
| [11:10] | 保留 | 保留。 | 0x0 | R |
| 9 | OS_MODE | 过采样模式。设置ADC的过采样模式。 0：正常平均。 1：滚动平均。 | 0x0 | R/W |
| [8:6] | OSR | 过采样率。设置相关模式下所有ADC的过采样率。正常平均模式支持x2、x4、x8、x16和x32的过采样率。滚动平均模式支持x2、x4和x8的过采样率。 000：禁用。 001：2×。 010：4×。 011：8×。 100：16×。 101：32×。 110：禁用。 111：禁用。 | 0x0 | R/W |
| 5 | CRC_W | CRC写入。控制SDI接口的CRC功能。将此位从0设置为1时，命令后面必须跟随一个有效CRC来设置该配置位。如果未收到有效CRC，则忽略整个帧。如果该位设置为1，则需要一个CRC才能将其清0。 0：无CRC功能。 1：CRC功能。 | 0x0 | R/W |
| 4 | CRC_R | CRC读取。控制SDOx接口的CRC功能。 0：无CRC功能。 1：CRC功能。 | 0x0 | R/W |
| 3 | ALERT_EN | 使能对ADC数据的警报指示功能。当SDO = 1时，该寄存器起作用，否则忽略ALERT_EN位。 0： <u>SDOB</u> 。 1：ALERT。 | 0x0 | R/W |
| 2 | RES | 分辨率。设置转换结果数据的大小。如果OSR = 0，则忽略这些位，并将分辨率设置为默认分辨率。 0：正常分辨率。 1：多2位分辨率。 | 0x0 | R/W |
| 1 | REFSEL | 参考选择。选择ADC基准电压源。 0：选择内部基准电压源。 1：选择外部基准电压源。 | 0x0 | R/W |
| 0 | PMODE | 关断模式。设置功耗模式。 0：正常模式。 1：关断模式。 | 0x0 | R/W |

CONFIGURATION2寄存器

地址：0x2；复位：0x0000；名称：CONFIGURATION2

表17. CONFIGURATION2的位功能描述

| 位 | 位名称 | 描述 | 复位 | 访问类型 |
|---------|-----|--|-----|------|
| [15:12] | 寻址 | 寻址。位[15:12]指定相关寄存器的地址。详情见“寻址寄存器”部分。 | 0x0 | R/W |
| [11:9] | 保留 | 保留。 | 0x0 | R |
| 8 | SDO | SDO。转换结果串行数据输出。 0：双线，转换数据通过SDOA和SDOB输出。 1：单线，转换数据仅通过SDOA输出。 | 0x0 | R/W |
| [7:0] | 复位 | 复位。 设置为0x3C即执行软复位，刷新一些模型，寄存器内容保持不变。清除ALERT寄存器并清空任何过采样存储的变量或活动状态机。 设置为0xFF即执行硬复位，器件中所有可能的模块都会复位。寄存器内容设置为默认值。所有其他值都会被忽略。 | 0x0 | R/W |

ALERT寄存器

地址：0x3；复位：0x0000；名称：ALERT

表18. ALERT的位功能描述

| 位 | 位名称 | 描述 | 复位 | 访问类型 |
|---------|-----------|--|-----|------|
| [15:12] | 寻址 | 寻址。位[15:12]指定相关寄存器的地址。详情见“寻址寄存器”部分。 | 0x0 | R |
| [11:10] | 保留 | 保留。 | 0x0 | R |
| 9 | CRCW_F | CRC错误。表示寄存器写入命令由于CRC错误而失败。该故障位是粘滞位，会保持设置状态，直到读取寄存器为止。 0：无CRC错误。 1：CRC错误。 | 0x0 | R |
| 8 | SETUP_F | 加载错误。SETUP_F表示器件配置数据在启动时未正确加载。读取ALERT寄存器时，该位不会清零。要清除该位并再次重启器件设置，需要通过CONFIGURATION2寄存器进行硬复位。 0：无设置错误。 1：设置错误。 | 0x0 | R |
| [7:6] | 保留 | 保留。 | 0x0 | R |
| 5 | AL_B_HIGH | 警报B高。警报指示高位表示相应输入通道的转换结果是否超过ALERT_HIGH_THRESHOLD寄存器中设置的值。该故障位是粘滞位，会保持设置状态，直到读取寄存器为止。 1：警报指示。 0：无警报指示。 | 0x0 | R |
| 4 | AL_B_LOW | 警报B低。警报指示低位表示相应输入通道的转换结果是否超过ALERT_LOW_THRESHOLD寄存器中设置的值。该故障位是粘滞位，会保持设置状态，直到读取寄存器为止。 1：警报指示。 0：无警报指示。 | 0x0 | R |
| [3:2] | 保留 | 保留。 | 0x0 | R |

| 位 | 位名称 | 描述 | 复位 | 访问类型 |
|---|-----------|---|-----|------|
| 1 | AL_A_HIGH | 警报A高。警报指示高位表示相应输入通道的转换结果是否超过ALERT_HIGH_THRESHOLD寄存器中设置的值。该故障位是粘滞位，会保持设置状态，直到读取寄存器为止。 1：警报指示。 0：无警报指示。 | 0x0 | R |
| 0 | AL_A_LOW | 警报A低。警报指示低位表示相应输入通道的转换结果是否超过ALERT_LOW_THRESHOLD寄存器中设置的值。该故障位是粘滞位，会保持设置状态，直到读取寄存器为止。 1：警报指示。 0：无警报指示。 | 0x0 | R |

ALERT_LOW_THRESHOLD寄存器

地址：0x4；复位：0x0800；名称：ALERT_LOW_THRESHOLD

表19. ALERT_LOW_THRESHOLD的位功能描述

| 位 | 位名称 | 描述 | 复位 | 访问类型 |
|---------|-----------|---|-------|------|
| [15:12] | 寻址 | 寻址。位[15:12]指定相关寄存器的地址。详情见“寻址寄存器”部分。 | 0x0 | R/W |
| [11:0] | ALERT_LOW | 警报低。ALERT_LOW的D[11:0]位移至内部ALERT_LOW寄存器的MSB，D[15:4]。内部寄存器的其余位D[3:0]固定为0x0。当转换结果低于ALERT_LOW_THRESHOLD时设置警报，当转换结果高于ALERT_LOW_THRESHOLD时禁用警报。 | 0x800 | R/W |

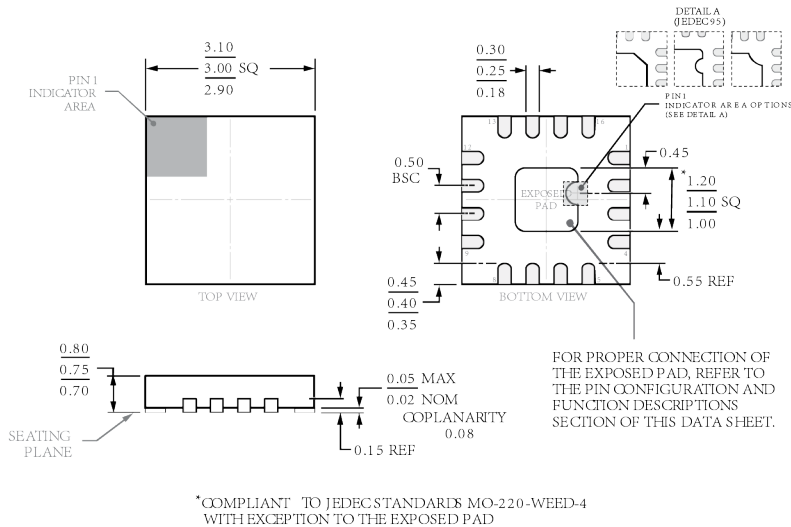
ALERT_HIGH_THRESHOLD寄存器

地址：0x5；复位：0x07FF；名称：ALERT_HIGH_THRESHOLD

表20. ALERT_HIGH_THRESHOLD的位功能描述

| 位 | 位名称 | 描述 | 复位 | 访问类型 |
|---------|------------|---|-------|------|
| [15:12] | 寻址 | 寻址。位[15:12]指定相关寄存器的地址。详情见“寻址寄存器”部分。 | 0x0 | R/W |
| [11:0] | ALERT_HIGH | 警报高。ALERT_HIGH的D[11:0]位移至内部ALERT_HIGH寄存器的MSB，D[15:4]。内部寄存器(ALERT_HIGH_INT)的其余位D[3:0]固定为0xF。当转换结果高于ALERT_HIGH_THRESHOLD寄存器时设置警报，当转换结果低于ALERT_HIGH_THRESHOLD寄存器时禁用警报。 | 0x7FF | R/W |

外形尺寸



*COMPLIANT TO JEDEC STANDARDS MO-220-WEED-4 WITH EXCEPTION TO THE EXPOSED PAD

图43. 16引脚引线框芯片级封装[LFCSP]
3 mm × 3 mm 本体、0.75 mm 封装高度
(CP-16-45)
尺寸单位: mm

订购指南

| 型号 ^{1,2} | 分辨率 | 温度范围 | 封装描述 | 封装选项 | 标识码 |
|-------------------|-----|--------------|---------------------|----------|-----|
| AD7380BCPZ-RL | 16位 | -40°C至+125°C | 16引脚引线框芯片级封装[LFCSP] | CP-16-45 | C95 |
| AD7380BCPZ-RL7 | 16位 | -40°C至+125°C | 16引脚引线框芯片级封装[LFCSP] | CP-16-45 | C95 |
| AD7381BCPZ-RL | 14位 | -40°C至+125°C | 16引脚引线框芯片级封装[LFCSP] | CP-16-45 | C93 |
| AD7381BCPZ-RL7 | 14位 | -40°C至+125°C | 16引脚引线框芯片级封装[LFCSP] | CP-16-45 | C93 |
| EVAL-AD7380FMCZ | | | AD7380评估板 | | |
| EVAL-AD7381FMCZ | | | AD7381评估板 | | |

¹ Z = 符合RoHS标准的兼容器件。

² EVAL-AD7380FMCZ和EVAL-AD7381FMCZ兼容EVAL-SDP-CH1Z高速控制板。