



## Sealion (海狮) SL2E-5E FPGA

---

# 数据手册

西安智多晶微电子有限公司 XIAN Intelligence Silicon Technology  
西安市高新区科技二路 72 号西安软件园西岳阁 102 室 邮编 710075  
<http://www.isilicontech.com>



## 文档修订历史

日期	版本	修订内容
2020.11	1.0	首次发布。

西安智多晶



# 目录

<b>1</b>	<b>概述</b> .....	<b>1</b>
1.1	特性.....	2
1.2	器件资源.....	3
1.3	器件结构.....	3
1.4	内置闪存.....	4
1.5	封装特性.....	5
<b>2</b>	<b>管脚与封装</b> .....	<b>6</b>
2.1	管脚定义.....	6
2.2	器件编号说明.....	6
2.3	SL2E-5E-W81 FPGA 管脚列表.....	8
2.4	SL2E-5E-N84 管脚列表.....	9
2.5	SL2E-5E-M121 管脚列表.....	10
2.6	81-pin WLCSP 封装尺寸.....	12
2.7	84-pin QFN 封装尺寸.....	13
2.8	121-pin mBGA 封装尺寸.....	14
<b>3</b>	<b>SL2E-5E 交直流特性</b> .....	<b>15</b>



# 1 概述

西安智多晶微电子有限公司的 Sealion (海狮) SL2E-5E FPGA 器件 (下称“FPGA”), 基于低功耗工艺设计并完美兼顾了设计成本与器件资源。该 FPGA 器件的优势在于大批量、低成本的应用场景, 使系统设计师在降低设计成本的同时又满足了不断增长的应用需求。该器件在低成本、低功耗 FPGA 市场处于领导地位, 针对无线、有线、广播、工业以及通信等行业中的低成本、小逻辑资源的应用, 本 FPGA 无疑是最理想的选择。



## 1.1 特性

FPGA 具有以下特性：

### 丰富的逻辑资源

- FPGA 规模为 5,040 逻辑单元(LUTs)

### 低功耗

- 55nm 低功耗工艺
- 核电压 1.2V
- 多逻辑单元以及布线资源

### 高性能可编程逻辑单元

- 采用 LUT4 查找表，可灵活地配置为 LUT5/LUT6 以提升资源利用率
- 逻辑单元可根据应用需要可支持不同模式，例如可创建算术模式，用于实现加法器、计数器、累加器和比较器

### 内置硬核 DSP

- 16/32 内置多个  $18 \times 18/9 \times 9$  可串行乘法器以及算数逻辑单元 (ALU)，可做两层叠加实现 DSP 处理密集型应用
- 高达 300MHz

### 内置 Flash

- 无须外部配置电路
- 支持快速上电启动
- 最大用户区域为 500Kbits

### 支持分布式和嵌入式存储

- 嵌入式块存储容量为 9Kbits,可配置成单端口、伪双端口、真双端口以及 FIFO 或者 ROM，通过配置可实现多种数据宽度
- 最大支持 108Kbits 分布式存储器

### 丰富的时钟资源

- 最大频率  $F_{max}=400\text{MHZ}$
- 最多可提供 16 个全局时钟，其中 8 个可以复用为高扇出网络
- 提供多达 8 个专用时钟输入引脚
- 2 个 5 路时钟输出内置锁相环 (PLL) 提供倍频、分频、相移等系统时钟功能
- 2 个延时锁相环 (DLL)，提供分频、相移时钟功能

### 灵活强大的 I/O 单元

- 最高可达到 92 个有效用户 I/O
- 支持 400Mbps DDR2 SDRAM 接口
- 支持 Generic DDR $\times$ 1, DDR $\times$ 2
- 输入输出支持 3.3/2.5/1.8/1.5V 电压
- 支持 MIPI，接口速率高达 1.2Gbps
- I/O 支持标准单端，差分，伪双端包括 LVTTTL、LVCMOS、SSTL、HSTL、PCI、LVDS、BLVDS、mini-LVDS、RSDS
- 6 个 IO BANK
- 可配置上拉、下拉及总线保持模式
- 片内 100 欧姆差分电阻
- 支持热插拔

### 配置模式

- 主模式(Active Serial AS)
- 从模式(Passive Serial PS)
- 自刷新配置(Self Refresh Configuration SRC)
- JTAG
- 配置过程支持 SED/SEC 多比特流检测、校验与单比特修正
- 配置过程支持多比特流加载，可在第一个程序文件加载失败后，自动跳到 Golden 区域加载第二个程序文件

### 安全与 BSCAN

- 支持 256 比特 AES 比特流加密及压缩
- 芯片拥有 64-bit UID 的 DNA
- 兼容 IEEE1149.1 Boundary Scan (BSCAN)

### 封装

- 无铅封装
- WLCSP81
- QFN84
- mBGA121



## 1.2 器件资源

表 1-1 Sealion (海狮) SL2E-5E 器件资源

		SL2E-5E-W81	SL2E-5E-N84	SL2E-5E-M121
逻辑单元		5040	5040	5040
分布式存储器		40	40	40
嵌入式存储器 (9Kbit)		108	108	108
嵌入式存储器单元数(9Kbit/单元)		12	12	12
嵌入式 18×18 乘法器(注 2)		16	16	16
通用 PLL + DLL 数量		2 + 2	2 + 2	2 + 2
全局时钟网络(注 3)		16	16	16
用户 I/O 模块		6	6	6
最大用户 I/O(注 1)		199	199	199
最大真差分(LVDS)输出(注 1)		13	13	13
核心工作电压		1.2V	1.2V	1.2V
芯片等级(注 4)		C/I	C/I	C/I
<b>封装规格</b>		<b>单端 IO 与真差分输出数</b>		
W81	81WLCSP(3.6×3.6mm,0.4mm)	55/10	—	—
N84	84QFN(7×7mm,0.5mm)	—	66/7	—
M121	121mBGA(6×6mm,0.5mm)	—	—	92/6

### 【注】

管脚列表文件中的用户 I/O 管脚包括所有的通用 I/O 管脚、专用时钟管脚以及两用配置管脚。收发器管脚和专用配置管脚不包括在这一管脚列表中。每对 I/O 都存在真差分输入。

嵌入式 18×18 乘法器均为 DSP 硬核，可做乘法器兼累加器。

16 个全局时钟均包含 8 个主时钟及 8 个次时钟。

等级： C：商业级，结温温度： 0°C—85°C

I：工业级，结温温度： -40°C—100°C

## 1.3 器件结构

FPGA 的核心构架由四输入查找表(LUTs)、存储器模块以及乘法器构成。嵌入式存储器模块具有 9Kbit 的 SRAM 存储器，可以把嵌入式存储器模块配置成单端口、伪双端口、真双端口 RAM 以及 FIFO 或者 ROM。嵌入式乘法器模块可以在单一模块中实现一个 18×18 或两个 9×9 乘法器。FPGA 器件的 I/O 支持可编程总线保持、可编程上拉电阻、可编程下拉电阻、可编程延迟、可编程驱动能力、可编程 slew-rate 控制以及热插拔的设置。FPGA 器件同时还支持驱动阻抗匹配(Rs)。FPGA 器件有 PLL 和 DLL 以及全局和次级时钟网络以提供可靠、有效且低偏斜的时钟管理与综合，使用 HqFpga 软件可对 PLL 进行时钟频率及相位的配置。FPGA 支持 SDR、DDR、DDR2 等接口，并支持 1.2Gbps 真差分、MIPI 和 7:1 LVDS 视频接口。接口位于器件的六个 I/O bank，以实现更灵活的电路板设计。FPGA 器件的 SDR、DDR1/2 SDRAM 存储器接口解决方案需要由一个 PHY 接口和一个存储控制器组成。智多晶提供了 PHY 接口 IP，可与顾客定制的存储控制器或智多晶提供的存储控制器一起使用。本 FPGA 支持多种配置模式：如 JTAG 模式、被动串行模式 (Passive Serial)、主动串行模式 (Active

Serial)和自刷新配置 (Self Refresh Configuration SRC)。配置模块可实现双重启动 (dual boot)、eib boot)、安全性设置、错误检测(Soft Error Detection SED)、以及局部重配置 (Partial Reconfiguration)等功能。详情请参考 Sealion 2000 系列 FPGA 产品手册。

## 1.4 内置闪存

内置闪存(Embedded Flash), 划分为配置区域与用户区域 (UFM)。配置区域用于存放配置数据流; 用户区域可存放任意用户数据。用户区域可通过 JTAG 接口访问, 或在配置完成后通过内部接口访问。其特性为:

### ❖ 闪存电源

Vccio0 提供闪存编程/擦除电源, 其电压可为 1.8V/2.5V/3.3V

### ❖ 闪存结构

每个区域大小为 8Kb

用户区域不大于 500Kb

### ❖ 可靠性特性

编程/区域擦除周期: 最小 100,000 cycles @ $T_j = 110^{\circ}\text{C}$

数据保留期大于 20 years @  $T_j = 85^{\circ}\text{C}$

### ❖ 读/编程/擦除

完整擦除用户区域时间约为 228ms ;

第一次写入 128bits 数据时间约为 42 $\mu\text{s}$  ;

写入 128bits 数据时间约为 40.5 $\mu\text{s}$  ;

第一次读取 128bits 数据时间约为 8.7 $\mu\text{s}$  ;

连续读取 128bits 数据时间约为 1.5 $\mu\text{s}$

读电流: 7.5mA @35.7MHz (@ $V_{cc} = 1.2\text{V}$ )

擦除电流: 2.2mA (@ $V_{ccio0} = 3.3\text{V}$ )

编程电流: 6mA (@ $V_{ccio0} = 3.3\text{V}$ )

### ❖ 通过 WishBone 总线来读/编程/擦除用户区域

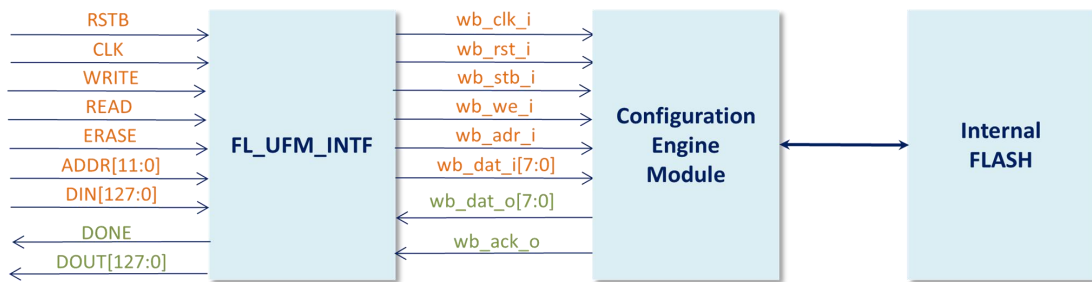
FPGA 中内嵌一块 FLASH, 其一部分作为配置数据存储器, 另一部分称为用户区 (UFM user flash memory) 共计 4096\*128 bits 数据可供用户自行分配使用。

Flash UFM Interface 提供了用户访问 Flash UFM 区域的接口。用户可以调用此 IP 实现在片上对 UFM 的区域的读、写、擦除操作。

本 IP 包含两种接口, 一种支持读、写、擦除三种操作, 另一种只支持进行读操作。



图 1-1 WishBone 总线与内置 Flash 连接示意图



## 管脚名称

表 1-2 WishBone 总线对外管脚

名称	I/O	功能描述
RSTB	input	IP 复位信号，低电平有效。
CLK	input	时钟信号，此时钟频率不能高于 50MHZ。
WRITE	input	写使能信号，高电平时写入数据。（只读 IP 不含此端口）
READ	input	读使能信号，高电平时读取数据。
ERASE	input	擦除使能信号，选择读或写操作的地址。
ADDR[11:0]	input	地址信号，选择读或写操作的地址。
DIN[127:0]	input	写入数据信号，写操作时写入 UFM 区域的数据。（只读 IP 不含此端口）
DONE	output	指令执行完成标志信号，高电平表示当前操作完成，可以采集数据，或发送下一指令。
DOUT[127:0]	output	回读数据信号，读操作回读的数据。

## 1.5 封装特性

无铅，小型，多 IO 封装

3.6mm x 3.6mm Wafer Level Chip Scale Package WLCSP81，多达 55 个单端口 IO

7mm x 7mm QFN84, EPAD 接地，多达 66 个单端口 IO

6mm x 6mm mBGA121，多达 92 个单端口 IO

优化的引脚排布，支持两层 PCB 板卡设计



## 2 管脚与封装

### 2.1 管脚定义

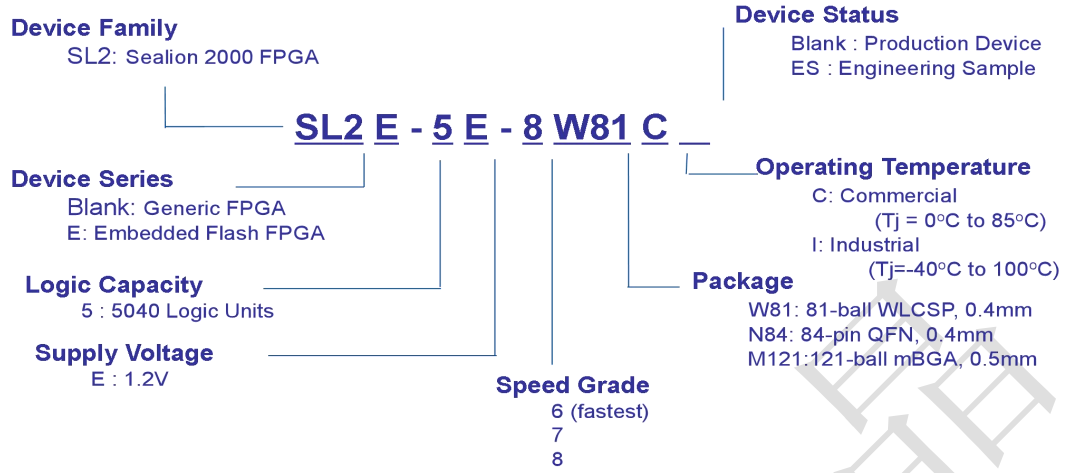
表 2-1 FPGA 管脚定义

管脚名称	方向	描述
<b>普通 I/O</b>		
NC	—	无连接
GND	—	电源地
Vccext(VCC)	—	内部核心模块电源
Vccio(x)	—	I/O 组电源
<b>JTAG 专用管脚</b>		
TCK	输入	TCK 输入边界扫描时钟
TDI	输入	边界扫描数据输入
TDO	输出	边界扫描数据输出
TMS	输入	边界扫描模式选择
<b>配置专用管脚</b>		
nCONFIG	输入	复位信号/重配置触发信号, 低电平时触发一次重配置过程, 在 JTAG 工作时此信号无效。
nSTATUS	输入输出	配置状态标志信号, 配置正常进行或成功完成时为高电平, 在配置初始化或配置错误时为低电平; 可通过拉低此信号来推迟配置开始的时间。
CONF_DONE	输入输出	配置完成标志信号, 配置完成后将会输出高电平信号; 使用 daisy_chain 时, 将所有芯片 DONE 信号连接在一起可以等待所有芯片配置完成后再同时开始工作。
DCLK	输入/输出	配置接口时钟信号, 选择 PS 模式时, 从外界接收时钟信号; 选择 AS 模式时, 向外发出时钟信号。
nCE	输入	片选信号, 低电平时表示选中当前 FPGA 进行配置。
nCSO	输出	AS 模式下用于向外部 SPI FLASH 提供的片选信号, 低电平有效。
nCEO	输出	daisy chain 时向下一级 FPGA 发出的片选信号。
ASDO/SI	输入输出	AS 模式×2×4 位宽下, 向外发出数据, ×1×2×4 位宽下, 接收回读数据。
DATA0/SO	输入输出	AS 模式×2×4 位宽下, 向外发出数据, ×2×4 位宽下, 接收回读数据。
JTAGENB	输入	在禁用 JTAG 设置生效后, 可以通过此信号停用/启用 JTAG 接口。低电平时, 停用 JTAG 接口, 使 JTAG 接口作为用户 IO 使用。



## 2.2 器件编号说明

图 2-1 器件编号说明





## 2.3 SL2E-5E-W81 FPGA 管脚列表

表 2-2 SL2E-5E-W81 管脚列表

Bank Number	VREFB Group	Pin Name/Function	Differential Inputs	True LVDS outputs	Configuration Function	DQS	W81
B5	VREFB5N0	IO	DIFFIN_L1p/LPLL_FBKp				B9
B5	VREFB5N0	IO	DIFFIN_L1n/LPLL_FBKn				C8
B5	VREFB5N0	IO	DIFFIN_L2p/LPLL_Inp				E6
B5	VREFB5N0	IO	DIFFIN_L2n/LPLL_Inn				E7
B5	VREFB5N0	IO	DIFFIN_L3p				D8
B5	VREFB5N0	IO/CLK1	DIFFCLK_1p/DIFFIN_L4p				E8
B5	VREFB5N0	IO	DIFFCLK_1n/DIFFIN_L4n				D9
B3	VREFB3N0	IO	DIFFIN_L10p				F8
B3	VREFB3N0	IO	DIFFIN_L10n				F7
B3	VREFB3N0	IO	DIFFIN_L11p				F5
B3	VREFB3N0	IO	DIFFIN_L11n				F4
B3	VREFB3N0	IO/CLK3	DIFFCLK_3p/DIFFIN_L12p				G9
B3	VREFB3N0	IO	DIFFCLK_3n/DIFFIN_L12n				G8
B3	VREFB3N0	IO	DIFFIN_L13p				F6
B2	VREFB2N0	IO	DIFFIN_B1p (1)		nCS(CSSPIN)		H9
B2	VREFB2N0	IO	DIFFIN_B1n (1)				J8
B2	VREFB2N0	IO	DIFFIN_B2p (1)				H8
B2	VREFB2N0	IO	DIFFIN_B2n (1)				G7
B2	VREFB2N0	IO	DIFFIN_B3p (1)		DCLK(MCLK/CCLK)		H7
B2	VREFB2N0	IO	DIFFIN_B3n (1)		DATA0(SO/SPISO)		J7
B2	VREFB2N0	IO/CLK4	DIFFCLK_4p/DIFFIN_B4p (1)				J6
B2	VREFB2N0	IO	DIFFCLK_4n/DIFFIN_B4n (1)				H6
B2	VREFB2N0	IO	DIFFIN_B5p (1)				H5
B2	VREFB2N0	IO	DIFFIN_B5n (1)				J5
B2	VREFB2N0	IO/CLK5	DIFFCLK_5p/DIFFIN_B7p (1)				G4
B2	VREFB2N0	IO	DIFFCLK_5n/DIFFIN_B7n (1)				H4
B2	VREFB2N0	IO	DIFFIN_B9p (1)				G3
B2	VREFB2N0	IO	DIFFIN_B9n (1)				G2
B2	VREFB2N0	IO	DIFFIN_B10p (1)				H3
B2	VREFB2N0	IO	DIFFIN_B10n (1)				J3
B2	VREFB2N0	IO	DIFFIN_B12p (1)				H2
B2	VREFB2N0	IO	DIFFIN_B12n (1)				J2
B2	VREFB2N0	IO	DIFFIN_B13p (1)				G1
B2	VREFB2N0	IO	DIFFIN_B13n (1)		ASDO(SI/SPISI)		H1
B0	VREFB0N0	IO	DIFFIN_T20n				B1
B0	VREFB0N0	IO	DIFFIN_T20p				C1
B0	VREFB0N0	IO	DIFFIN_T19n	DIFFOUT_T13n			E1
B0	VREFB0N0	IO	DIFFIN_T19p	DIFFOUT_T13p	RPLL_MFG_OUT1		F1
B0	VREFB0N0	IO	DIFFIN_T18n	DIFFOUT_T12n			B2
B0	VREFB0N0	IO	DIFFIN_T18p	DIFFOUT_T12p	RPLL_MFG_OUT2		A2
B0	VREFB0N0	IO	DIFFIN_T16n	DIFFOUT_T11n			E2
B0	VREFB0N0	IO	DIFFIN_T16p	DIFFOUT_T11p			F2
B0	VREFB0N0	IO	DIFFIN_T15n	DIFFOUT_T10n			A3
B0	VREFB0N0	IO	DIFFIN_T15p	DIFFOUT_T10p			B3
B0	VREFB0N0	IO	DIFFIN_T13n		nCONFIG(PROGRAMN)		C2
B0	VREFB0N0	IO	DIFFIN_T13p		JTAGENB		D2
B0	VREFB0N0	IO	DIFFIN_T12n	DIFFOUT_T8n			B4
B0	VREFB0N0	IO	DIFFIN_T12p	DIFFOUT_T8p			C3
B0	VREFB0N0	IO	DIFFCLK_7n/DIFFIN_T11n		SDA(N/A)		B5
B0	VREFB0N0	IO/CLK7	DIFFCLK_7p/DIFFIN_T11p		SCL(N/A)		A5
B0	VREFB0N0	IO	DIFFIN_T10n	DIFFOUT_T7n			D3
B0	VREFB0N0	IO	DIFFIN_T10p	DIFFOUT_T7p			E3
B0	VREFB0N0	IO	DIFFCLK_8n/DIFFIN_T9n	DIFFOUT_T6n			B6
B0	VREFB0N0	IO/CLK8	DIFFCLK_8p/DIFFIN_T9p	DIFFOUT_T6p			A6
B0	VREFB0N0	IO	DIFFIN_T8n		TMS		D4
B0	VREFB0N0	IO	DIFFIN_T8p		TCK		E4
B0	VREFB0N0	IO	DIFFIN_T7n	DIFFOUT_T5n			C6
B0	VREFB0N0	IO	DIFFIN_T7p	DIFFOUT_T5p			D5
B0	VREFB0N0	IO	DIFFIN_T6n		TDI		A7
B0	VREFB0N0	IO	DIFFIN_T6p		TDO		B7
B0	VREFB0N0	IO	DIFFIN_T3n	DIFFOUT_T3n			D6
B0	VREFB0N0	IO	DIFFIN_T3p	DIFFOUT_T3p	LPLL_MFG_OUT1		D7
B0	VREFB0N0	IO	DIFFIN_T2n	DIFFOUT_T2n			B8
B0	VREFB0N0	IO	DIFFIN_T2p	DIFFOUT_T2p			A8
		VCCEXT					D1
		VCCEXT					E9
		VCCEXT					F3
		VCCEXT					C4
		VCCIO5					C9
		VCCIO3					F9
		VCCIO2					J4
		VCCIO2					G6
		VCCIO0					A4
		VCCIO0					C7
		VCCIO0					C5



Bank Number	VREFB Group	Pin Name/ Function	Differential Inputs	True outputs	LVDS	Configuration Function	DQS	W81
		GND						A9
		GND						E5
		GND						J9
		GND						J1
		GND						A1
		GND						G5

注 1：一对差分信号差分端口之间含有一个 100Ohm 电阻。

注 2：EPAD 是一个用于接地的暴露焊盘，用户可连接到 PCB 上的数字地。

## 2.4SL2E-5E-N84 管脚列表

表 2-3 SL2E-5E-N84 管脚列表

Bank Number	VREFB Group	Pin Name/ Function	Differential Inputs	True outputs	LVDS	Configuration Function	DQS	N84
B5	VREFB5N0	IO	DIFFIN_L2p/LPLL_Inp					B2
B5	VREFB5N0	IO	DIFFIN_L2n/LPLL_Inn					A2
B5	VREFB5N0	IO/CLK1	DIFFCLK_1p/DIFFIN_L4p					A3
B5	VREFB5N0	IO	DIFFCLK_1n/DIFFIN_L4n					A4
B4	VREFB4N0	IO	DIFFIN_L6p					A5
B4	VREFB4N0	IO	DIFFIN_L6n					B5
B4	VREFB4N0	IO	DIFFIN_L7p					A6
B4	VREFB4N0	IO	DIFFIN_L7n					B6
B4	VREFB4N0	IO/CLK2	DIFFCLK_2p/DIFFIN_L9p					A7
B3	VREFB3N0	IO	DIFFIN_L10p					A8
B3	VREFB3N0	IO	DIFFIN_L10n					B8
B3	VREFB3N0	IO	DIFFIN_L11p					A9
B3	VREFB3N0	IO	DIFFIN_L11n					A10
B2	VREFB2N0	IO	DIFFIN_B1p (1)			nCS(CSSPIN)		B10
B2	VREFB2N0	IO	DIFFIN_B1n (1)					A11
B2	VREFB2N0	IO	DIFFIN_B2p (1)					B11
B2	VREFB2N0	IO	DIFFIN_B2n (1)					A12
B2	VREFB2N0	IO	DIFFIN_B3p (1)			DCLK(MCLK/CCLK)		B12
B2	VREFB2N0	IO	DIFFIN_B3n (1)			DATA0(SO/SPISO)		A13
B2	VREFB2N0	IO/CLK4	DIFFCLK_4p/DIFFIN_B4p (1)					A14
B2	VREFB2N0	IO	DIFFCLK_4n/DIFFIN_B4n (1)					B13
B2	VREFB2N0	IO	DIFFIN_B5p (1)					A15
B2	VREFB2N0	IO	DIFFIN_B5n (1)					A16
B2	VREFB2N0	IO	DIFFIN_B6p (1)					B15
B2	VREFB2N0	IO	DIFFIN_B6n (1)					A17
B2	VREFB2N0	IO	DIFFIN_B9p (1)					A18
B2	VREFB2N0	IO	DIFFIN_B9n (1)					A19
B2	VREFB2N0	IO	DIFFIN_B10p (1)					B18
B2	VREFB2N0	IO	DIFFIN_B10n (1)					A20
B2	VREFB2N0	IO	DIFFIN_B11p (1)					A21
B2	VREFB2N0	IO	DIFFIN_B11n (1)					B19
B2	VREFB2N0	IO	DIFFIN_B12p (1)					A22
B2	VREFB2N0	IO	DIFFIN_B12n (1)					B20
B2	VREFB2N0	IO	DIFFIN_B13p (1)					A23
B2	VREFB2N0	IO	DIFFIN_B13n (1)			ASDO(SI/SPISI)		B21
B1	VREFB1N0	IO	DIFFIN_R14n				DQ1	A24
B1	VREFB1N0	IO	DIFFIN_R14p				DQ1	B22
B1	VREFB1N0	IO	DIFFIN_R8n				DQSN0	A25
B1	VREFB1N0	IO	DIFFIN_R8p				DQS0	A26
B1	VREFB1N0	IO	DIFFIN_R7n				DQ0	B24
B1	VREFB1N0	IO	DIFFIN_R7p				DQ0	A27
B1	VREFB1N0	IO	DIFFIN_R6n				DQ0	B25
B1	VREFB1N0	IO	DIFFIN_R6p				DQ0	A28
B1	VREFB1N0	IO	DIFFIN_R4n				DQ0	A29
B1	VREFB1N0	IO	DIFFIN_R4p				DQ0	A30
B1	VREFB1N0	IO	DIFFIN_R2n/RPLL_Inn				DQ0	B28
B1	VREFB1N0	IO	DIFFIN_R2p/RPLL_Inp				DQ0	A31
B1	VREFB1N0	IO	DIFFIN_R1n/RPLL_Fbn				DQ0	B29
B1	VREFB1N0	IO	DIFFIN_R1p/RPLL_Fbp				DQ0	A32
B0	VREFB0N0	IO	DIFFIN_T19n	DIFFOUT_T13n				B30
B0	VREFB0N0	IO	DIFFIN_T19p	DIFFOUT_T13p	RPLL_MFG_OUT1			A33
B0	VREFB0N0	IO	DIFFIN_T18n	DIFFOUT_T12n				B31
B0	VREFB0N0	IO	DIFFIN_T18p	DIFFOUT_T12p	RPLL_MFG_OUT2			A34
B0	VREFB0N0	IO	DIFFIN_T17n		CONF_DONE(DONE)			B32
B0	VREFB0N0	IO	DIFFIN_T17p		nSTATUS(INITN)			A35
B0	VREFB0N0	IO	DIFFIN_T13n		nCONFIG(PROGRAMN)			A36
B0	VREFB0N0	IO	DIFFIN_T13p		JTAGENB			A37
B0	VREFB0N0	IO	DIFFIN_T10n	DIFFOUT_T7n				A38
B0	VREFB0N0	IO	DIFFIN_T10p	DIFFOUT_T7p				B35
B0	VREFB0N0	IO	DIFFIN_T8n		TMS			A39
B0	VREFB0N0	IO	DIFFIN_T8p		TCK			B36
B0	VREFB0N0	IO	DIFFIN_T6n		TDI			A40



Bank Number	VREFB Group	Pin Name/ Function	Differential Inputs	True LVDS outputs	Configuration Function	DQS	N84
B0	VREFB0N0	IO	DIFFIN_T6p		TDO		B37
B0	VREFB0N0	IO	DIFFIN_T5n	DIFFOUT_T4n			A41
B0	VREFB0N0	IO	DIFFIN_T5p	DIFFOUT_T4p			A42
B0	VREFB0N0	IO	DIFFIN_T3n	DIFFOUT_T3n			A43
B0	VREFB0N0	IO	DIFFIN_T3p	DIFFOUT_T3p	LPLL_MFG_OUT1		B39
B0	VREFB0N0	IO	DIFFIN_T2n	DIFFOUT_T2n			A44
B0	VREFB0N0	IO	DIFFIN_T2p	DIFFOUT_T2p			B40
B0	VREFB0N0	IO	DIFFIN_T1n	DIFFOUT_T1n			A1
B0	VREFB0N0	IO	DIFFIN_T1p	DIFFOUT_T1p	LPLL_MFG_OUT2		B1
		VCCEXT					B4
		VCCEXT					B16
		VCCEXT					B26
		VCCEXT					B34
		VCCIO5					B3
		VCCIO4					B7
		VCCIO3					B9
		VCCIO2					B14
		VCCIO2					B17
		VCCIO1					B23
		VCCIO1					B27
		VCCIO0					B33
		VCCIO0					B38

注 1：一对差分信号差分端口之间含有一个 100Ohm 电阻。

注 2：EPAD 是一个用于接地的暴露焊盘，用户可连接到 PCB 上的数字地。

## 2.5SL2E-5E-M121 管脚列表

表 2-4 SL2E-5E-M121 管脚列表

Bank Number	VREFB Group	Pin Name/ Function	Differential Inputs	True LVDS outputs	Configuration Function	DQS	M121
B5	VREFB5N0	IO	DIFFIN_L1p/LPLL_FBKp				B2
B5	VREFB5N0	IO	DIFFIN_L1n/LPLL_FBKn				B1
B5	VREFB5N0	IO	DIFFIN_L2p/LPLL_Inp				C2
B5	VREFB5N0	IO	DIFFIN_L2n/LPLL_Inn				C1
B5	VREFB5N0	IO	DIFFIN_L3p				C3
B5	VREFB5N0	IO	DIFFIN_L3n				D3
B5	VREFB5N0	IO/CLK1	DIFFCLK_1p/DIFFIN_L4p				D2
B5	VREFB5N0	IO	DIFFCLK_1n/DIFFIN_L4n				D1
B5	VREFB5N0	IO	DIFFIN_L5p				E3
B5	VREFB5N0	IO	DIFFIN_L5n				E4
B4	VREFB4N0	IO	DIFFIN_L6p				E2
B4	VREFB4N0	IO	DIFFIN_L6n				E1
B4	VREFB4N0	IO	DIFFIN_L7p				F1
B4	VREFB4N0	IO	DIFFIN_L7n				F2
B4	VREFB4N0	IO	DIFFIN_L8n				F3
B4	VREFB4N0	IO/CLK2	DIFFCLK_2p/DIFFIN_L9p				G1
B4	VREFB4N0	IO	DIFFCLK_2n/DIFFIN_L9n				G2
B3	VREFB3N0	IO	DIFFIN_L10p				G3
B3	VREFB3N0	IO	DIFFIN_L10n				G4
B3	VREFB3N0	IO	DIFFIN_L11p				H1
B3	VREFB3N0	IO	DIFFIN_L11n				H2
B3	VREFB3N0	IO/CLK3	DIFFCLK_3p/DIFFIN_L12p				J1
B3	VREFB3N0	IO	DIFFCLK_3n/DIFFIN_L12n				J2
B3	VREFB3N0	IO	DIFFIN_L13p				K1
B2	VREFB2N0	IO	DIFFIN_B1p (1)		nCS(CSSPIN)		K2
B2	VREFB2N0	IO	DIFFIN_B1n (1)				L2
B2	VREFB2N0	IO	DIFFIN_B2p (1)				H3
B2	VREFB2N0	IO	DIFFIN_B2n (1)				J3
B2	VREFB2N0	IO	DIFFIN_B3p (1)		DCLK(MCLK/CCLK)		K3
B2	VREFB2N0	IO	DIFFIN_B3n (1)		DATA0(SO/SPISO)		L3
B2	VREFB2N0	IO/CLK4	DIFFCLK_4p/DIFFIN_B4p (1)				K4
B2	VREFB2N0	IO	DIFFCLK_4n/DIFFIN_B4n (1)				L4
B2	VREFB2N0	IO	DIFFIN_B5p (1)				J4
B2	VREFB2N0	IO	DIFFIN_B5n (1)				H5
B2	VREFB2N0	IO	DIFFIN_B6p (1)				K5
B2	VREFB2N0	IO	DIFFIN_B6n (1)				L5
B2	VREFB2N0	IO/CLK5	DIFFCLK_5p/DIFFIN_B7p (1)				L6
B2	VREFB2N0	IO	DIFFCLK_5n/DIFFIN_B7n (1)				K6
B2	VREFB2N0	IO	DIFFIN_B8p (1)				J6
B2	VREFB2N0	IO	DIFFIN_B8n (1)				J5
B2	VREFB2N0	IO	DIFFIN_B9p (1)				J7
B2	VREFB2N0	IO	DIFFIN_B9n (1)				J8
B2	VREFB2N0	IO	DIFFIN_B10p (1)				L7
B2	VREFB2N0	IO	DIFFIN_B10n (1)				K7
B2	VREFB2N0	IO	DIFFIN_B11p (1)				L8



Bank Number	VREFB Group	Pin Name/ Function	Differential Inputs	True LVDS outputs	Configuration Function	DQS	M121
B2	VREFB2N0	IO	DIFFIN_B11n (1)				K8
B2	VREFB2N0	IO	DIFFIN_B12p (1)				L9
B2	VREFB2N0	IO	DIFFIN_B12n (1)				K9
B2	VREFB2N0	IO	DIFFIN_B13p (1)				L10
B2	VREFB2N0	IO	DIFFIN_B13n (1)		ASDO(SI/SPISI)		K10
B1	VREFB1N0	IO	DIFFIN_R15n			DQ1	J9
B1	VREFB1N0	IO	DIFFIN_R15p			DQ1	J10
B1	VREFB1N0	IO	DIFFIN_R14n			DQ1	K11
B1	VREFB1N0	IO	DIFFIN_R14p			DQ1	J11
B1	VREFB1N0	IO	DIFFIN_R13n			DQ1	H10
B1	VREFB1N0	IO	DIFFIN_R13p			DQ1	H11
B1	VREFB1N0	IO	DIFFIN_R12n			DQ1	H8
B1	VREFB1N0	IO	DIFFIN_R12p			DQ1	H9
B1	VREFB1N0	IO	DIFFIN_R11n			DQ1	G10
B1	VREFB1N0	IO	DIFFIN_R11p			DQ1	G11
B1	VREFB1N0	IO	DIFFIN_R10n			DQSN1	G8
B1	VREFB1N0	IO	DIFFIN_R10p			DQS1	G9
B1	VREFB1N0	IO	DIFFCLK_6n/DIFFIN_R9n			DQ1	F10
B1	VREFB1N0	IO/CLK6	DIFFCLK_6p/DIFFIN_R9p			DQ1	F11
B1	VREFB1N0	IO	DIFFIN_R8n			DQSN0	F8
B1	VREFB1N0	IO	DIFFIN_R8p			DQS0	F9
B1	VREFB1N0	IO	DIFFIN_R6n			DQ0	E11
B1	VREFB1N0	IO	DIFFIN_R6p			DQ0	E10
B1	VREFB1N0	IO	DIFFIN_R5n			DQ0	E9
B1	VREFB1N0	IO	DIFFIN_R5p			DQ0	E8
B1	VREFB1N0	IO	DIFFIN_R3n			DQ0	D11
B1	VREFB1N0	IO	DIFFIN_R3p			DQ0	D10
B1	VREFB1N0	IO	DIFFIN_R2n/RPLL_Inn			DQ0	C11
B1	VREFB1N0	IO	DIFFIN_R2p/RPLL_Inp			DQ0	B11
B1	VREFB1N0	IO	DIFFIN_R1n/RPLL_Fbn			DQ0	D9
B1	VREFB1N0	IO	DIFFIN_R1p/RPLL_Fbp			DQ0	C10
B0	VREFB0N0	IO	DIFFIN_T19p	DIFFOUT_T13p	RPLL_MFG_OUT1		D5
B0	VREFB0N0	IO	DIFFIN_T18n	DIFFOUT_T12n			B10
B0	VREFB0N0	IO	DIFFIN_T18p	DIFFOUT_T12p	RPLL_MFG_OUT2		A10
B0	VREFB0N0	IO	DIFFIN_T17n		CONF_DONE(DONE)		D8
B0	VREFB0N0	IO	DIFFIN_T17p		nSTATUS(INITN)		C9
B0	VREFB0N0	IO	DIFFIN_T15n	DIFFOUT_T10n			B9
B0	VREFB0N0	IO	DIFFIN_T15p	DIFFOUT_T10p			A9
B0	VREFB0N0	IO	DIFFIN_T14n	DIFFOUT_T9n			B8
B0	VREFB0N0	IO	DIFFIN_T14p	DIFFOUT_T9p			A8
B0	VREFB0N0	IO	DIFFIN_T13n		nCONFIG(PROGRAMN)		C8
B0	VREFB0N0	IO	DIFFIN_T13p		JTAGENB (5)		C7
B0	VREFB0N0	IO	DIFFCLK_7n/DIFFIN_T11n		SDA(N/A)		B7
B0	VREFB0N0	IO/CLK7	DIFFCLK_7p/DIFFIN_T11p		SCL(N/A)		A7
B0	VREFB0N0	IO	DIFFCLK_8n/DIFFIN_T9n	DIFFOUT_T6n			A6
B0	VREFB0N0	IO/CLK8	DIFFCLK_8p/DIFFIN_T9p	DIFFOUT_T6p			B6
B0	VREFB0N0	IO	DIFFIN_T8n		TMS		C6
B0	VREFB0N0	IO	DIFFIN_T8p		TCK		C5
B0	VREFB0N0	IO	DIFFIN_T6n		TDI		B5
B0	VREFB0N0	IO	DIFFIN_T6p		TDO		A5
B0	VREFB0N0	IO	DIFFIN_T4n		ATB_SENSE		C4
B0	VREFB0N0	IO	DIFFIN_T4p		ATB_FORCE		B4
B0	VREFB0N0	IO	DIFFIN_T3n	DIFFOUT_T3n			A4
B0	VREFB0N0	IO	DIFFIN_T3p	DIFFOUT_T3p	LPLL_MFG_OUT1		A3
B0	VREFB0N0	IO	DIFFIN_T1n	DIFFOUT_T1n			B3
B0	VREFB0N0	IO	DIFFIN_T1p	DIFFOUT_T1p	LPLL_MFG_OUT2		A2
		VCCEXT					D7
		VCCEXT					E7
		VCCEXT					F5
		VCCEXT					G5
		VCCIO5					D4
		VCCIO4					F4
		VCCIO3					H4
		VCCIO2					H6
		VCCIO1					H7
		VCCIO0					D6
		GND					A1
		GND					A11
		GND					E5
		GND					E6
		GND					F6
		GND					F7
		GND					G6
		GND					G7
		GND					L1
		GND					L11

注 1：一对差分信号差分端口之间含有一个 100Ohm 电阻。

注 2：EPAD 是一个用于接地的暴露焊盘，用户可连接到 PCB 上的数字地。

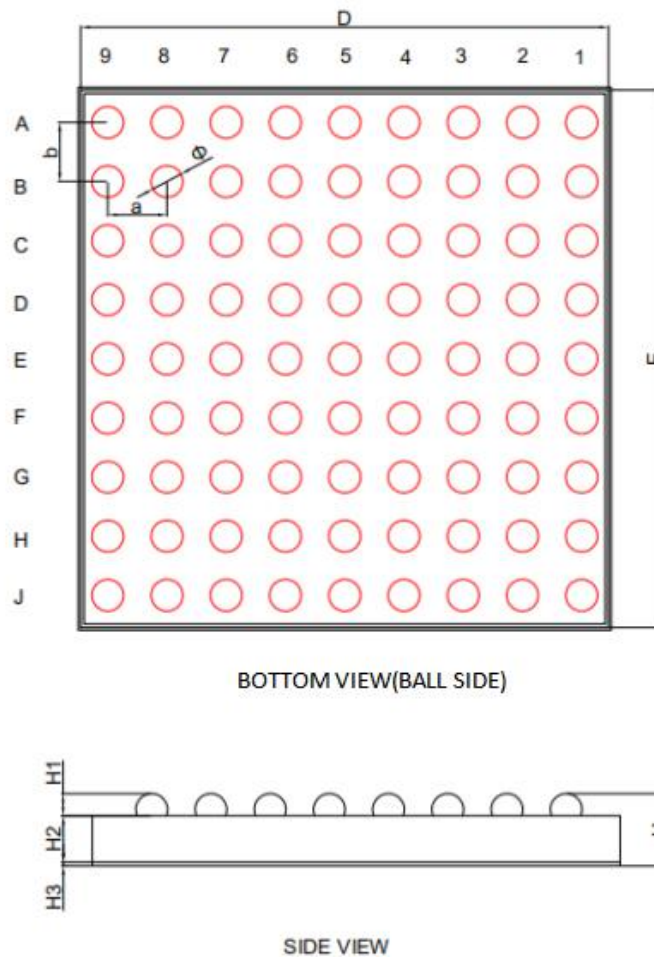


## 2.6 81-pin WLCSP 封装尺寸

表 2-5 81-pin WLCSP 封装尺寸表

符号	最小值(mm)	标准值(mm)	最大值(mm)
D	3.540	3.565	3.590
E	3.612	3.637	3.662
$\Phi$	0.193	0.215	0.237
a/b	0.40BCS	0.40BCS	0.40BCS
H	0.465	0.511	0.557
H1	0.132	0.156	0.180
H2	0.316	0.330	0.344
H3	0.022	0.025	0.028

图 2-2 81-pin WLCSP 封装尺寸图



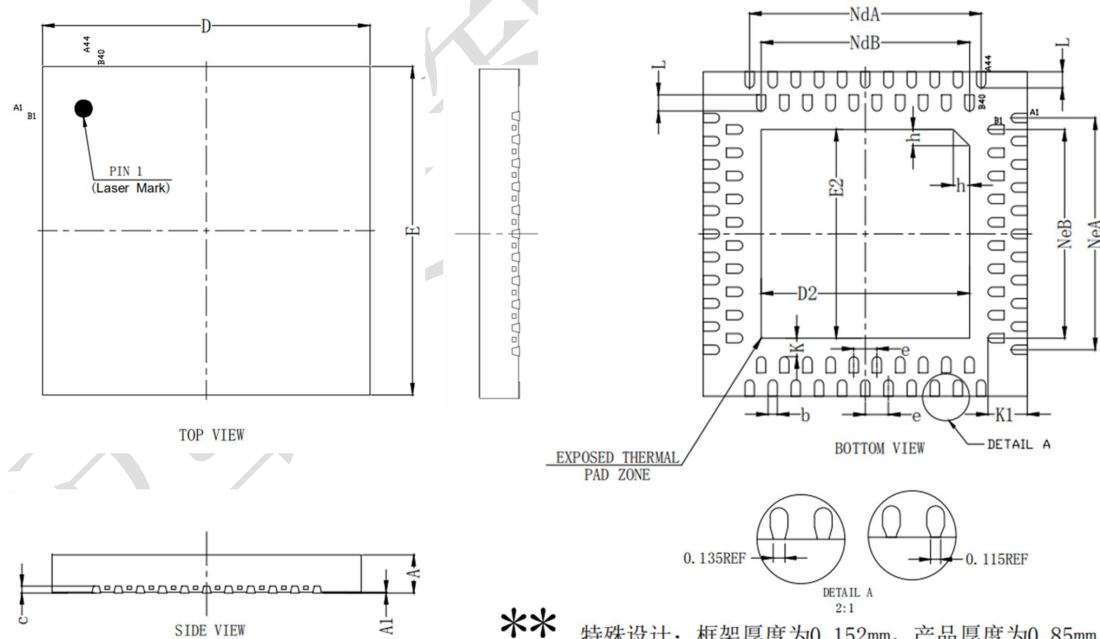


## 2.7 84-pin QFN 封装尺寸

表 2-6 84-pin QFN 封装尺寸表

符号	最小值(mm)	标准值(mm)	最大值(mm)
A	0.80	0.85	0.90
A1	0	0.02	0.05
D	6.90	7.00	7.10
D2	4.40	4.50	4.60
E	6.90	7.00	7.10
E2	4.40	4.50	4.60
b	0.15	0.20	0.25
c	0.152REF	0.152REF	0.152REF
e	0.50BCS	0.50BCS	0.50BCS
NdA	5.00BCS	5.00BCS	5.00BCS
NdB	4.50BCS	4.50BCS	4.50BCS
NeA	5.00BCS	5.00BCS	5.00BCS
NeB	4.50BCS	4.50BCS	4.50BCS
L	0.30	0.35	0.40
K	0.35	0.40	0.45
K1	0.80	0.85	0.90
h	0.30	0.35	0.40

图 2-3 84-pin QFN 封装尺寸图



\*\* 特殊设计：框架厚度为0.152mm，产品厚度为0.85mm



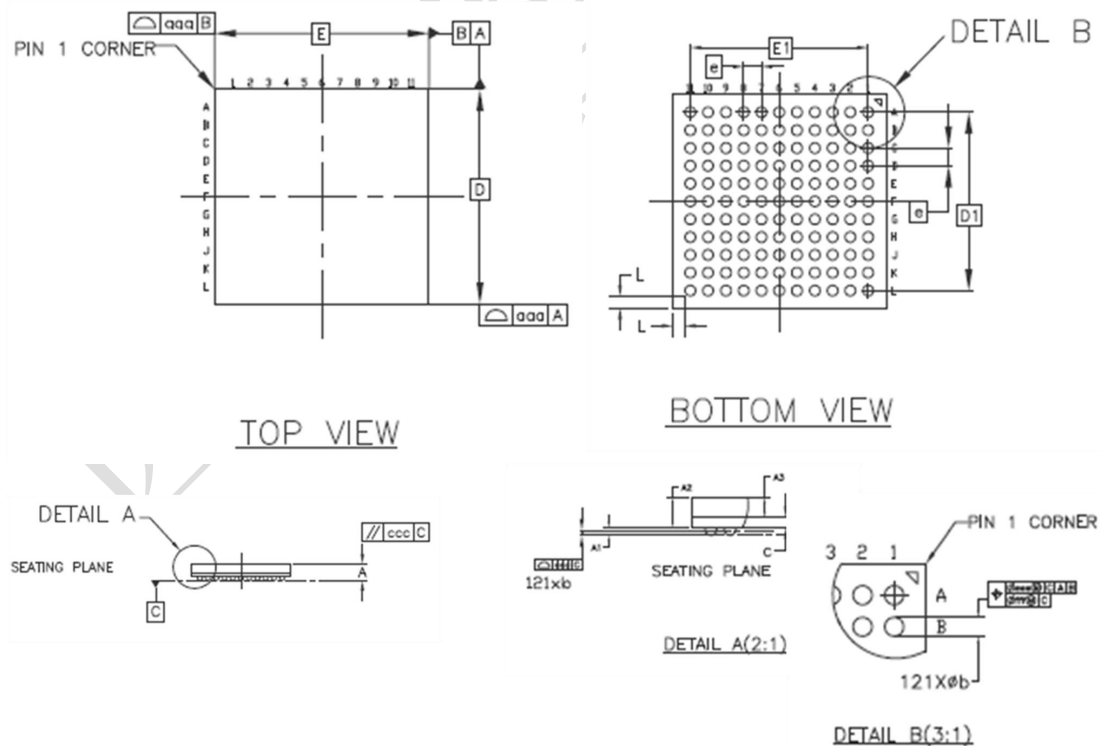


## 2.8 121-pin mBGA 封装尺寸

表 2-7 121-pin mBGA 封装尺寸表

符号	最小值(mm)	标准值(mm)	最大值(mm)
A	0.94	1.00	1.06
A1	0.18	0.21	0.28
A2	0.75	0.79	0.83
D	5.90	6.00	6.10
E	5.90	6.00	6.10
A3	0.53BCS	0.53BCS	0.53BCS
D1	5.00BCS	5.00BCS	5.00BCS
E1		5.00BCS	0.30
c	0.22	0.26	0.35
b	0.25	0.30	
e	0.50BCS	0.50BCS	0.50BCS
aaa	0.15	0.15	0.15
ccc	0.08	0.08	0.08
ddd	0.08	0.08	0.08
eee	0.15	0.15	0.15
fff	0.05	0.05	0.05

图 2-4 121-pin mBGA 封装尺寸图



### 3 SL2E-5E 交直流特性

请参考 Sealion 2000 系列 FPGA 产品手册。

版权所有©2020 西安智多晶微电子有限公司

未经本公司书面许可，任何单位和个人不得擅自摘抄、复制、翻译本文档内容的部分或全部，并不得以任何形式传播。

#### 免责声明

本文档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其它方式授予任何知识产权许可。除西安智多晶在其产品的销售条款和条件中声明的责任之外，西安智多晶概不承担任何法律或非法律责任。西安智多晶对西安智多晶产品的销售和/或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。西安智多晶对文档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，西安智多晶保留修改文档中任何内容的权利，恕不另行通知。西安智多晶不承诺对这些文档进行适时的更新。