

带有 PowerSnooze™ 和纠错码 (ECC) 的 4 Mbit (256K 字 × 16 位) 静态 RAM

特性

- 高速
 - 访问时间 (t_{AA}) = 10 ns / 15 ns
- 超低功耗深度睡眠 (DS) 电流
 - $I_{DS} = 15 \mu A$
- 活动模式和待机模式低电流
 - 有效电流 $I_{CC} = 38 \text{ mA}$ (典型值)
 - 待机电流 $I_{SB2} = 6 \text{ mA}$ (典型值)
- 工作电压范围广: 1.65 V 至 2.2 V、2.2 V 至 3.6 V、4.5 V 至 5.5 V
- 用于单比特错误纠正的嵌入式纠错码 (ECC) [1]
- 1.0 V 数据保留
- TTL 兼容的输入和输出
- 用于指示 1 位错误检测与纠正的错误指示 (ERR) 引脚
- 适用于无铅 44 引脚 TSOP II 和 48 球形焊盘 VFBGA

功能描述

CY7S1041G 是一款结构为 256K 字 × 16 位的高性能 PowerSnooze™ 静态 RAM。该器件具有快速的存取时间 (10 ns) 和独特的超低功耗深度睡眠模式。由于深度睡眠模式电流低至 15 μA ，因此 CY7S1041G/ CY7S1041GE 器件能将快速且低功耗的 SRAM 的最佳特性结合到工业标准的封装选项内。该器件也具有嵌入式 ECC 逻辑的特性，高逻辑可以检测并纠正访问位置中单位的错误。

在正常工作模式下，必须取消将深度睡眠输入 (\overline{DS}) 确认为高电平。

通过将芯片使能 (\overline{CE}) 和写使能 (\overline{WE}) 设置为低电平，并分别在器件数据引脚 (I/O_0 到 I/O_{15}) 和地址引脚 (A_0 到 A_{17}) 上提供数据和地址，可以执行数据写入操作。字节高电平使能 (\overline{BHE}) 和字节低电平使能 (\overline{BLE}) 输入用于控制字节写入操作，并将相应 I/O 线上的数据写入到指定的存储器位置内。 \overline{BHE} 控制 I/O_8 到 I/O_{15} ； \overline{BLE} 控制 I/O_0 到 I/O_7 。

通过将芯片使能 (\overline{CE}) 和输出使能 (\overline{OE}) 输入置于低电平，并提供地址线上所需的地址，可以读取数据。可在 I/O 线 (I/O_0 到 I/O_{15}) 上读取数据。通过设置所需的字节使能信号 (\overline{BHE} 或 \overline{BLE})，可以执行字节访问，即读取指定地址上高字节或低字节数据。

深度睡眠输入 (\overline{DS}) 为低电平时，器件将处于低功耗深度睡眠模式。在该模式下，器件被禁止执行正常的操作，并会进入数据保留模式。通过将深度睡眠输入 (DS) 引脚不设置为高电平，可以激活器件。

CY7S1041G 适用于 44 引脚 TSOP II、48 球形焊盘 VFBGA 和 44 引脚 (400 mil) 模压 SOJ。

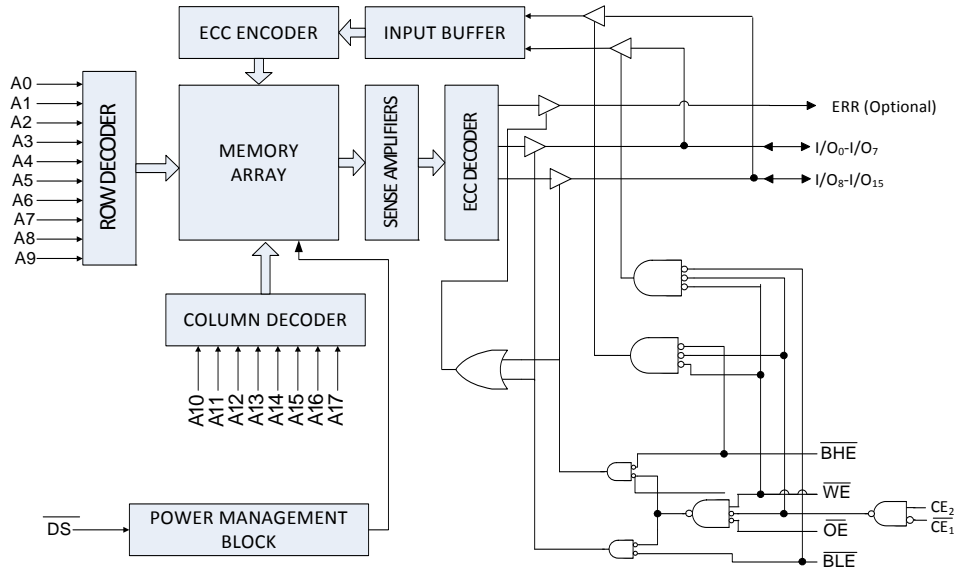
产品系列概述

产品 [2]	范围	V_{CC} 范围 (V)	速率 (ns)	功耗							
				工作电流 I_{CC} (单位为 mA)		待机电流 I_{SB2} (mA)		深度睡眠电流 (μA)			
				$f = f_{max}$		典型值 [3]	最大值	典型值 [3]	最大值	典型值 [3]	最大值
				典型值 [3]	最大值						
CY7S1041G(E)18	工业级	1.65 V 到 2.2 V	15	-	40	6	8	-	15		
CY7S1041G(E)30		2.2 V 到 3.6 V	10	38	45						
CY7S1041G(E)		4.5 到 5.5 V	10	38	45						

注释:

1. 检测错误时，该器件不支持自动回写功能。
2. 只有器件的订购代码中具有 ERR 选项 “E” 时，才能使用 ERR 引脚。更多信息，请查阅订购信息。
3. 典型值仅供参考，并不能保证，也未经过测试。典型值的适用条件为： $V_{CC} = 1.8 \text{ V}$ (对于 V_{CC} 范围为 1.65 V 至 2.2 V)， $V_{CC} = 3 \text{ V}$ (对于 V_{CC} 范围为 2.2 V 至 3.6 V)， $V_{CC} = 5 \text{ V}$ (对于 V_{CC} 范围为 4.5 V 至 5.5 V)， $T_A = 25 \text{ }^\circ\text{C}$ 。

逻辑框图 — CY7S1041G/ CY7S1041GE



目录

引脚配置	4	封装图	17
最大额定值	6	缩略语	19
工作范围	6	文档规范	19
直流电气特性	6	测量单位	19
电容	7	文档修订记录	20
热阻	7	销售、解决方案和法律信息	21
交流测试负载和波形	7	全球销售和设计支持	21
数据保留特性	8	产品	21
数据保留波形	8	PSoC [®] 解决方案	21
深度睡眠模式的特性	9	赛普拉斯开发者社区	21
交流开关特性	10	技术支持	21
开关波形	11		
真值表	15		
订购信息	16		
订购代码定义	16		

引脚配置

图 1. 44-TSOP II 引脚分布, CY7S1041G

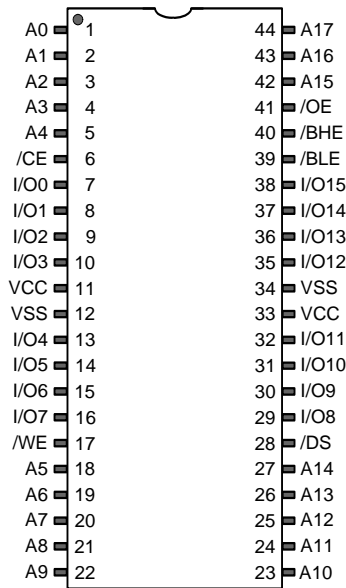


图 2. 无 ERR 的 48-VFBGA (6 × 8 × 1.0 mm) 单芯片使能, CY7S1041G^[4], 封装 / 等级 ID: BVJXI^[6]

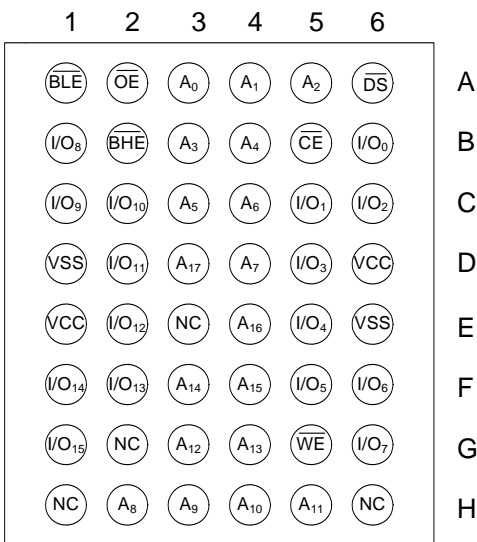
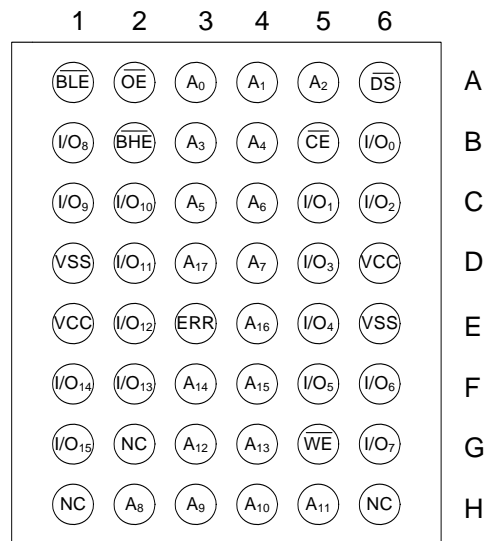


图 3. 带 ERR 的 48-VFBGA (6 × 8 × 1.0 mm) 单芯片使能, CY7S1041GE^[4, 5], 封装 / 等级 ID: BVJXI^[6]



注释:

- NC 引脚在内部并没有连接至裸片 (die)。
- ERR 是一个输出引脚。
- 与封装类型 BVXI 相比, 封装类型 BVJXI 符合 JEDEC 标准。这两种类型在高位字节和低位字节 I/O (I/O_[7:0] 和 I/O_[15:8]) 球形焊盘被交换上存在着差别。

引脚配置 (续)

图 4. 无 ERR 的 48-VFBGA (6 × 8 × 1.0 mm) 单芯片使能, CY7S1041G^[7], 封装 / 等级 ID: BVXI^[9]

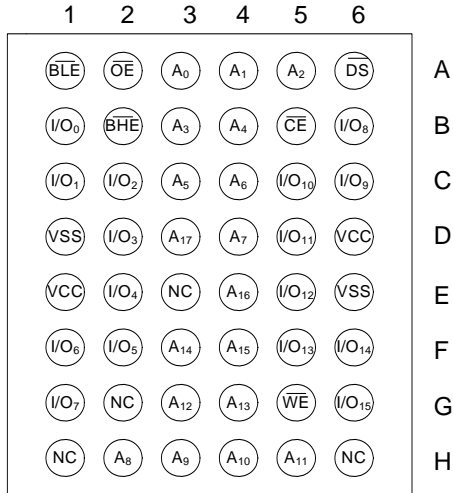
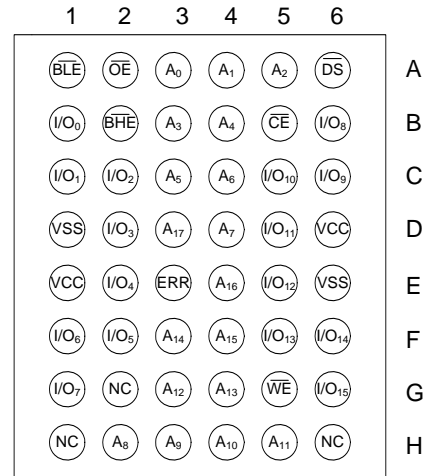


图 5. 带 ERR 的 48-VFBGA (6 × 8 × 1.0 mm) 单芯片使能, CY7S1041GE^[7、8], 封装 / 等级 ID: BVXI^[9]



注释:

7. NC 引脚在内部并没有连接至裸片 (die)。

8. ERR 是一个输出引脚。

9. 与封装类型 BVXI 相比, 封装类型 BVJXI 符合 JEDEC 标准。这两种类型在高位字节和低位字节 I/O (I/O_[7:0] 和 I/O_[15:8]) 球形焊盘被交换上存在着差别。

最大额定值

超过最大额定值可能会影响器件的使用寿命。这些用户指导未经过测试。

存储温度 -65 °C 至 +150 °C
 通电状态下的环境温度 -55 °C 至 +125 °C
 V_{CC} 相对于 GND 的供电电压范围^[10] -0.5 V 至 +6.0 V
 应用于高阻态下的输出
 的直流电压^[10] -0.5 V 至 $V_{CC} + 0.5 V$

直流输入电压^[10] -0.5 V 至 $V_{CC} + 0.5 V$
 输出电流（低电平） 20 mA
 静电放电电压（MIL-STD-883, M. 3015） > 2001 V
 栓锁电流 > 140 mA

工作范围

范围	环境温度	V_{CC}
工业级	-40 °C 至 +85 °C	1.65 V 至 2.2 V、 2.2 V 至 3.6 V、 4.5 V 至 5.5 V

直流电气特性

工作温度范围为 -40 °C 至 +85 °C

参数	说明	测试条件	10 ns/ 15 ns			单位	
			最小值	典型值 ^[11]	最大值		
V_{OH}	输出高电压	1.65 V 至 2.2 V	$V_{CC} = \text{最小值}, I_{OH} = -0.1 \text{ mA}$	1.4	-	-	V
		2.2 V 至 2.7 V	$V_{CC} = \text{最小值}, I_{OH} = -1.0 \text{ mA}$	2	-	-	
		2.7 V 至 3.6 V	$V_{CC} = \text{最小值}, I_{OH} = -4.0 \text{ mA}$	2.2	-	-	
		4.5 V 至 5.5 V	$V_{CC} = \text{最小值}, I_{OH} = -4.0 \text{ mA}$	2.4	-	-	
		4.5 V 至 5.5 V	$V_{CC} = \text{最小值}, I_{OH} = -0.1 \text{ mA}$	$V_{CC} - 0.5^{[13]}$	-	-	
V_{OL}	输出低电压	1.65 V 至 2.2 V	$V_{CC} = \text{最小值}, I_{OL} = 0.1 \text{ mA}$	-	-	0.2	V
		2.2 V 至 2.7 V	$V_{CC} = \text{最小值}, I_{OL} = 2 \text{ mA}$	-	-	0.4	
		2.7 V 至 3.6 V	$V_{CC} = \text{最小值}, I_{OL} = 8 \text{ mA}$	-	-	0.4	
		3.6 V 至 5.5 V	$V_{CC} = \text{最小值}, I_{OL} = 8 \text{ mA}$	-	-	0.4	
$V_{IH}^{[10, 12]}$	输入高电平电压	1.65 V 至 2.2 V	-	1.4	-	$V_{CC} + 0.2$	V
		2.2 V 至 2.7 V	-	2	-	$V_{CC} + 0.3$	
		2.7 V 至 3.6 V	-	2	-	$V_{CC} + 0.3$	
		3.6 V 至 5.5 V	-	2.2	-	$V_{CC} + 0.5$	
$V_{IL}^{[10, 12]}$	输入低电平电压	1.65 V 至 2.2 V	-	-0.2	-	0.4	V
		2.2 V 至 2.7 V	-	-0.3	-	0.6	
		2.7 V 至 3.6 V	-	-0.3	-	0.8	
		3.6 V 至 5.5 V	-	-0.5	-	0.8	
I_{IX}	输入漏电流	$GND \leq V_{IN} \leq V_{CC}$	-1	-	+1	μA	
I_{OZ}	输出漏电流	$GND \leq V_{OUT} \leq V_{CC}$, 输出处于禁用状态	-1	-	+1	μA	
I_{CC}	V_{CC} 工作供电电流	$V_{CC} = \text{最大值}, I_{OUT} = 0 \text{ mA}, \text{CMOS 电平}$	$f = 100 \text{ MHz}$	-	38	45	mA
			$f = 66.7 \text{ MHz}$	-	40	40	
I_{SB1}	待机电流 — TTL 输入	最大 V_{CC} , $\overline{CE} \geq V_{IH}$, $V_{IN} \geq V_{IH}$ 或 $V_{IN} \leq V_{IL}$, $f = f_{MAX}$	-	-	15	mA	
I_{SB2}	待机电流 — CMOS 输入	最大 V_{CC} , $\overline{CE} \geq V_{CC} - 0.2 \text{ V}$, $\overline{DS} \geq V_{CC} - 0.2 \text{ V}$, $V_{IN} \geq V_{CC} - 0.2 \text{ V}$ 或 $V_{IN} \leq 0.2 \text{ V}$, $f = 0$	-	6	8	mA	
I_{DS}	深度睡眠电流	最大 V_{CC} , $\overline{CE} \geq V_{CC} - 0.2 \text{ V}$, $\overline{DS} \leq 0.2 \text{ V}$, $V_{IN} \geq V_{CC} - 0.2 \text{ V}$ 或 $V_{IN} \leq 0.2 \text{ V}$, $f = 0$	-	-	15	μA	

注释:

- 对于宽度小于 2 ns 的脉冲, V_{IL} (最小值) = -2.0 V 和 V_{IH} (最大值) = $V_{CC} + 2 \text{ V}$ 。
- 典型值仅供参考, 并不能保证, 也未经过测试。典型值适用的条件为: $V_{CC} = 1.8 \text{ V}$ (V_{CC} 的范围为 1.65 V 至 2.2 V), $V_{CC} = 3 \text{ V}$ (V_{CC} 的范围为 2.2 V 至 3.6 V), $V_{CC} = 5 \text{ V}$ (V_{CC} 的范围为 4.5 V 至 5.5 V), $T_A = 25 \text{ }^\circ\text{C}$ 。
- 对于 \overline{DS} 引脚, V_{IH} (最小值) = $V_{CC} - 0.2 \text{ V}$, 并且 V_{IL} (最大值) = 0.2 V。
- 这些参数由设计保证, 但未进行过测试。

电容

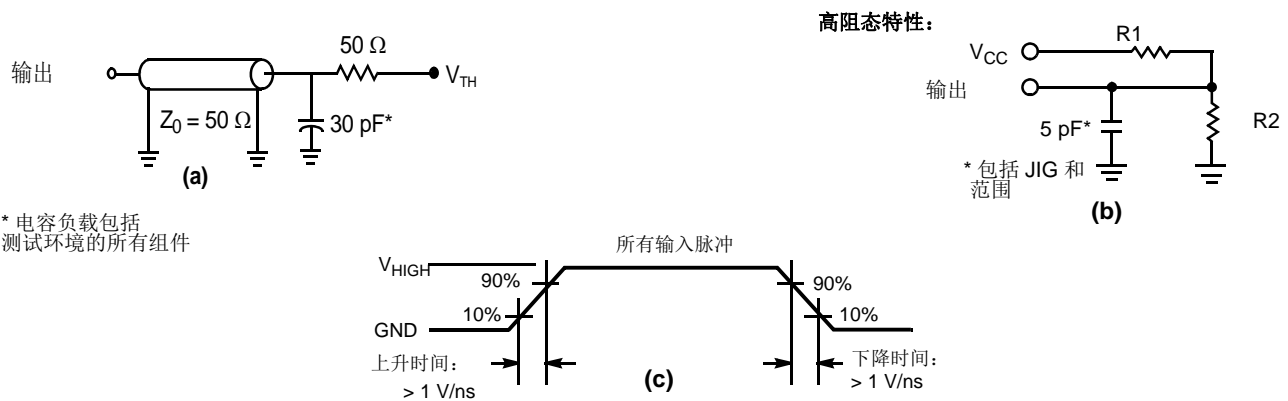
参数 ^[14]	说明	测试条件	所有封装	单位
C_{IN}	输入电容	$T_A = 25^\circ\text{C}$, $f = 1\text{ MHz}$, $V_{CC(\text{typ})}$	10	pF
C_{OUT}	I/O 电容		10	pF

热阻

参数 ^[14]	说明	测试条件	44-VFBGA	44-TSOP II	单位
Θ_{JA}	热阻 (结温)	静止空气, 被焊接在 3×4.5 英寸的四层印刷电路板上	31.35	68.85	$^\circ\text{C}/\text{W}$
Θ_{JC}	热阻 (壳温)		14.74	15.97	$^\circ\text{C}/\text{W}$

交流测试负载和波形

图 6. 交流测试负载和波形^[15]



参数	1.8 V	3.0 V	5.0 V	单位
R1	1667	317	317	Ω
R2	1538	351	351	Ω
V_{TH}	$V_{CC}/2$	1.5	1.5	V
V_{HIGH}	1.8	3.0	3.0	V

注释:

14. 初始测试和任何有关设计或流程的变化后的测试会影响这些参数。
15. 全部器件交流操作中都假设从 0 到 $V_{CC(\text{min})}$ 的升降时间为 $100\ \mu\text{s}$ 或 V_{CC} 稳定后等待时间为 $100\ \mu\text{s}$ 。

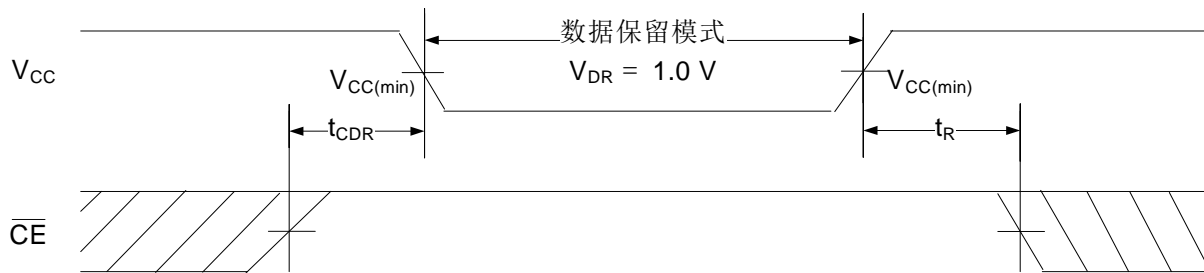
数据保留特性

工作温度范围为 -40°C 至 $+85^{\circ}\text{C}$

参数	说明	条件 ^[16]	最小值	最大值	单位
V_{DR}	数据保留的 V_{CC}		1.0	–	V
I_{CCDR}	数据保留电流	$V_{\text{CC}} = V_{\text{DR}}$, $\overline{\text{CE}} \geq V_{\text{CC}} - 0.2\text{ V}$, $\overline{\text{DS}} \geq V_{\text{CC}} - 0.2\text{ V}$, $V_{\text{IN}} \geq V_{\text{CC}} - 0.2\text{ V}$ 或 $V_{\text{IN}} \leq 0.2\text{ V}$	–	8	mA
$t_{\text{CDR}}^{\text{[17]}}$	从取消选择芯片到保留数据的时间		0	–	ns
$t_{\text{R}}^{\text{[17、18]}}$	操作恢复的时间	$2.2\text{ V} < V_{\text{CC}} \leq 5.5\text{ V}$	10	–	ns
		$V_{\text{CC}} \leq 2.2\text{ V}$	15	–	ns

数据保留波形

图 7. 数据保留波形^[18]



注释:

16. 在数据保留模式下, $\overline{\text{DS}}$ 信号必须为高电平。

17. 这些参数仅由设计保证。

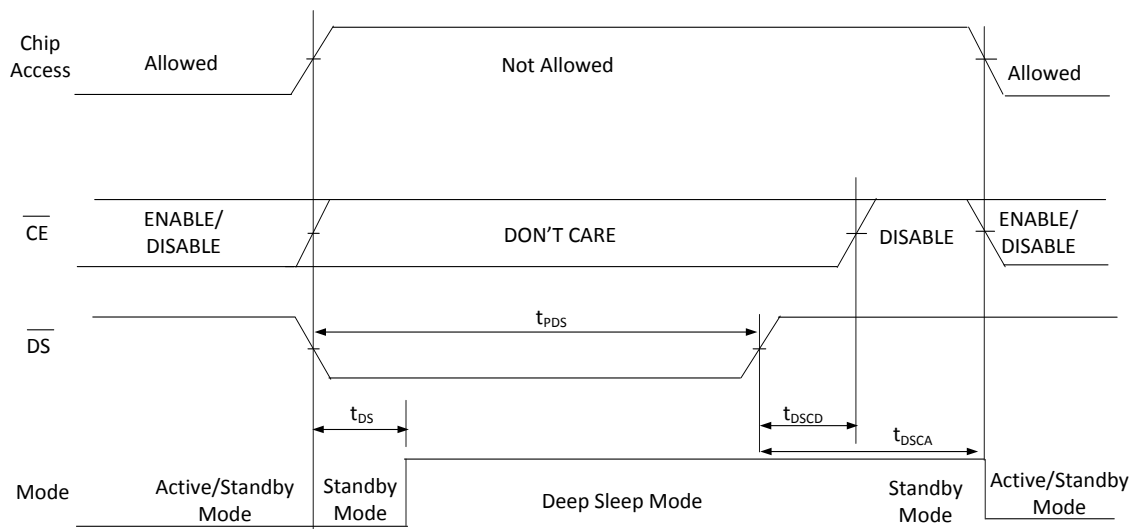
18. 完整的器件操作要求 V_{CC} 至少在 $\geq 100\ \mu\text{s}$ 内从 V_{DR} 上升到 $V_{\text{CC}(\text{min})}$ 或至少在 $\geq 100\ \mu\text{s}$ 内稳定于 $V_{\text{CC}(\text{min})}$ 。

深度睡眠模式的特性

工作温度范围为 -40°C 至 $+85^{\circ}\text{C}$

参数	说明	条件	最小值	最大值	单位
I_{DS}	深度睡眠模式下的电流	$V_{\text{CC}} = V_{\text{CC}}$ (最大值), $\overline{\text{DS}} \leq 0.2\text{ V}$, $V_{\text{IN}} \geq V_{\text{CC}} - 0.2\text{ V}$ 或 $V_{\text{IN}} \leq 0.2\text{ V}$	-	15	μA
$t_{\text{PDS}}^{[19]}$	$\overline{\text{DS}}$ 是低电平最短时间, 用于使器件成功退出深度睡眠模式	-	100	-	ns
$t_{\text{DS}}^{[20]}$	从确认 $\overline{\text{DS}}$ 到深度睡眠模式转换的时长	-	-	1	ms
$t_{\text{DSCD}}^{[19]}$	从取消确认 $\overline{\text{DS}}$ 到芯片使能的时间	如果 $t_{\text{PDS}} \geq t_{\text{PDS}}(\text{min})$	-	100	μs
		如果 $t_{\text{PDS}} < t_{\text{PDS}}(\text{min})$	-	0	μs
t_{DSCA}	从取消确认 $\overline{\text{DS}}$ 到芯片访问的时间 (活动 / 待机)	如果 $t_{\text{PDS}} \geq t_{\text{PDS}}(\text{min})$	300	-	μs
		如果 $t_{\text{PDS}} < t_{\text{PDS}}(\text{min})$			

图 8. 活动、待机和深度睡眠操作模式



注释:

19. 在取消确认 $\overline{\text{DS}}$ 后的 t_{DSCD} 时间内, 必须将 $\overline{\text{CE}}$ 置于高电平。

20. 确认 $\overline{\text{DS}}$ 信号后, 器件最长需要 t_{DS} 的时间来稳定到深度睡眠电流 I_{DS} 。在该期间内, 必须将 $\overline{\text{DS}}$ 信号置于逻辑低电平, 从而使器件保持深度睡眠模式。

交流开关特性

工作温度范围为 -40 °C 至 +85°C

参数 [21]	说明	10 ns		15 ns		单位
		最小值	最大值	最小值	最大值	
读周期						
t_{RC}	读周期时间	10	–	15	–	ns
t_{AA}	从地址到数据有效的的时间	–	10	–	15	ns
t_{OHA}	地址更改后的数据保持时间	3	–	3	–	ns
t_{ACE}	\overline{CE} 为低电平到数据有效的的时间	–	10	–	15	ns
t_{DOE}	\overline{OE} 为低电平到数据有效的的时间	–	4.5	–	8	ns
t_{LZOE}	\overline{OE} 为低电平到低阻态的时间 [22、23、24]	0	–	0	–	ns
t_{HZOE}	\overline{OE} 为高电平到高阻态的时间 [22、23、24]	–	5	–	8	ns
t_{LZCE}	\overline{CE} 为低电平到低阻态的时间 [22、23、24]	3	–	3	–	ns
t_{HZCE}	\overline{CE} 为高电平到高阻态的时间 [22、23、24]	–	5	–	8	ns
t_{PU}	\overline{CE} 为低电平到上电的时间 [24]	0	–	0	–	ns
t_{PD}	\overline{CE} 为高电平到断电的时间 [24]	–	10	–	15	ns
t_{DBE}	字节使能到数据有效的的时间	–	4.5	–	8	ns
t_{LZBE}	从字节使能到低阻态的时间 [22、23、24]	0	–	0	–	ns
t_{HZBE}	从字节使能到高阻态的时间 [22、23、24]	–	6	–	8	ns
写周期 [25、26]						
t_{WC}	写周期的时间	10	–	15	–	ns
t_{SCE}	\overline{CE} 是低电平到写周期结束的时间	7	–	12	–	ns
t_{AW}	从地址设置到写周期结束的时间	7	–	12	–	ns
t_{HA}	写周期结束后地址保持的时间	0	–	0	–	ns
t_{SA}	从地址设置到写周期开始的时间	0	–	0	–	ns
t_{PWE}	\overline{WE} 脉冲宽度	7	–	12	–	ns
t_{SD}	从数据设置到写周期结束的时间	5	–	8	–	ns
t_{HD}	写周期结束后数据保持的时间	0	–	0	–	ns
t_{LZWE}	从 \overline{WE} 为高电平到低阻态的时间 [22、23、24]	3	–	3	–	ns
t_{HZWE}	从 \overline{WE} 为低电平到高阻态的时间 [22、23、24]	–	5	–	8	ns
t_{BW}	从字节使能到写周期结束的时间	7	–	12	–	ns

注释:

- 在假设测试条件如下：信号跃变时间（上升 / 下降）不大于 3 ns，时序参考电平为 1.5 V（对于 $V_{CC} \geq 3V$ ）和 $V_{CC}/2$ （对于 $V_{CC} < 3V$ ），输入脉冲电平范围为 0 至 3 V（对于 $V_{CC} \geq 3V$ ）和 0 至 V_{CC} （对于 $V_{CC} < 3V$ ）。除非另有说明，否则读周期的测试条件使用第 7 页上的图 6 中 (a) 部分所显示的输出加载。
- t_{HZOE} 、 t_{HZCE} 、 t_{HZWE} 、 t_{HZBE} 、 t_{LZOE} 、 t_{LZCE} 、 t_{LZWE} 和 t_{LZBE} 的负载电容均为 5 pF，如第 7 页上的图 6 中的 (b) 部分所示。跃变在稳定状态电压 ± 200 mV 的条件下测量。
- 在任一温度和电压范围条件下，对于所有器件， t_{HZCE} 低于 t_{LZCE} 、 t_{HZBE} 低于 t_{LZBE} 、 t_{HZOE} 低于 t_{LZOE} 以及 t_{HZWE} 低于 t_{LZWE} 。
- 这些参数仅通过设计保证。
- 通过重叠 $\overline{WE} = V_{IL}$ 、 $\overline{CE} = V_{IL}$ 、 $\overline{DS} = V_{IH}$ 和 \overline{BHE} 或 $\overline{BLE} = V_{IL}$ ，可以定义存储器的内部写入时间。必须将 \overline{WE} 、 \overline{CE} 、 \overline{BHE} 和 \overline{BLE} 信号置于低电平并将 \overline{DS} 置于高电平，以启动写操作；如果有任何 \overline{WE} 、 \overline{CE} 、 \overline{BHE} 和 \overline{BLE} 信号转换为高电平或 \overline{DS} 信号转为低电平，那么该操作将被终止。终止写入操作的信号边沿作为输入数据建立和保持时序的参考源。
- 第二个写周期（ \overline{WE} 被控制， \overline{OE} 为低电平）的最小写入脉冲宽度为 t_{HZWE} 和 t_{SD} 的总和。

开关波形

图 9. CY7S1041G 的第一个读周期（地址转换控制） [27、28、29]

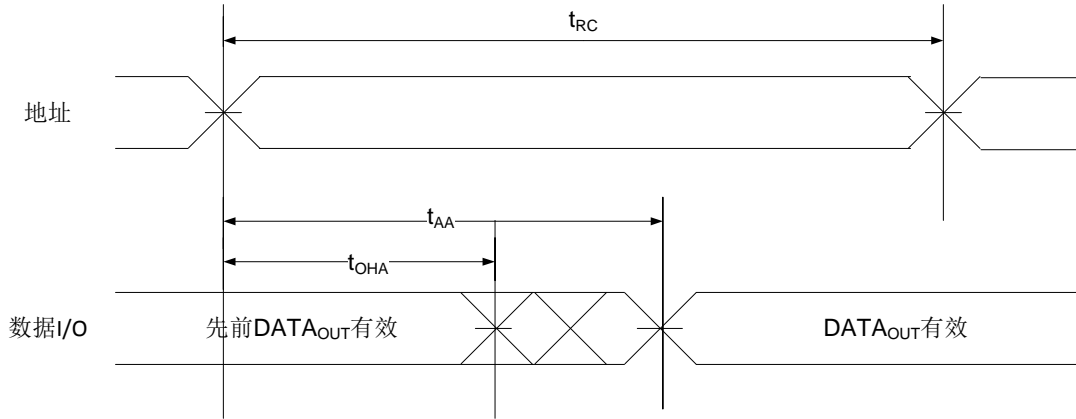
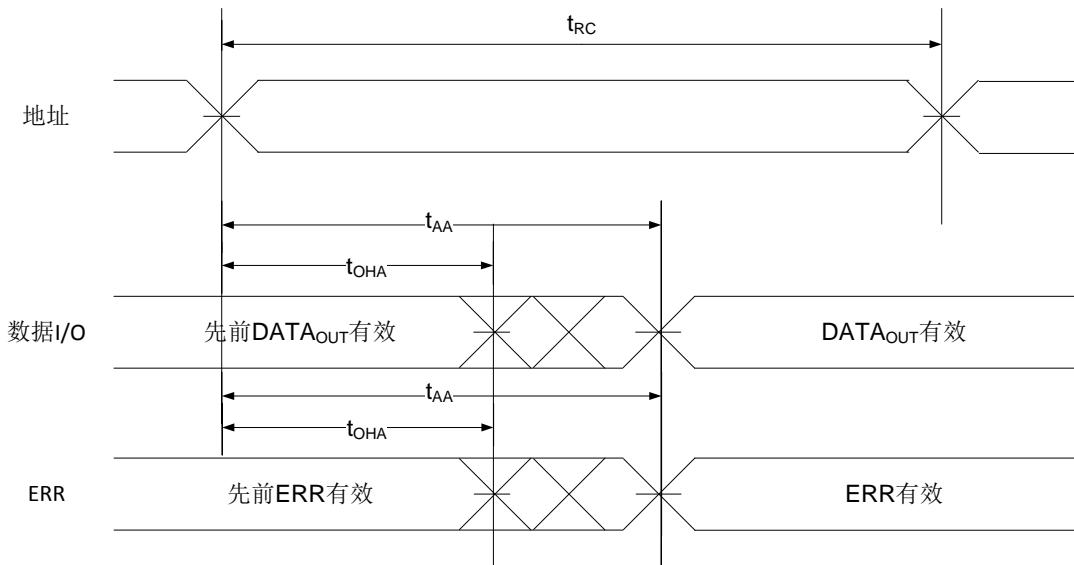


图 10. CY7S1041GE 的第二个读周期（地址转换控制） [27、28、29]

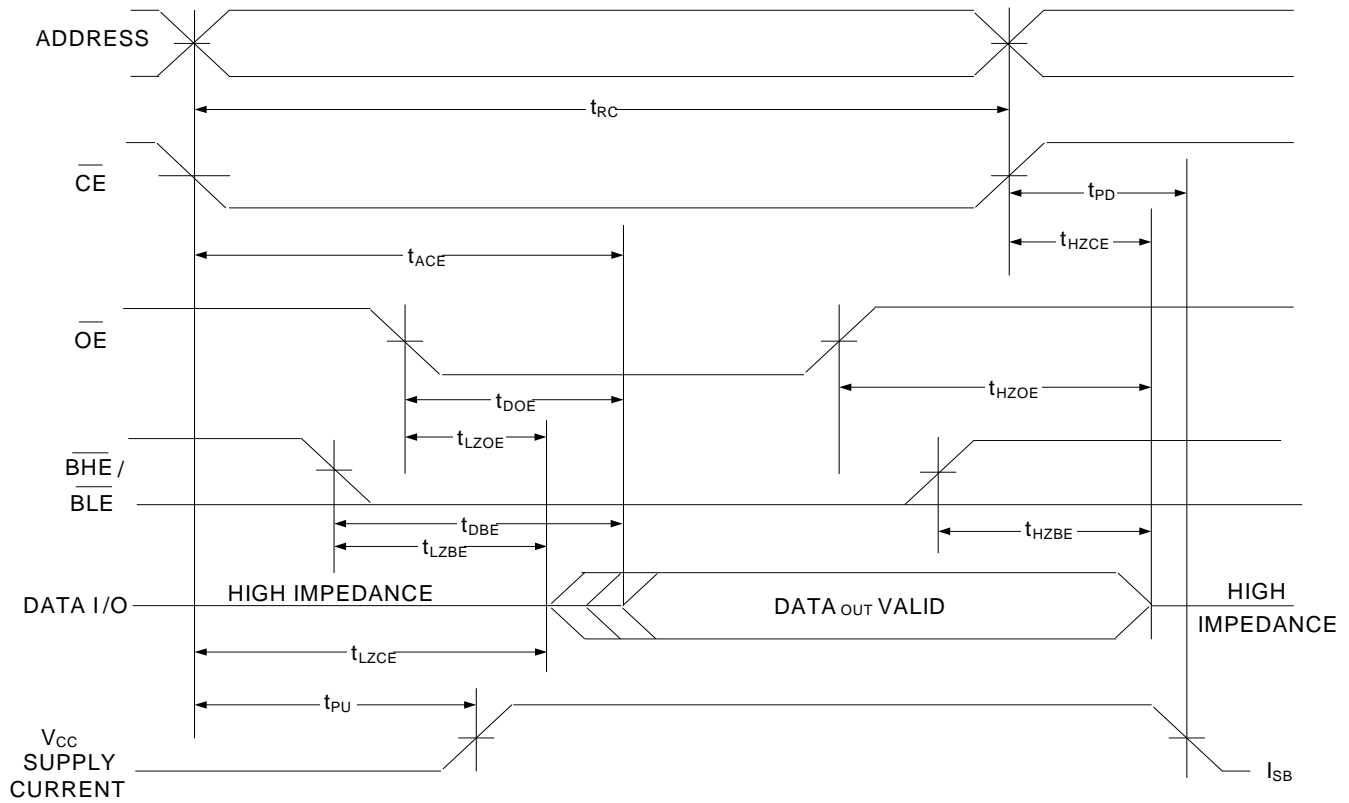


注释:

- 27. 器件被持续选择。 $\overline{OE} = V_{IL}$ 、 $\overline{CE} = V_{IL}$ 、 \overline{BHE} 和 / 或 $\overline{BLE} = V_{IL}$ 。
- 28. 在读周期中， \overline{WE} 为高电平。
- 29. 进行芯片访问时， \overline{DS} 为高电平。

开关波形 (续)

图 11. 第三个读周期 (\overline{OE} 被控制) [30、31、32]



注释:

- 30. 在读周期中, \overline{WE} 为高电平。
- 31. 地址在 \overline{CE} 转为低电平之前有效, 或者其有效状态同该引脚转为低电平同时发生。
- 32. 进行芯片访问时, 必须将 \overline{DS} 置于高电平。

开关波形 (续)

图 12. 第一个写周期 (\overline{CE} 被控制) [33、34、35]

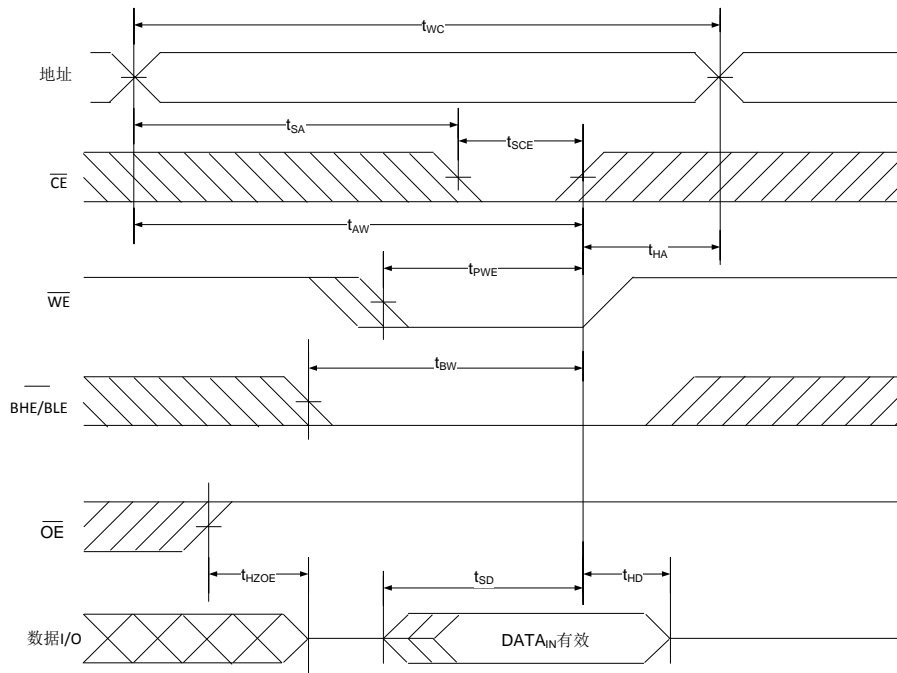
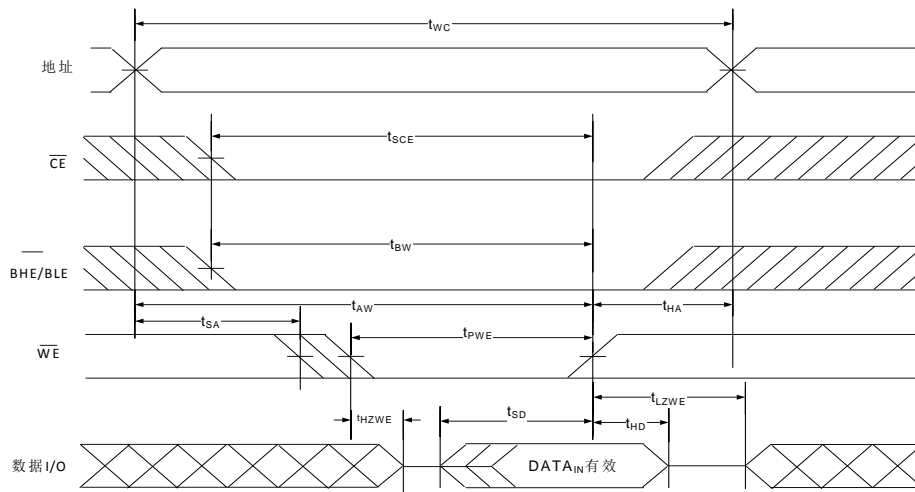


图 13. 第二个写周期 (\overline{WE} 被控制, \overline{OE} 为低电平) [33、34、35、36]



注释:

33. 通过重叠 $\overline{WE} = V_{IL}$ 、 $\overline{CE} = V_{IL}$ 、 $\overline{DS} = V_{IH}$ 和 \overline{BHE} 或 $\overline{BLE} = V_{IL}$, 可以定义存储器的内部写入时间。必须将 \overline{WE} 、 \overline{CE} 、 \overline{BHE} 和 \overline{BLE} 信号置于低电平并将 \overline{DS} 置于高电平才能启动写操作。如果有任何 \overline{WE} 、 \overline{CE} 、 \overline{BHE} 和 \overline{BLE} 信号转换为高电平或 \overline{DS} 信号转为低电平, 那么该操作将被终止。终止写入操作的信号边沿作为输入数据建立和保持时序的参考源。
34. 如果 $\overline{CE} = V_{IH}$, 或 $\overline{OE} = V_{IH}$ 或 \overline{BHE} , 和 / 或 $\overline{BLE} = V_{IH}$, 数据 I/O 将处于高阻态。
35. 进行芯片访问时, 必须将 \overline{DS} 置于高电平。
36. 第二个写周期 (\overline{WE} 被控制, \overline{OE} 为低电平) 的最小写入脉冲宽度为 t_{HZWE} 和 t_{SD} 的总和。

开关波形 (续)

图 14. 第三个写周期 (\overline{WE} 被控制) [37、38、39]

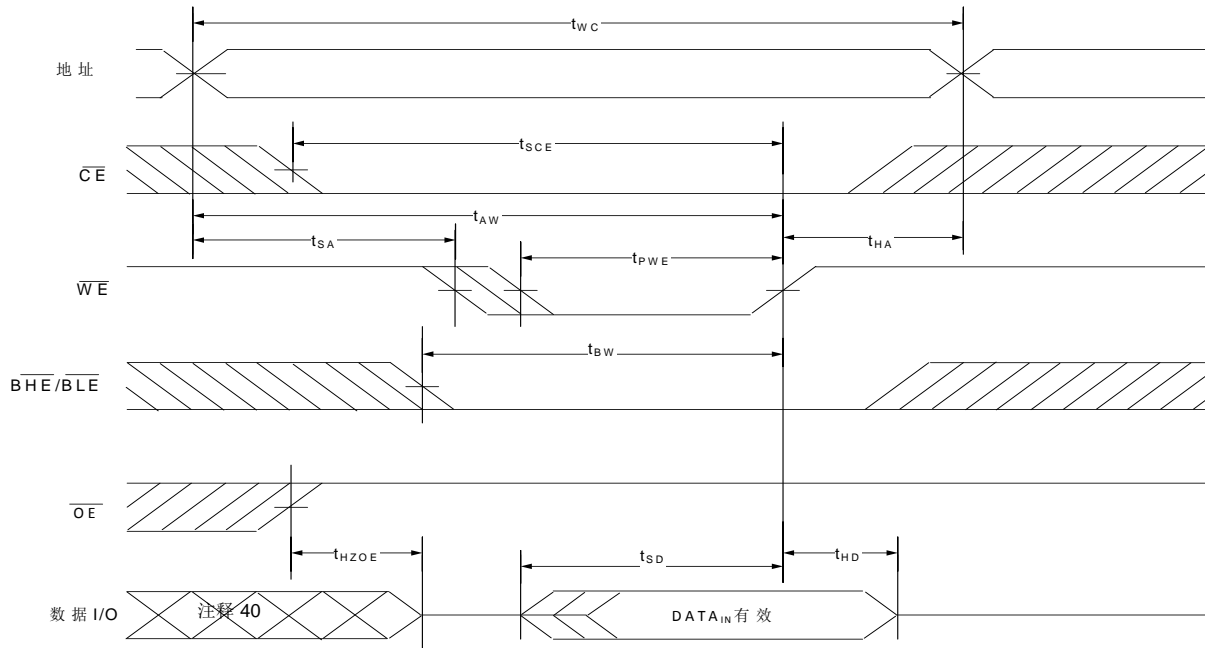
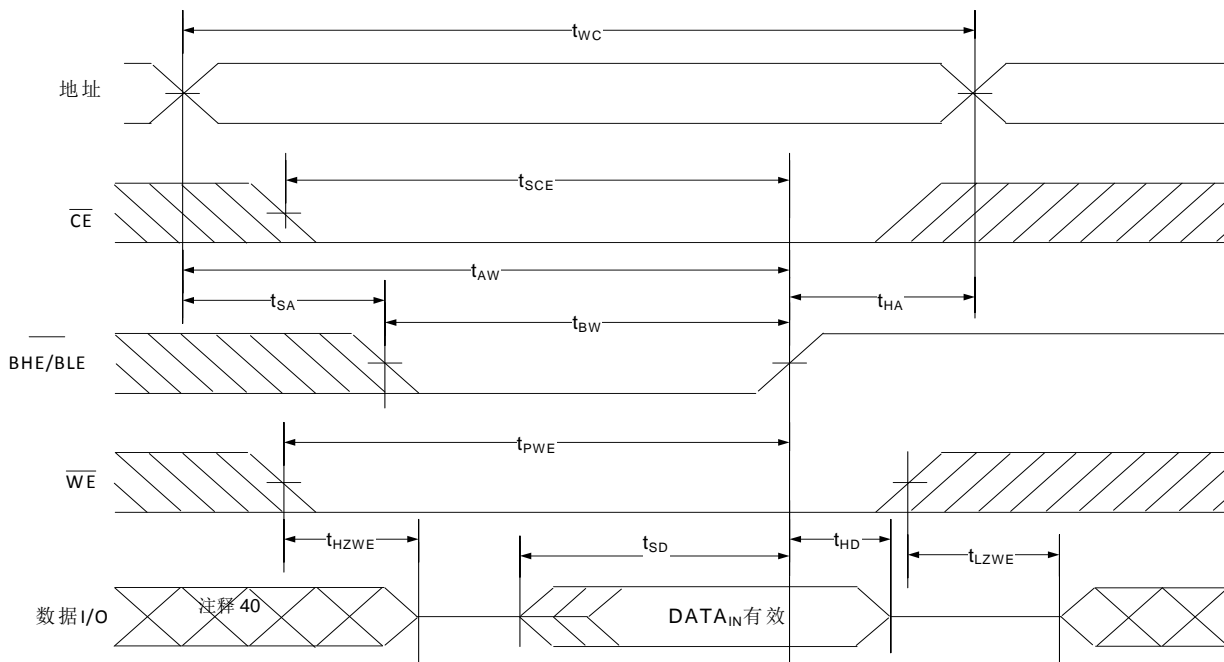


图 15. 第四个写周期 (\overline{BLE} 或 \overline{BHE} 被控制) [37、38、39]



注释:

37. 通过重叠 $\overline{WE} = V_{IL}$ 、 $\overline{CE} = V_{IL}$ 、 $\overline{DS} = V_{IH}$ 和 \overline{BHE} 或 $\overline{BLE} = V_{IL}$ ，可以定义存储器的内部写入时间。必须将 \overline{WE} 、 \overline{CE} 、 \overline{BHE} 和 \overline{BLE} 信号置于低电平并将 \overline{DS} 置于高电平以启动写操作；如果 \overline{WE} 、 \overline{CE} 、 \overline{BHE} 和 \overline{BLE} 信号有任何一个转换为高电平或 \overline{DS} 信号转为低电平，该操作将终止。终止写入操作的信号边沿作为输入数据建立和保持时序的参考源。
38. 如果 $\overline{CE} = V_{IH}$ 或 $\overline{OE} = V_{IH}$ 或 $\overline{DS} = V_{IL}$ 或 \overline{BHE} 和 / 或 $\overline{BLE} = V_{IH}$ ，数据 I/O 将处于高阻态。
39. 进行芯片访问时，必须将 \overline{DS} 置于高电平。
40. 在该过程中，I/O 处于输出状态。请勿采用输入信号。

真值表

\overline{DS}	\overline{CE}	\overline{OE}	\overline{WE}	\overline{BLE}	\overline{BHE}	I/O ₀ 到 I/O ₇	I/O ₈ 到 I/O ₁₅	模式	功耗
H	H	X ^[41]	X ^[41]	X ^[41]	X ^[41]	高阻态	高阻态	待机	待机 (I _{SB})
H	L	L	H	L	L	数据输出	数据输出	读取所有位	活动 (I _{CC})
H	L	L	H	L	H	数据输出	高阻态	仅读取低位	活动 (I _{CC})
H	L	L	H	H	L	高阻态	数据输出	仅读取高位	活动 (I _{CC})
H	L	X	L	L	L	数据输入	数据输入	写入所有位	活动 (I _{CC})
H	L	X	L	L	H	数据输入	高阻态	仅写入低位	活动 (I _{CC})
H	L	X	L	H	L	高阻态	数据输入	仅写入高位	活动 (I _{CC})
H	L	H	H	X	X	高阻态	高阻态	选中, 输出被禁用	活动 (I _{CC})
L ^[42]	X	X	X	X	X	高阻态	高阻态	深度睡眠	深度睡眠超低功耗 (I _{DS})

ERR 输出 — CY7S1041GE

输出 ^[43]	模式
0	读操作, 存储数据中没有单比特错误。
1	读操作, 检测到并纠正了单比特错误。
HI-Z	取消选择器件 / 禁用输出 / 写操作。

注释:

41. 这些引脚上的输入电压电平应为 V_{IH} 或 V_{IL}。

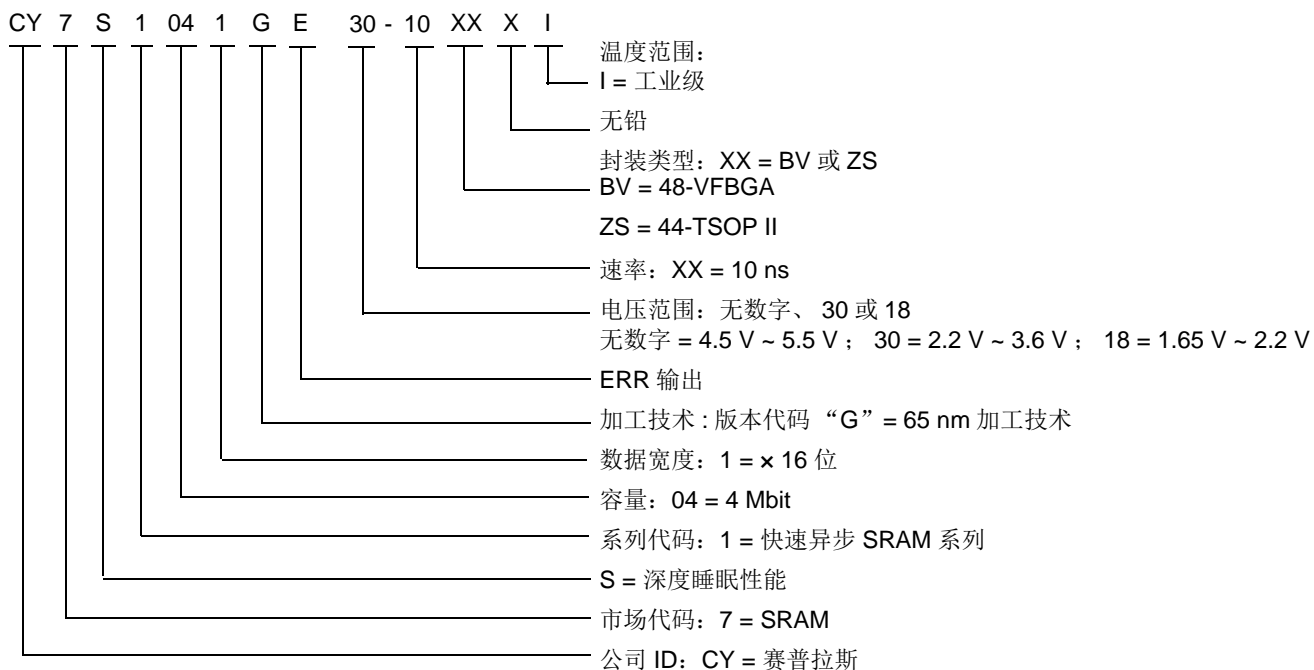
42. DS 上的 V_{IL} 必须 ≤ 0.2 V。

43. ERR 是一个输出引脚。如果未使用该引脚, 它会处于悬空状态。

订购信息

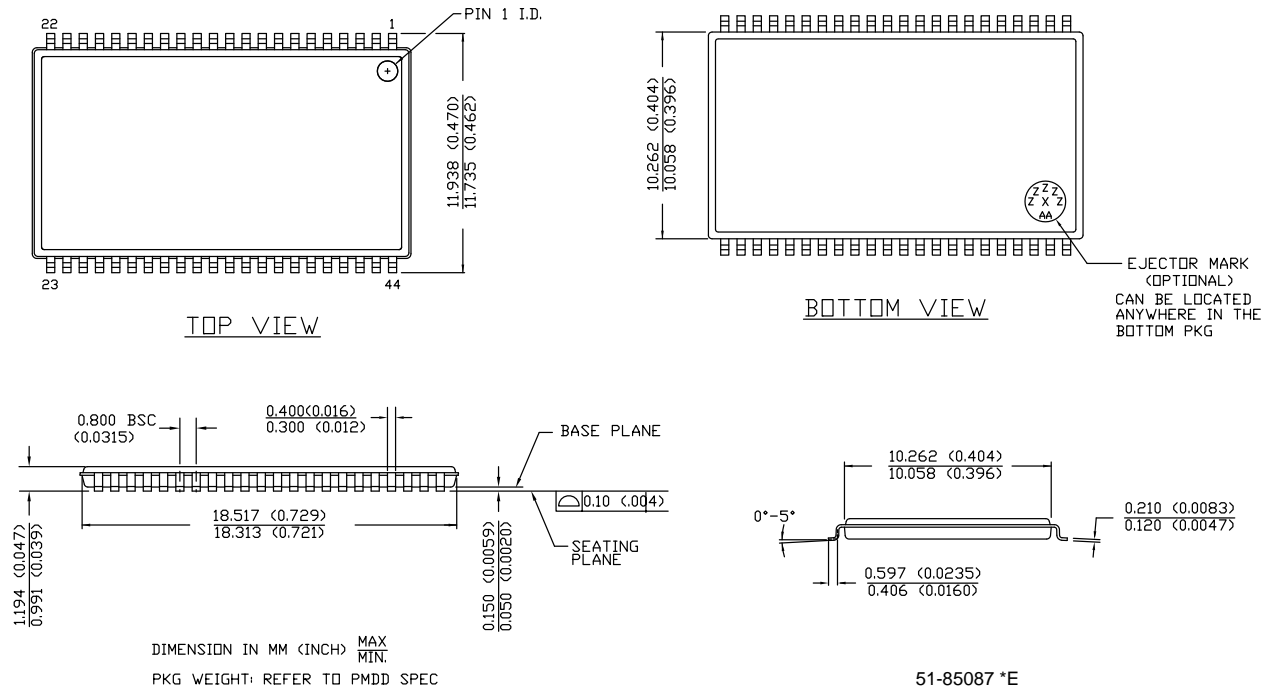
速率 (ns)	电压范围	订购代码	封装图	封装类型 (所有类型都无铅)	工作范围
10	2.2 V–3.6 V	CY7S1041GE30-10BVXI	51-85150	48-VFBGA (6 × 8 × 1.0 mm), ERR 输出	工业级
		CY7S1041G30-10BVXI	51-85150	48-VFBGA (6 × 8 × 1.0 mm)	
		CY7S1041G30-10ZSXI	51-85087	44-TSOP II	
	4.5 V–5.5 V	CY7S1041G-10ZSXI	51-85087	44-TSOP II	

订购代码定义



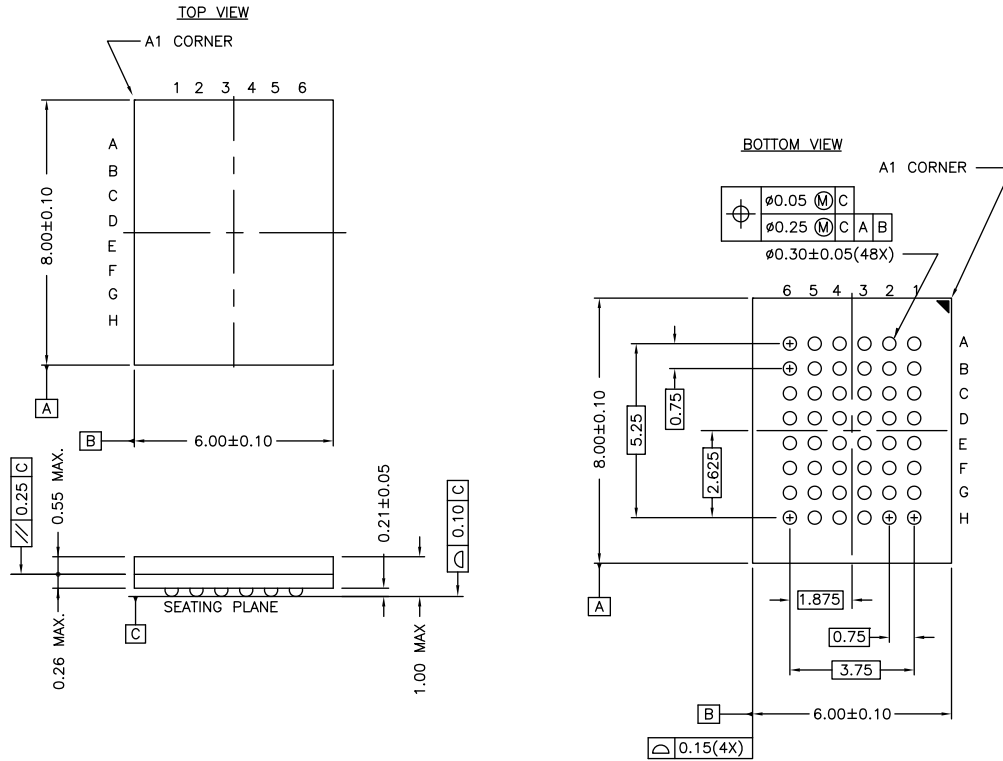
封装图

图 16. 44-TSOP II 封装外形, 51-85087



封装图 (续)

图 17. 48-VFBGA (6 × 8 × 1.0 mm) BV48/BZ48 封装外形, 51-85150



NOTE:
PACKAGE WEIGHT: See Cypress Package Material Declaration Datasheet (PMDD) posted on the Cypress web.

51-85150 *H

缩略语

缩略语	说明
BHE	字节高电平使能
$\overline{\text{BLE}}$	字节低电平使能
$\overline{\text{CE}}$	芯片使能
CMOS	互补金属氧化物半导体
ECC	纠错码
I/O	输入 / 输出
$\overline{\text{OE}}$	输出使能
SRAM	静态随机存取存储器
TSOP	薄小型封装
TTL	晶体管 - 晶体管逻辑
VFBGA	间距极细的球栅阵列
$\overline{\text{WE}}$	写入使能

文档规范

测量单位

符号	测量单位
°C	摄氏度
MHz	兆赫兹
μA	微安
μs	微秒
mA	毫安
mm	毫米
ns	纳秒
Ω	欧姆
%	百分比
pF	皮法
V	伏特
W	瓦特

文档修订记录

文档标题: CY7S1041G/CY7S1041GE, 带有 PowerSnooze™ 和纠错码 (ECC) 的 4 Mbit (256K 字 × 16 位) 静态 RAM
文档编号: 001-96518

版本	ECN 编号	变更者	提交日期	变更说明
**	4669806	LISZ	03/30/2015	本档版本号为 Rev**, 译自英文版 001-92576 Rev*A。
*A	4984947	LISZ	10/26/2015	本档版本号为 Rev*A, 译自英文版 001-92576 Rev*D。
*B	5154135	LISZ	02/29/2016	本档版本号为 Rev*B, 译自英文版 001-92576 Rev*E。

销售、解决方案和法律信息

全球销售和设计支持

赛普拉斯公司拥有一个由办事处、解决方案中心、厂商代表和经销商组成的全球性网络。要找到离您最近的办事处，请访问[赛普拉斯所在地](#)。

产品

汽车级产品	cypress.com/go/automotive
时钟与缓冲器	cypress.com/go/clocks
接口	cypress.com/go/interface
照明与电源控制	cypress.com/go/powerpsoc
存储器	cypress.com/go/memory
PSoC	cypress.com/go/psoc
触摸感应产品	cypress.com/go/touch
USB 控制器	cypress.com/go/USB
无线 / 射频	cypress.com/go/wireless

PSoC® 解决方案

psoc.cypress.com/solutions
[PSoC 1](#) | [PSoC 3](#) | [PSoC 4](#) | [PSoC 5LP](#)

赛普拉斯开发者社区

[社区](#) | [论坛](#) | [博客](#) | [视频](#) | [训练](#)

技术支持

cypress.com/go/support

© 赛普拉斯半导体公司，2014-2016。此处所包含的信息可随时更改，恕不另行通知。除赛普拉斯产品内嵌的电路外，赛普拉斯半导体公司不对任何其他电路的使用承担任何责任。也不根据专利或其他权利以明示或暗示的方式授予任何许可。除非与赛普拉斯签订明确的书面协议，否则赛普拉斯不保证产品能够用于或适用于医疗、生命支持、救生、关键控制或安全应用领域。此外，对于可能发生运转异常和故障并对用户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统中，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

所有源代码（软件和/或固件）均归赛普拉斯半导体公司（赛普拉斯）所有，并受全球专利法规（美国和美国以外的专利法规）、美国版权法以及国际条约规定的保护和约束。赛普拉斯据此向获许可者授予适用于个人的、非独占性、不可转让的许可，用以复制、使用、修改、创建赛普拉斯源代码的派生作品、编译赛普拉斯源代码和派生作品，并且其目的只能是创建自定义软件和/或固件，以支持获许可者仅将其获得的产品依照适用协议规定的方式与赛普拉斯集成电路配合使用。除上述指定的用途外，未经赛普拉斯明确的书面许可，不得对此类源代码进行任何复制、修改、转换、编译或演示。

免责声明：赛普拉斯不针对此材料提供任何类型的明示或暗示保证，包括（但不限于）针对特定用途的适销性和适用性的暗示保证。赛普拉斯保留在不做通知的情况下对此处所述材料进行更改的权利。赛普拉斯不对此处所述之任何产品或电路的应用或使用承担任何责任。对于合理预计可能发生运转异常和故障，并对用户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统中，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

产品使用可能受适用于赛普拉斯软件许可协议的限制。