

PGT180H 产品数据手册

(DS01001, Version 1.8)

(2020.4.1)

深圳市紫光同创电子有限公司

版权所有侵权必究

目 录

一.	产品概述	5
二.	产品特性	5
三.	功能模块	8
四.	电特性	15
五.	热阻信息	32
六.	Titan 系列 FPGA 订货信息	32
七.	应用指南	32
八.	使用操作规程及注意事项	33
九.	运输与储存	33
十.	开箱与检查	33
十一.	质量保障与售后服务	34
十二.	联系方式	34
	附录: 更新记录	35
	免责声明	38

表目录

表 1 PGT180H资源列表.....	5
表 2 产品质量等级.....	5
表 3 产品封装信息.....	5
表 4 DRM支持的配置模式.....	10
表 5 器件绝对极限电压.....	15
表 6 硬核绝对极限电压.....	15
表 7 器件推荐的工作电压.....	16
表 8 硬核推荐的工作电压.....	16
表 9 输入AC过冲极限值.....	17
表 10 ESD指标.....	18
表 11 典型工作条件下的DC特性.....	18
表 12 静态电流.....	18
表 13 上电过程最小电流.....	19
表 14 上电过程电源爬升时间.....	19
表 15 单端IO输入输出DC直流特性.....	19
表 16 单端IO电平标准的输出电流.....	20
表 17 LVDS IO电平标准的输入输出DC电压值.....	21
表 18 差分IO电平标准的驱动电流和终端电阻.....	22
表 19 HSST的DC特性.....	22
表 20 LVDS性能.....	22
表 21 存储接口性能.....	23
表 22 DRM性能.....	23
表 23 算数处理单元性能.....	23
表 24 IOB开关特性.....	24
表 25 IOB三态使能时的开关特性.....	25
表 26 IOL寄存器的开关特性.....	25
表 27 Deserializer开关特性.....	26
表 28 Serializer开关特性.....	26
表 29 PLL的AC特性.....	27
表 30 全局时钟AC特性.....	27
表 31 区域时钟AC特性.....	28
表 32 IO时钟AC特性.....	28
表 33 配置和编程AC特性.....	28
表 34 各下载模式AC特性.....	29
表 35 HSST支持的最大速率.....	30
表 36 HSST动态重配开关特性.....	30
表 37 HSST参考时钟开关特性.....	30
表 38 HSST用户时钟开关特性.....	30
表 39 发送侧开关特性.....	31
表 40 接收侧开关特性.....	31

表 41 热阻参数32

图目录

图 1 Titan系列FPGA订货信息32

术语、缩略语列表

术语、缩略语	英文全称	含义
CLM	Configurable Logic Module	可配置逻辑模块
DRM	Dedicated RAM Module	专用 RAM 模块
APM	Arithmetic Process Module	算术处理模块
HSST	High Speed Serial Transceiver	高速串行接口模块
PMA	Physical Media Adaptation layer	物理媒介适配层
PCS	Physical Coding Sublayer	物理编码子层
LUT4	4-input Look-up Tables	4 输入查找表
LUT5	5-input Look-up Tables	5 输入查找表
LUT6	6-input Look-up Tables	6 输入查找表
PCIe	Peripheral Component Interconnect express	高速外设部件互连标准
XAUI	10G Ethernet Attachment Unit Interface	10G 以太网连接单元接口
GigE	Gigabit Ethernet interface	千兆以太网接口
CPRI	Common Public Radio Interface	通用公共无线电接口
SRIO	Serial Rapid I/O	高速串行 I/O 口
VCO	Voltage Controlled Oscillator	压控振荡器
DDR	Double Data Rate	双倍数据速率
JTAG	Joint Test Action Group	联合测试工作组
SPI	Serial Peripheral Interface	串行外设接口
LVDS	Low-Voltage Differential Signaling	低压差分信号
ESD	Electro-Static Discharge	静电阻抗器
PLL	Phase Locked Loop	锁相环
OSC	Oscillator System Clock	系统振荡器时钟

一. 产品概述

PGT180H 可编程逻辑器件是深圳市紫光同创电子有限公司推出的 Titan 系列高性能 FPGA 中的产品,它采用了完全自主产权的体系结构和主流的 40nm 工艺。包含创新的可配置逻辑单元 (CLM)、专用的 18Kb 存储单元 (DRM)、算术处理单元 (APM)、高速串行接口模块 (HSST)、多功能高性能 IO 以及丰富的片上时钟资源等模块,广泛适用于通信、视频、工业控制等多个应用领域。

表 1 PGT180H 资源列表

器件	等效 LUT4	CLM		DRM		APM		PLL (个)	MAX USRIO (个)	HSST (个)
		CLM (个)	Distributed RAM (bits)	DRM (个)	DRM (Kbits)	APM (个)	18bit mult (个)			
PGT180H_FF1152	174,019	36254	583,872	526	9,468	224	448	8	611	3
PGT180H_FF1140	174,019	36254	583,872	526	9,468	224	448	8	611	3

注 1: 每个 CLM 包含 4 个多功能 LUT5 和 6 个寄存器;每个多功能 LUT5 等效为 1.2 个 LUT4

注 2: 芯片中四分之一的 CLM 可配置为 64bits 的 Distributed RAM。

产品质量等级说明如下表所示。

表 2 产品质量等级

产品系列	器件	速度等级和温度范围	
		Commercial (C) 0°C to 85°C	Industrial (I) -40°C to 100°C
Titan	PGT180H1152	-5C, -6C, -7C	-5I, -6I, -7I
	PGT180H1140	-5C, -6C, -7C	-5I, -6I, -7I

表 3 产品封装信息

封装信息	FFBG1152 (35mm*35mm, 1.0mm)	FFBG1140 (35mm*35mm, 1.0mm)
器件		
PGT180H	611/153 ¹	611/153

注 1: 611/153 表示 611 个 user IO, 153 对真差分输出管脚

二. 产品特性

PGT180H 主要特性包括:

CLM

- 采用创新的 LUT5 逻辑结构
- 每个 CLM 包含 4 个多功能 LUT5
- 每个 CLM 包含 6 个寄存器
- 支持算术功能模式
- 支持快速算术进位逻辑
- 可高效实现多路选择功能
- 支持分布式 RAM 模式
- 支持级联链

DRM

- 单个 DRM 提供多达 18,432bits 存储空间
- 支持多种工作模式, 包括单口 (SP, Single Port) RAM、双口 (DP, Dual Port) RAM、简单双口 (SDP, Simple Dual Port) RAM、ROM 以及 FIFO 模式
- 双口 RAM 和简单双口 RAM 支持双端口混合数据位宽
- 可选的输出寄存器
- 支持 Byte-Write 功能
- 可选的数据地址锁存功能

APM

- 支持宽位乘运算, 每个 APM 内嵌两个 18*18 单元, 可组合完成 27*27 运算
- 可灵活配置支持乘法, 乘加, 乘加和, 乘累加和 FIR 模式, 可选的输入、输出及两级内部流水寄存器
- 可选的预加 (preadd) 功能, 在具有一定对称性的应用中可取得双倍的计算能力
- 集成 64bit Postadd
- 支持优化的 FIR 应用模式
- 支持部分输入的动态选择, 可以通过对 APM 分时复用获得更高的使用效率

HSST

- 支持 Data Rate 速率: 1.1Gbps-5.0Gbps, 支持的速率不连续
- 灵活的参考时钟选择方式
- 发送通道和接收通道可独立配置, 各发送通道之间的数据率只能是 1 倍, 2

倍和 4 倍关系

- Programmable Output Swing and De-emphasis
- PMA Rx/Tx 支持 SSC
- 数据通道支持 8bit only, 10 bit only, 8b10b 8bit, 16bit only, 20bit only, 8b10b 16bit, 32bit only, 40bit only 以及 8b10b 32bit 模式
- 可灵活配置的 PCS, 可支持 PCIe GEN1, PCIe GEN2, XAUI, GigE, CPRI, SRIO 等协议
- 灵活的 Word Alignment 功能
- 支持 Rx Clock Slip 功能以保证固定的 Receive Latency
- 支持协议标准 8b/10b 编码解码
- 灵活的 CTC 方案
- 支持 x2 和 x4 的 Channel Bonding
- 支持通过 HSST 的动态配置
- 近端环回和远端环回模式
- 内部 PRBS 功能

IO

- 基于 Bank 的 IO 分组, VCCIO 支持 1.2V,1.5V,1.8V,2.5V 或 3.3V
- 支持多种输入输出标准
- 支持高性能的 LVDS,PPDS 和 RSDS 等差分标准
- LVDS 支持速率可达 800Mb/s
- 可编程的 IO BUFFER, 内置上拉/下拉电阻
- 高性能的 IO LOGIC, 满足各种接口应用
- 专用接口电路, 支持 DDR/DDR2/DDR3 memory 接口, DDR 的接口数据速率可达 400Mb/s, DDR2 可达 667Mb/s, DDR3 可达 800Mb/s

CLK

- 基于象限的 GLOBAL CLK 网络, 每个象限支持 14 个 GLOBAL CLK。时钟频率可达 500MHz
- 每个 Region 支持两个 REGIONAL CLK
- 水平方向两个 Region 可作为一个大 Region 共享 REGIONAL CLK 资源

- 支持多个 IO CLK
- 集成多个 PLL
- 每个 PLL 支持多达 5 个时钟输出
- 支持 PLL 的动态配置
- PLL 支持简易小数分频功能
- 集成多个 DLL

配置

- 支持多种编程模式
- JTAG 模式符合 IEEE 1149.1 和 IEEE 1532 标准
- Master SPI 可选择 1/2/4bits 数据位宽，有效提高编程速度
- 支持 Serial slave 模式
- 支持 Parallel slave 模式
- 支持 Bitstream 加密
- 支持编程下载工具 Fabric Configuration
- 支持在线调试工具 Fabric Debugger

三. 功能模块

3.1、逻辑单元 CLM

CLM (Configurable Logic Module, 可配置逻辑模块) 是 PGT180H 的基本逻辑单元, 它主要由多功能 LUT5, 寄存器以及扩展功能选择器等组成。CLM 在 Titan 系列产品中按列分布, 支持 CLMA 和 CLMS 两种形态, 其分布比例为 3:1。CLMA 和 CLMS 均支持逻辑功能, 算术功能以及寄存器功能, 仅有 CLMS 支持分布式 RAM 功能。CLM 与 CLM 之间, CLM 与其它片内资源之间通过信号互连模块联结。

CLMA: 包含 4 个 LUT5A、6 个寄存器、多个扩展功能选择器、以及 4 条独立的级联链等。

CLMS: 是 CLMA 的扩展, 它在支持 CLMA 所有功能的基础上增加了对分布式 RAM 的支持, 其中的多功能 LUT5 称为 LUT5S。

每个 CLM 包含 6 个可配置的寄存器，其可配置的属性主要包括：

- 灵活的数据输入选择
- 支持同步复位，同步置位，异步复位或异步置位模式
- 寄存器的时钟（CLK）、时钟使能（CE）、本地复位/置位（RS）信号均支持极性选择
- 时钟使能（CE）、本地复位/置位（RS）信号均支持快速级联链
- 支持移位寄存器的快速级联链

3.2、时钟资源 CLK

Titan 系列产品提供了丰富的时钟资源，包括基于象限的 GLOBAL CLK；基于 Region 的 REGIONAL CLK；专注于高速接口应用的 IO CLK；提供倍频锁相功能的 PLL 以及提供延迟锁相功能的 DLL。此外，Titan 系列产品还提供了 CLK 相关的特殊 IO，包括三类：时钟输入管脚，PLL 参考时钟输入管脚以及 PLL 反馈输入时钟管脚。

GLOBAL CLK

GLOBAL CLK 按象限分布,整个芯片器件被分割成四个象限,每个象限有各自独立的 14 个 GLOBAL CLK 网络。当某个时钟信号同时被四个象限的 GLOBAL CLK 使用时，该时钟源可以驱动整个芯片。

REGIONAL CLK

REGIONAL CLK 按 Region 分布,每个 Region 有各自独立的 2 个 REGIONAL CLK 网络。除了驱动本地 Region,也可以通过时钟选择器将水平方向相邻的两个 REGIONAL CLK 联在一起作为一个大 Region 使用。

IO CLK

IO CLK 为 Titan 芯片提供高速时钟,常用于高速接口逻辑。与 GLOBAL CLK 和 REGIONAL CLK 不同的是，IO CLK 仅覆盖 IO 部分，与 CLM/APM/DRM 作数据交换需要通过 GLOBAL/REGIONAL CLK。

PLL

PGT180H 产品中包含 8 个 PLL，支持多达 5 个时钟输出端口。其主要特性为：可频率综合及相位调整，可进行输入时钟动态选择。VCO 频率范围为

600MHz~1300MHz，支持外部反馈和内部反馈两种反馈模式，支持动态配置。具有可选的输出时钟 gate，可选的可编程 phase shift，可选的简易小数分频功能等。

DLL

PGT180H 产品中包含 8 个 DLL，主要功能是动态锁定输入参考时钟的频率，输出该时钟周期的四分之一等效 delay step 数目。IO 将利用这个 delay step 完成输入信号（如输入 DQS）的 1/4 周期延迟，以正确采样数据。

3.3、存储单元 DRM

DRM (Dedicated RAM Module, 专用 RAM 模块) 为芯片提供了丰富的片上 RAM 资源，DRM 在 Titan 系列产品中按列分布,每个 DRM 提供 18,432bits 存储空间。

DRM 主要有几种工作模式：单口 RAM 模式，双口 RAM 模式，简单双口 RAM 模式，ROM 模式以及 FIFO 模式。DRM 可配置的大小包括：

表 4 DRM 支持的配置模式

模式	可配置的大小								
	16K*1	8K*2	4K*4	2K*8	1K*16	512*32	2K*9	1K*18	512*36
SPRAM	√	√	√	√	√	√	√	√	√
DPRAM	√	√	√	√	√	NA	√	√	NA
SDPRAM	√	√	√	√	√	√	√	√	√
ROM	√	√	√	√	√	√	√	√	√
通用 FIFO	√	√	√	√	√	√	√	√	√

DRM 的其它功能：

- Byte Write 模式
- 可选的输出寄存器
- 写操作模式
- 输入地址锁存功能

3.4、运算单元 APM

APM (Arithmetic Process Module, 算术处理模块) 为 Titan 系列产品提供了高效的数字信号处理能力。在 Titan 系列产品中，APM 按列分布。

APM 由以下四个功能单元组成：

Input Unit: 实现输入数据的选择与寄存，用户根据需要选择使用或不使用输入/输出寄存器。

Preadd Unit: 支持四个 8+/-8、两个 18+/-18 或一个 26+/-26 的预加减运算，内部还支持一级流水寄存器。

Mult Unit: 支持四个 9*9、两个 18*18、两个 18*19（需 Preadd Unit 使能）、一个 27*27 或一个 18*36 乘运算，其内部还支持一级流水寄存器。

Postadd Unit: 支持专用的级联数据接口，包括两级加减法单元，支持可选的输出寄存器，可实现累加器的预置，溢出判断逻辑等功能。

APM 的工作模式分为以下几种：

- 乘法模式
- 乘加模式
- 乘加和模式
- 乘累加模式
- FIR 模式

在 FIR 的工作模式下，APM 专用电路可高效地完成 FIR 运算。按照精度不同分为两种模式：单个 APM 配置实现精度为 18bit 的两级 FIR 运算；单个 APM 配置实现精度为 27bit 的一级 FIR 运算。

3.5、输入输出 I/O

Titan 系列产品的 IO 按照 BANK 分布，其中每个 IO BANK 均有独立的 VCCIO 电源，可为 1.2V、1.5V、1.8V、2.5V 或 3.3V。PGT180H 包含 13 个 IO BANK。

IO 支持多种 IO 标准，包括各种单端 IO 标准和差分 IO 标准。

IO PAD 成对分布，分别记为 TRUE PAD 和 COMPPAD，在差分 IO 标准应用中，它们组成差分对。Titan 系列产品的每个差分对均可用作差分输入。

Titan 系列产品的 IO 主要由 IO BUFFER 和 IO LOGIC 两部分组成。

除了支持多种 IO 标准之外，IO BUFFER 还支持以下功能：

- Hot-Socketing 支持，属性使芯片在热插拔的时候不会由于泄漏电流过大而导致损坏

- 可配置的内部上拉/下拉/总线保持等功能
- 输入迟滞特性
- Open-Drain 控制
- 三态控制输出
- 可编程 slew rate
- 输入阻抗匹配
- 可编程输出驱动

PGT180H 的 IO LOGIC 支持各种高速接口,除了数据直接输入输出和 IO 寄存器输入输出,还支持以下功能:

- 针对高速接口,支持 1 比 2;1 比 4;1 比 7;1 比 8 以及 1 比 10 的输入 Deserializer。
- 针对高速接口,支持 2 比 1;4 比 1;7 比 1;8 比 1 以及 10 比 1 的输出 Serializer。
- 内置 IO 延迟功能,可以动/静态调整输入/出延迟。
- DPI (Dynamic Phase Inspection, 动态相位检测) 电路用于监控实时监测数据采样窗口,和前面的 IO 延迟功能配合使用,可实现采样位置的动态调整。
- 内置输入 FIFO,主要用于完成从外部非连续 DQS (针对 DDR memory interface) 到内部连续时钟的时钟域转换;和一些特殊的 Generic DDR 应用中采样时钟和内部时钟的相差补偿。
- 优化结构,以支持外部 DDR/DDR2/DDR3 SDRAM memory 接口

为支持外部 DDR/DDR2/DDR3 SDRAM memory 接口,右侧 Bank 中的 IO 又各分为多个 IO GROUP,每个 IO GROUP 一般包含 12~14 个 IO,用于支持 DDR memory 接口的一个 DQS group。每个 IO GROUP 配有一个专用的 DQS 控制电路,其主要功能包括:

- gate 输入的 DQS,以去除噪声影响
- 对 gate 后的 DQS 进行 90 度相移,以便捕获输入数据
- 产生正确的 read_valid 信号
- 为 IO GROUP 内 IO LOGIC 的 IFIFO 产生读写地址信号
- 支持 DDR3 的 write leveling

3.6、高速串行接口 HSST

HSST (High Speed Serial Transceiver 高速串行接口模块)是内置于 Titan 系列产品的高速串行接口模块，Data Rate 高达 5.0Gbps。HSST 集成了丰富的 PCS 功能，可灵活应用于各种串行协议标准。Titan 系列产品内部的 HSST 按照 Quad 分布，每个 HSST Quad 支持四个全双工收发 Channel。PGT180H 包含 3 个 HSST Quad，共可支持 12 个全双工收发 Channel。

HSST Quad 由一个 Tx PLL 和四个收发 Channel 组成，其中每个 Channel 又包括四个主要组成部分：PCS Transmitter 和 PMA Transmitter 组成发送通路，PCS Receiver 和 PMA Receiver 组成接收通路。

HSST 中的四个发送 Channel 共享同一个 Tx PLL，它的 VCO 频率工作范围为 4.25GHz~6.4GHz。Tx PLL 的参考时钟输入可根据需要灵活选择；VCO 输出频率支持动态再分频，以适应 1.1Gbps~5.0Gbps 的 Data Rate 范围。

每个 PCS Transmitter 主要包含以下模块：

- Tx Bridge Reg 模块：实现从内部逻辑到 PCS Transmitter 的数据桥接
- Tx Bridge FIFO 模块：PCS Transmitter 内部时钟域和 Titan 内部逻辑时钟域相位补偿
- 8b10b Encoder 模块：8b10b 编码
- Tx Bit Slip 模块：根据配置对发送数据实现按位 slip
- PRBS Gen 模块：产生 PRBS 测试序列
- Tx Drive Reg 模块：实现从 PCS Transmitter 到 PMA Transmitter 数据桥接

每个 PMA Transmitter 主要包含以下功能模块：

- Serializer 模块：实现从来自 PCS Transmitter 的并行数据到串行数据的转换
- Transmit Emphasis 模块：支持可调节的 De-emphasis 功能
- Transmit Driver 模块：支持可调节的发送驱动
- PCIe Receiver Detect 模块：支持基于 PCI Express 的 Receiver Detection 功能

每个 PMA Receiver 主要包含以下功能模块：

- Receive Front-end 模块：支持多种接收 Termination 模式

- LEQ 模块：支持 Linear Equalizer 功能
- CDR 模块：数据和时钟恢复模块
- LOS Detect 模块：用于检测接收端是否有有效信号
- Deserializer 模块：实现从串行数据到 8 bits, 10bits, 16bits 以及 20bits 并行数据的转换

每个 PCS Receiver 主要包含以下功能模块：

- Rx Sample Reg 模块：实现从 PMARceiver 到 PCS Receiver 的数据桥接
 - PRBS Checker 模块：实现 PRBS 序列的校验
 - Word Alignment 模块：支持灵活的 Word Alignment 功能
 - 8b10b Decoder 模块：8b10b 解码
 - Channel Bonding 模块：实现通道对齐
 - CTC 模块：实现补偿发送时钟和接收时钟的微小频差
 - Rx Bridge FIFO 模块：实现 PCS Receiver 内部时钟域和 Titan 内部逻辑时钟域相位补偿
 - Rx Bridge Reg 模块：实现从 PCSReceiver 到 Titan 内部逻辑的数据桥接
- 用户可以根据不同应用需求，Bypass 其中一些模块，设置各接口之间的数据位宽。

3.7、配置

Titan 系列产品使用 SRAM 单元存储配置数据，它必须在每次上电后重新加载位流。支持以下几种配置模式：

- JTAG 模式，符合 IEEE 1149.1 和 IEEE 1532 标准。对应 MODE[2:0]不同设置，JTAG 模式拥有最高优先级，一直可以使用。
- SPI Master 模式，支持数据位宽 1bit, 2bit 或 4bit。该模式下，Titan 系列产品主动从外部 SPI flash 读取配置数据。对应 MODE[2:0]：001。
- Parallel Slave 模式，支持数据位宽支持 8bit, 16bit 或 32bit。对应 MODE[2:0]：100。
- Serial Slave 模式，对应 MODE[2:0]：000。
- SPI Slave 模式，对应 MODE[2:0]：010（1 位宽）或 011（4 位宽）。

此外，Titan 系列产品还提供以下功能：

- 配置数据流压缩，可有效减小 bitstream 的大小，减少 bitstream 存储空间和编程时间。
- 配置数据流加密可防止恶意抄袭，有效保护客户设计的知识产权。
- JTAG 模式提供专用接口支持在线调试工具和 Boundary-Scan Testing。
- IPAL 接口支持芯片内部逻辑读取配置数据功能，用于 SED (Soft Error Detection) 应用。

配置引脚分为专用配置管脚和可复用配置管脚两类，其中可复用配置管脚在配置过程中为配置引脚，配置完成后可复用为用户 IO。

四. 电特性

4.1、器件绝对极限电压

表 5 器件绝对极限电压

名称	描述	最小值	最大值	单位
VCC	内核 core 电源电压	-0.16	1.21	V
VCCIO	BANK IO 电源电压	-0.16	3.63	V
VCCJ	Jtag 编程供电电压	-0.16	3.63	V
VCCAUX	辅助电源电压	-0.16	3.63	V
VCCAUX_BG	Bandgap 供电电压	-0.16	3.63	V
VDDQ	Efuse IP供电电压	-0.16	3.63	V
V _I	DC 输入电压	-0.16	3.63	V

注：超过上述极限额定值可能导致器件永久性损坏。

4.2、硬核绝对极限电压

表 6 硬核绝对极限电压

名称	描述	最小值	最大值	单位
APOWP_R1	收方向模拟电源电压	-0.16	1.21	V
APOWP_R2	收方向模拟电源电压	-0.16	1.21	V
VDD12_R	收方向1.2V电源电压	-0.16	1.32	V
VDD11_R	收方向 1.1V 电源电压	-0.16	1.21	V
APOWP_T	发方向模拟电源电压	-0.16	1.21	V

VDD11_T	发方向 1.1V 电源电压	-0.16	1.21	V
VDD33	3.3V模拟电源电压	-0.16	3.63	V
VDD12_T	发方向1.2V电源电压	-0.16	1.32	V
VIN	RXP/RXN 绝对输入电压	-0.16	1.32	V
VREFCLK	参考时钟绝对输入电压	-0.16	1.32	V

注：超过上述极限额定值可能导致器件永久性损坏。

4.3、器件推荐工作电压

表 7 器件推荐的工作电压

名称	描述	最小值	典型值	最大值	单位
VCC	内核电源电压	1.045	1.1	1.155	V
VCCIO	BANK IO 电源电压	1.14	--	3.465	V
VCCAUX	辅助电路供电电压	3.135	3.3	3.465	V
VCCAUX_BG	Bandgap 供电电压	3.135	3.3	3.465	V
VDDQ	Efuse IP供电管脚	3.135	3.3	3.465	V
VCCJ	JTAG编程电路供电管脚	3.135	3.3	3.465	V

注：推荐工作电压在典型工作电压偏离±5%范围内。

4.4、硬核推荐工作电压

下表列出 PGT180H 的 HSST 推荐工作电压。

表 8 硬核推荐的工作电压

名称	描述	最小值	典型值	最大值	单位
APOWP_R1	收方向模拟电源电压	1.045	1.1	1.155	V
APOWP_R2	收方向模拟电源电压	1.045	1.1	1.155	V
VDD12_R	收方向1.2V电源电压	1.14	1.2	1.26	V
VDD11_R	收方向 1.1V 电源电压	1.045	1.1	1.155	V
APOWP_T	发方向模拟电源电压	1.045	1.1	1.155	V
VDD11_T	发方向 1.1V 电源电压	1.045	1.1	1.155	V
VDD33	3.3V模拟电源电压	3.135	3.3	3.465	V
VDD12_T	发方向1.2V电源电压	1.14	1.2	1.26	V

4.5、输入 AC 过冲极限值

表 9 输入 AC 过冲极限值

输入 PIN	过冲电压	规格	温度	条件	极限值	单位
I/O 输入电压, 相对于地	OVERSHOOT	工业	100℃	DC	4.02	V
				55%	4.07	V
				30%	4.12	V
				17%	4.17	V
				9.5%	4.22	V
				5.5%	4.27	V
				3.1%	4.32	V
				1.7%	4.37	V
				1.0%	4.42	V
				0.5%	4.47	V
				0.3%	4.52	V
				0.2%	4.57	V
				0.1%	4.62	V
	UNDERSHOOT	工业	100℃	DC	-0.16	V
				72%	-0.21	V
				55%	-0.26	V
				40%	-0.31	V
				30%	-0.36	V
				22%	-0.41	V
				17%	-0.46	V
				12%	-0.51	V
				10%	-0.56	V
				8%	-0.61	V
6%	-0.66	V				
4%	-0.71	V				
3%	-0.76	V				

4.6、ESD (HBM, CDM), Latch Up 指标

表 10 ESD 指标

器件	Human Body Model (HBM)	Charge Device Model (CDM)	Latch-up
PGT180H	±2000V	±500V(HSST 管脚为±350V)	±100mA

4.7、器件典型工作条件下的 DC 特性参数

表 11 典型工作条件下的 DC 特性

名称	描述	最小值	典型值	最大值	单位
I_{REF}	V_{REF} 漏电流	--	--	10	uA
I_{IL}	每个 PIN 脚的低电平输入漏电流	-10	--	10	uA
I_{IH}	每个 PIN 脚的高电平输入漏电流	-200	--	2000	uA
I_{DK}	Hot socket 保护电路最大漏电流	-200	--	6000	uA
I_{PU}	管脚上拉 pull-up@VIN=0V, $V_{CCIO}=3.3V$	-400	--	-30	μA
	管脚上拉 pull-up@VIN=0V, $V_{CCIO}=2.5V$	-400	--	-30	μA
	管脚上拉 pull-up@VIN=0V, $V_{CCIO}=1.8V$	-1000	--	-30	μA
	管脚上拉 pull-up@VIN=0V, $V_{CCIO}=1.5V$	-1200	--	-30	μA
	管脚上拉 pull-up@VIN=0V, $V_{CCIO}=1.2V$	-1500	--	-30	μA
I_{PD}	管脚下拉 pull-down@VIN=3.3V, $V_{CCIO}=3.3V$	30	--	200	μA
	管脚下拉 pull-down@VIN=2.5V, $V_{CCIO}=2.5V$	30	--	200	μA
	管脚下拉 pull-down@VIN=1.8V, $V_{CCIO}=1.8V$	30	--	200	μA
	管脚下拉 pull-down@VIN=1.5V, $V_{CCIO}=1.5V$	30	--	200	μA
	管脚下拉 pull-down@VIN=1.2V, $V_{CCIO}=1.2V$	30	--	200	μA

4.8、器件未配置时候的静态电流

表 12 静态电流

名称	描述	器件	速度等级			单位
			-5	-6	-7	
I_{VCC}	VCC=1.1V时静态电流	PGT180H	TBD	3200	TBD	mA
I_{VCCIO}	VCCIO=3.3V 时静态电流	PGT180H	TBD	50	TBD	mA
I_{VCCAUX}	VCCAUX=3.3V 时静态电流	PGT180H	TBD	200	TBD	mA
I_{VDD33}	IVDD33=3.3V 时静态电流	PGT180H	TBD	100	TBD	mA
I_{VDD11}	IVDD11=1.1V 时静态电流	PGT180H	TBD	10	TBD	mA

注：数值为高温 100°C 的最大值。TBD 表示数据待定。

4.9、上电 (Power-on) 过程最小电流要求

下表为器件上电时所需最小电流。

表 13 上电过程最小电流

器件	I_{CCMIN}	$I_{CCAUXMIN}$	I_{CCOMIN}	单位
	典型值	典型值	典型值	
PGT180H	$I_{VCC}+2000$	$I_{VCCAUX}+400$	$I_{VCCIO}+50$	mA

4.10、上电 (Power-on) 过程电源爬升时间

表 14 上电过程电源爬升时间

名称	描述	Ramp Time	单位
T_{VCCR}	内核电源爬升时间	0.2 to 50	ms
T_{VCCIOR}	Bank电源爬升时间	0.2 to 50	ms
$T_{VCCAUXR}$	辅助电源爬升时间	0.2 to 50	ms

4.11、IO 输入输出 DC 直流特性 (IO Input & Output DC)

各 IO 电平标准输入输出电压标准范围如下表。

表 15 单端 IO 输入输出 DC 直流特性

单端 IO	$V_{IL}(V)$		$V_{IH}(V)$		$V_{OL}(V)$	$V_{OH}(V)$
	最小	最大	最小	最大	最大	最小
LVTTL33 LVC MOS33	-0.3	0.8	2	3.465	0.5	$V_{CCIO}-0.569$
LVC MOS25	-0.3	0.7	1.7	$V_{CCIO}+0.3$	0.4	$V_{CCIO}-0.4$
LVC MOS18	-0.3	$0.35V_{CCIO}$	$0.65V_{CCIO}$	$V_{CCIO}+0.3$	0.4	$V_{CCIO}-0.476$
LVC MOS15	-0.3	$0.35V_{CCIO}$	$0.65V_{CCIO}$	$V_{CCIO}+0.3$	0.4	$V_{CCIO}-0.455$
LVC MOS12	-0.3	$0.35V_{CCIO}$	$0.65V_{CCIO}$	$V_{CCIO}+0.3$	0.4	$V_{CCIO}-0.4$
SSTL25_I	-0.3	$V_{ref}-0.2$	$V_{ref}+0.2$	$V_{CCIO}+0.3$	0.5	$V_{CCIO}-0.6$
SSTL25_II	-0.3	$V_{ref}-0.2$	$V_{ref}+0.2$	$V_{CCIO}+0.3$	0.4	$V_{CCIO}-0.4$
SSTL18_I	-0.3	$V_{ref}-0.15$	$V_{ref}+0.15$	$V_{CCIO}+0.3$	0.4	$V_{CCIO}-0.476$
SSTL18_II	-0.3	$V_{ref}-0.15$	$V_{ref}+0.15$	$V_{CCIO}+0.3$	0.33	$V_{CCIO}-0.4$
SSTL15_I	-0.3	$V_{ref}-0.1$	$V_{ref}+0.1$	$V_{CCIO}+0.3$	0.31	$V_{CCIO}-0.31$
SSTL15_II	-0.3	$V_{ref}-0.1$	$V_{ref}+0.1$	$V_{CCIO}+0.3$	0.31	$V_{CCIO}-0.31$

HSTL18_I	-0.3	$V_{ref} - 0.15$	$V_{ref} + 0.15$	$V_{CCIO} + 0.3$	0.4	$V_{CCIO} - 0.476$
HSTL18_II	-0.3	$V_{ref} - 0.15$	$V_{ref} + 0.15$	$V_{CCIO} + 0.3$	0.4	$V_{CCIO} - 0.476$
HSTL15_I	-0.3	$V_{ref} - 0.1$	$V_{ref} + 0.1$	$V_{CCIO} + 0.3$	0.4	$V_{CCIO} - 0.455$

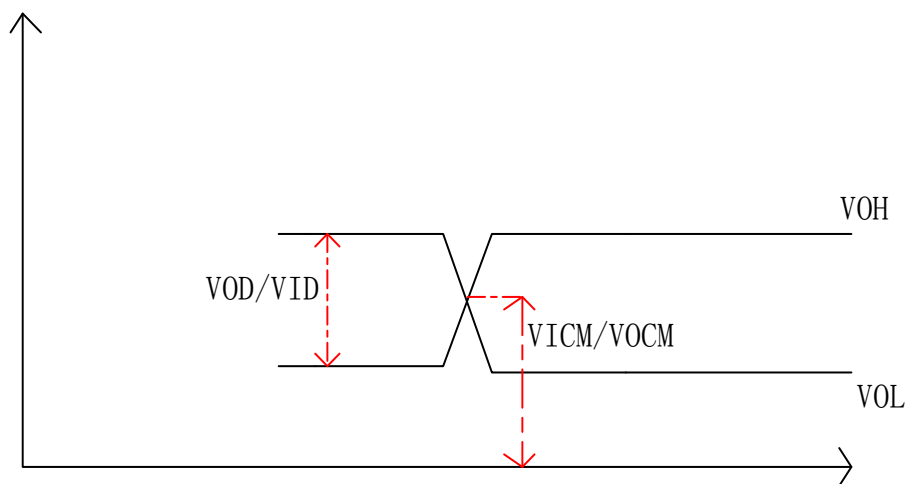
各 IO 电平标准输出电流见下表。

表 16 单端 IO 电平标准的输出电流

单端 IO	$I_{OL}(mA)$	$I_{OH}(mA)$	$V_{REF}(V)$	$V_{TT}(V)$
LVTTL33 LVCMOS33	4	-3.5	--	--
	8	-7	--	--
	12	-10	--	--
	16	-13	--	--
	20	-19	--	--
	24	-22	--	--
LVCMOS25	4	-3.5	--	--
	8	-7	--	--
	12	-10	--	--
	16	-13	--	--
	20	-19	--	--
LVCMOS18	4	-3.5	--	--
	8	-7	--	--
	12	-10	--	--
	16	-13	--	--
LVCMOS15	4	-3.5	--	--
	8	-7	--	--
	12	-10	--	--
LVCMOS12	2	-1.9	--	--
	6	-5	--	--
SSTL25_I	7.1	-7.1	$0.45V_{CCIO}$ $0.5V_{CCIO}$ $0.55V_{CCIO}$	$0.5V_{CCIO}$
SSTL25_II	15.2	-15.2	$0.45V_{CCIO}$ $0.5V_{CCIO}$ $0.55V_{CCIO}$	$0.5V_{CCIO}$
SSTL18_I	6	-6	$0.45V_{CCIO}$ $0.5V_{CCIO}$ $0.55V_{CCIO}$	$0.5V_{CCIO}$
SSTL18_II	12.5	-10	$0.45V_{CCIO}$ $0.5V_{CCIO}$ $0.55V_{CCIO}$	$0.5V_{CCIO}$
SSTL15_I	6.5	-6.5	$0.45V_{CCIO}$ $0.5V_{CCIO}$	$0.5V_{CCIO}$

			0.55V _{CCIO}	
SSTL15_II	8	-8	0.45V _{CCIO} 0.5V _{CCIO} 0.55V _{CCIO}	0.5V _{CCIO}
HSTL18_I	7	-7	0.45V _{CCIO} 0.5V _{CCIO} 0.55V _{CCIO}	0.5V _{CCIO}
HSTL18_II	15	-14	0.45V _{CCIO} 0.5V _{CCIO} 0.55V _{CCIO}	0.5V _{CCIO}
HSTL15_I	7	-7	0.45V _{CCIO} 0.5V _{CCIO} 0.55V _{CCIO}	0.5V _{CCIO}

差分 IO 电平标准的主要电气特性参数定义如下图。



差分电气特性参数

表 17 LVDS IO 电平标准的输入输出 DC 电压值

符号	描述	条件	最小	典型	最大
V _{IN}	单端输入电压	R _{TT} =100 Ω	0 V	--	2.4 V
V _{ICM}	输入共模电压	R _{TT} =100 Ω	0.8 V	1.2 V	1.9 V
V _{Id}	输入差模电压	R _{TT} =100 Ω	0.25 V	0.35V	0.5V
R _{TTIN}	输入匹配电阻	--	--	100 Ω	--
V _{OH}	单端输出高电平	R _{TT} =100 Ω	1.23V	1.375 V	1.55 V
V _{OL}	单端输出低电平	R _{TT} =100 Ω	0.94V	1.025 V	1.17V

V_{OCM}	输出共模电压	$R_{TT}=100\ \Omega$	1.0 V	1.25 V	1.4 V
V_{ODM}	输出差模电压	$R_{TT}=100\ \Omega$	0.25 V	0.35 V	0.45 V
R_{TTOUT}	输出匹配电阻	--	--	100 Ω	--

表 18 差分 IO 电平标准的驱动电流和终端电阻

差分 IO	Idrive(mA)	Rtt (Ω)
LVDS25	3.5	100
RS25	--	100
PPDS25	--	100

4.12、特殊硬核 (HSST, etc) DC 直流特性参数

表 19 HSST 的 DC 特性

名称	描述	条件	最小	典型	最大	单位
DV_{PPIN}	差分输入峰峰电压	外部 AC 交流耦合	125	--	1600	mV
V_{IN}	输入绝对电压值	直流耦合	--	--	1200	mV
V_{CMIN}	共模输入电压值	直流耦合	--	$2/3 * V_{DD11}$	--	mV
DV_{PPOUT}	差分输出峰峰电压	Transmitter 输出幅值设为最大	125	--	1000	mV
V_{SEOUT}	单端输出电压峰峰幅值		--	--	500	mV
$V_{CMOUTDC}$	共模输出电压值		$V_{DD11} - DV_{PPOUT} / 4$			mV
R_{IN}	差分输入阻值		--	100	--	Ω
R_{OUT}	差分输出阻值		--	100	--	Ω
T_{OSKEW}	Transmitter 输出 skew		--	--	40	ps
C_{EXT}	推荐外部 AC 交流耦合电容值		--	100	--	nF

注： V_{DD11} 为 HSST TX 端的电源电压值；建议直流耦合时，保证 RX V_{cmmin} 与 TX 输出的共模电压值 $V_{cmoutdc}$ 一致或接近；

4.13、LVDS 性能参数 (LVDS Performance)

表 20 LVDS 性能

名称	描述	最大速率			单位
		-5	-6	-7	

LVDS25	LVDS, V _{CCIO} =2.5V	TBD	800	TBD	Mbps
--------	-------------------------------	-----	-----	-----	------

注：TBD 表示数据待定

4.14、存储接口性能参数 (Memory Interface Performance)

表 21 存储接口性能

名称	描述	最大速率			单位
		-5	-6	-7	
DDR3	DDR3 接口	TBD	800	TBD	Mbps
DDR2	DDR2 接口	TBD	667	TBD	Mbps
DDR	DDR 接口	TBD	400	TBD	Mbps

注：TBD 表示数据待定

4.15、常用可重构单元的性能参数 (Fabric Performance)

4.15.1、专用 RAM 模块 DRM (Dedicated RAM Module) 性能参数

表 22 DRM 性能

类别	专用 RAM 模块 (DRM)	性能(MHz)		
		-5	-6	-7
M18K Block	512x36 SPRAM,(读寄存器使能)	TBD	300	TBD
	1024x18 DPRAM,(读寄存器使能)	TBD	300	TBD
	1024x16 SDPRAM, (读寄存器使能)	TBD	300	TBD
	1024x18 DPRAM(Read-Before-Write 读寄存器使能)	TBD	200	TBD
	1024x16 DRM_AFIFO (读寄存器使能)	TBD	240	TBD

注：TBD 表示数据待定

4.15.2、算术处理单元 APM (Arithmetic Process Module) 性能参数

表 23 算数处理单元性能

类别	模式	性能(MHz)		
		-5	-6	-7
APM	9*9 乘法器(寄存器使能)	TBD	400	TBD
	18*18 乘法器(寄存器使能)	TBD	400	TBD

	27*27 乘法器(寄存器使能, pipeline 使能)	TBD	200	TBD
	18*36 乘法器(寄存器使能)	TBD	250	TBD
	9X9 multiplier with 4-level pipelines	TBD	500	TBD
	9X9 multiplier with 5-level pipelines	TBD	500	TBD

注：TBD 表示数据待定

4.16、IO AC 交流特性参数

IOB 的开关特性如下表。

表 24 IOB 开关特性

I/O 标准	T _{IOPI}			T _{IOOP}			T _{IOTP}			单位
	-5	-6	-7	-5	-6	-7	-5	-6	-7	
PCI33	TBD	1.5	TBD	TBD	3.2	TBD	TBD	3.2	TBD	ns
LVTTL33	TBD	1.5	TBD	TBD	4.3	TBD	TBD	4.3	TBD	ns
LVC MOS33	TBD	1.5	TBD	TBD	4.3	TBD	TBD	4.3	TBD	ns
LVC MOS25	TBD	1.8	TBD	TBD	3.8	TBD	TBD	3.8	TBD	ns
LVC MOS18	TBD	2.4	TBD	TBD	4.0	TBD	TBD	4.0	TBD	ns
LVC MOS15	TBD	3.1	TBD	TBD	3.5	TBD	TBD	3.5	TBD	ns
LVC MOS12	TBD	4.9	TBD	TBD	4.8	TBD	TBD	4.8	TBD	ns
SSTL25_I	TBD	1.0	TBD	TBD	2.7	TBD	TBD	2.7	TBD	ns
SSTL25_II	TBD	1.0	TBD	TBD	2.7	TBD	TBD	2.7	TBD	ns
SSTL18_I	TBD	1.0	TBD	TBD	2.8	TBD	TBD	2.8	TBD	ns
SSTL18_II	TBD	1.0	TBD	TBD	2.8	TBD	TBD	2.8	TBD	ns
SSTL15_I	TBD	1.0	TBD	TBD	2.9	TBD	TBD	2.9	TBD	ns
SSTL15_II	TBD	1.0	TBD	TBD	2.9	TBD	TBD	2.9	TBD	ns
HSTL18_I	TBD	1.0	TBD	TBD	2.8	TBD	TBD	2.8	TBD	ns
HSTL18_II	TBD	1.0	TBD	TBD	2.8	TBD	TBD	2.8	TBD	ns
HSTL15_I	TBD	1.0	TBD	TBD	2.9	TBD	TBD	2.9	TBD	ns
LVPECL33E	TBD	1.0	TBD	TBD	3.8	TBD	TBD	3.8	TBD	ns
BLVDS25E	TBD	1.0	TBD	TBD	4.0	TBD	TBD	4.0	TBD	ns
SSTL25D_I	TBD	1.0	TBD	TBD	2.7	TBD	TBD	2.7	TBD	ns
SSTL25D_II	TBD	1.0	TBD	TBD	2.7	TBD	TBD	2.7	TBD	ns
SSTL18D_I	TBD	1.0	TBD	TBD	2.8	TBD	TBD	2.8	TBD	ns
SSTL18D_II	TBD	1.0	TBD	TBD	2.8	TBD	TBD	2.8	TBD	ns
SSTL15D_I	TBD	1.0	TBD	TBD	2.9	TBD	TBD	2.9	TBD	ns
SSTL15D_II	TBD	1.0	TBD	TBD	2.9	TBD	TBD	2.9	TBD	ns
HSTL18D_I	TBD	1.0	TBD	TBD	2.8	TBD	TBD	2.8	TBD	ns
HSTL18D_II	TBD	1.0	TBD	TBD	2.8	TBD	TBD	2.8	TBD	ns
HSTL15D_I	TBD	1.0	TBD	TBD	2.9	TBD	TBD	2.9	TBD	ns
HSTL15D_II	TBD	1.0	TBD	TBD	2.9	TBD	TBD	2.9	TBD	ns

注:上表为 PDS 软件的 IO 的默认值。

T_{IOP1} : 从 IOB Pad 经过 IBUF 到达 IOBUFFER 的 DIN 的延时。

T_{IOP2} : 从 IOBUFFER 的 DO 经过 OBUF 到达 IOB Pad 的延时。

T_{IOTP} : 从 IOBUFFER 的 TO 经过 OBUF 到达 IOB Pad 的延时。

TBD 表示数据待定。

IOB 三态使能时的输出开关特性。

表 25 IOB 三态使能时的开关特性

类别	速度等级			单位
	-5	-6	-7	
T_{IOTPHZ}	TBD	4.0	TBD	ns

T_{IOTPHZ} : 三态使能时, 从 IOBUFFER 的 TO 经过 OBUF 到达 IOB Pad 的延时。TBD 表示数据待定

IOL 寄存器的开关特性如下。

表 26 IOL 寄存器的开关特性

类别	AC 交流特性参数描述	数值	单位	备注	
IFF	Setup/Hold 时间				
	CE -> CLK setup/hold	上升沿	0.011/0.030	ns	
		下降沿	0.006/0.052	ns	
	LRS -> CLK setup/hold	上升沿	0.238/-0.172	ns	
		下降沿	0.225/-0.152	ns	
	DIN -> CLK setup/hold	上升沿	0.005/0.017	ns	
		下降沿	0.024/-0.006	ns	
	组合逻辑延时				
	DIN -> RX_DATA_DD	0 -> 1	0.285	ns	bypass 模式
		1 -> 0	0.315	ns	
	Sequential Delays 时序延时				
	DIN -> RX_DATA	0 -> 1	0.476	ns	Latch 模式
		1 -> 0	0.505	ns	
	CLK -> Q 输出	0 -> 1	0.428	ns	
1 -> 0		0.424	ns		
LRS -> Q 输出	0 -> 1	0.666	ns		
	1 -> 0	0.707	ns		
OFF/TSFF	Setup/Hold 时间				
	TX_DATA -> CLK setup/hold	上升沿	0.340/-0.276	ns	
		下降沿	0.300/-0.294	ns	
	CE -> CLK setup/hold	上升沿	0.046/-0.008	ns	
		下降沿	0.044/0.013	ns	
TS_CTRL -> CLK setup/hold	上升沿	0.432/-0.368	ns		

		下降沿	0.382/0.376	ns	
Sequential Delays 时序延时					
	TX_DATA -> DO	0 -> 1	0.891	ns	Latch 模式
		1 -> 0	0.897	ns	
	CLK -> OFF 的 Q/TSFF 的 Q	0 -> 1	0.500	ns	
		1 -> 0	0.637	ns	
	LRS -> OFF 的 Q 输出/TSFF 的 Q 输出	0 -> 1	0.649	ns	
		1 -> 0	0.647	ns	

注：上表时序参数具体应用设计中 PDS 软件中 timing model 为准。

输入 Deserializer 的开关特性

表 27 Deserializer 开关特性

类别	特性参数描述		速度等级			单位
			-5	-6	-7	
IGDDR	信号 Setup/Hold 时间					
	DPI_CTRL -> RCLK	上升沿	TBD	0.071/-0.006	TBD	ns
		下降沿	TBD	0.071/-0.011	TBD	ns
	PADI -> RCLK	上升沿	TBD	0.062/0.003	TBD	ns
		下降沿	TBD	0.067/-0.012	TBD	ns
	Sequential Delays 时序延时					
	RCLK -> Q 端	上升沿	TBD	0.416	TBD	ns
		下降沿	TBD	0.453	TBD	ns
	RCLK 的最大频率		TBD	262.5	TBD	MHz

注：上表时序参数具体应用设计中 PDS 软件中 timing model 为准。TBD 表示数据待定

输出 Serializer 的开关特性。

表 28 Serializer 开关特性

类别	特性参数描述		速度等级			单位
			-5	-6	-7	
OGDDR	信号 Setup/Hold 时间					
	D -> RCLK	上升沿	TBD	0.325/-0.269	TBD	ns
		下降沿	TBD	0.296/-0.232	TBD	ns
	T -> RCLK	上升沿	TBD	0.404/-0.388	TBD	ns
		下降沿	TBD	0.340/-0.326	TBD	ns
	Sequential Delays 时序延时					
	RCLK -> PADO 端 /PADT 端	上升沿	TBD	0.625	TBD	ns
		下降沿	TBD	0/627	TBD	ns

	RCLK 的最大频率	TBD	262.5	TBD	MHz
--	------------	-----	-------	-----	-----

注：上表时序参数具体应用设计中 PDS 软件中 timing model 为准。TBD 表示数据待定

4.17、锁相环（PLL）AC 交流特性参数

表 29 PLL 的 AC 特性

参数	描述	最小值	典型值	最大值	单位
F_{in}	PLL 输入参考频率	20	--	500	MHz
t_{PJIT}	PLL 输入时钟 jitter	--	--	200	ps
F_{vco}	VCO 工作范围	600	--	1300	MHz
t_{DT}	输出时钟占空比(CLKOUT1,50% 设置)	45	50	55	%
t_{OPJIT}	输出时钟 period jitter(625MHz >fOUT>= 100MHz)	--	--	125	P-P ps
	输出时钟 period jitter (fOUT< 100MHz)	--	--	0.025	UIPP
t_{OPJIT_cyc}	输出时钟 cycle-to-cycle jitter(625MHz >fOUT>= 100MHz)	--	--	250	P-P ps
	输出时钟 cycle-to-cycle jitter (fOUT< 100MHz)	--	--	0.05	UIPP
t_{OPJIT_phase}	输出时钟 phase jitter (625MHz >fOUT>= 100MHz)	--	--	250	P-P ps
	输出时钟 phase jitter (fOUT< 100MHz)	--	--	0.05	UIPP
t_{LOCK}	Lock time(20 – 500 MHz)	--	--	200	us
t_{RST}	PLL 的复位信号脉冲宽度	25	--	--	us

4.18、全局时钟网络（Global Clock Network）AC 交流特性参数

表 30 全局时钟 AC 特性

名称	描述	器件	最大频率			单位
			-5	-6	-7	
GLOBAL CLK	全局时钟网络	PGT180H	TBD	500	TBD	MHz

注：TBD 表示数据待定

4.19、区域时钟网络 (Regional Clock Network) AC 交流特性参数

表 31 区域时钟 AC 特性

名称	描述	器件	最大频率			单位
			-5	-6	-7	
REGIONAL CLK	区域时钟网络	PGT180H	TBD	500	TBD	MHz

注：TBD 表示数据待定

4.20、IO 时钟网络 (IO Clock Network) AC 交流特性参数

表 32 IO 时钟 AC 特性

名称	描述	器件	最大频率			单位
			-5	-6	-7	
IO CLK	IO 时钟网络	PGT180H	TBD	625	TBD	MHz

注：TBD 表示数据待定

4.21、配置和编程 (Configuration and Programming) AC 交流特性参数

表 33 配置和编程 AC 特性

名称	描述	器件	性能			单位
			-5	-6	-7	
Power-up Timing 特性						
T_{PL}	Program Latency	PGT180H	TBD	根据公式计算 见注 2	TBD^1	ms
T_{ICCK}	CFG CLK 输出延时	PGT180H	TBD	168	TBD^1	ns,Min
T_{CFG}	CONFIG_N 脉冲宽度	PGT180H	TBD	20	TBD^1	ns,Min

注 1: TBD 表示数据待定

 注 2: $T_{PL} = 12.5 \times (50/f)$, f 为内部 OSC 的频率。

 注 3: 参考《UG010005_Titan 系列产品配置用户指南》中 T_{PL} , T_{ICCK} , T_{CFG} 在时序图中的描述。

4.22、各下载模式 AC 交流特性

表 34 各下载模式 AC 特性

类别	AC 交流特性参数描述	数值	单位	属性	备注
JTAG	TCK 频率	25	MHz	最大	使用下载线下载时，受限于下载线速率
	TMS/TDI 建立时间（TCK 上升沿）	10	ns	最小	
	TMS/TDI 保持时间（TCK 上升沿）	4	ns	最小	
	TCK 下降沿到 TDO 输出有效	12	ns	最大	
Serial Slave	CFG_CLK 频率	50	MHz	最大	下载时钟来自外部 Host 设备
	D[0]建立时间（CFG_CLK 上升沿）	6	ns	最小	
	D[0]保持时间（CFG_CLK 上升沿）	3	ns	最小	
	CFG_CLK 上升沿到 BUSY 输出有效	8	ns	最大	
Parallel Slave	CFG_CLK 频率	70	MHz	最大	
	CS_B/RDWR/D[31:0]建立时间（CFG_CLK 上升沿）	6	ns	最小	下载时钟来自外部 Host 设备
	CS_B/RDWR/D[31:0]保持时间（CFG_CLK 上升沿）	3	ns	最小	
	CFG_CLK 上升沿到 D[31:0]/BUSY 输出有效	8	ns	最大	
SPI Slave	CFG_CLK 频率	50	MHz	最大	下载时钟来自外部 Host 设备。
	CS_B/D[3:0]建立时间（CFG_CLK 上升沿）	6	ns	最小	
	CS_B/D[3:0]保持时间（CFG_CLK 上升沿）	3	ns	最小	
SPI Master	CFG_CLK 频率	25	MHz	最大	速率默认为 12.5MHz
	D[3:0]建立时间（CFG_CLK 上升沿）	3	ns	最小	
	D[3:0]保持时间（CFG_CLK 上升沿）	2	ns	最小	
	CFG_CLK 下降沿到 FCS_B 输出有效	4	ns	最大	
	CFG_CLK 上升沿到 BUSY 输出有效	8	ns	最大	
内部并行从模式	ipal_clk 频率	50	MHz	最大	
	ipal_cs_b/ipal_rdwr_b/ipal_din[7:0]建立时间（ipal_clk 上升沿）	6	ns	最小	
	ipal_cs_b/ipal_rdwr_b/ipal_din[7:0]保持时间（ipal_clk 上升沿）	3	ns	最小	
	ipal_clk 上升沿到 ipal_dout[7:0]/ipal_busy 输出有效	8	ns	最大	

4. 23、高速串行收发器 HSST 的 AC 交流特性

表 35 HSST 支持的最大速率

名称	描述	速度			单位
		-5	-6	-7	
F_{max}	最大的数据速率 data rate	TBD	5.0	TBD	Gbps
F_{pllmax}	Tx PLL 的最大频率	TBD	5.0	TBD	GHz
F_{pllmin}	Tx PLL 的最小频率	TBD	4.25	TBD	GHz

注：HSST 最大速率测试条件：

1. BER 要求：1e-12
2. channel loss (include package)<18dB
3. data 编码：prbs 最大为 7; 其它 dc balance 编码：8/10B 等
4. TBD 表示数据待定

动态重配开关特性如下表：

表 36 HSST 动态重配开关特性

名称	描述	频率	单位
F_{CFGCLK}	最大的 CFG CLK 时钟频率(APB 总线时钟)	100	MHz

HSST 参考时钟开关特性

表 37 HSST 参考时钟开关特性

名称	描述	条件	频率			单位
			最小	典型值	最大	
F_{GCLK}	参考时钟频率范围		30	--	330	MHz
T_{RCLK}	参考时钟上升时间	20%-80%	--	200	--	ps
T_{FCLK}	参考时钟下降时间	80%-20%	--	200	--	ps
T_{DCREP}	参考时钟占空比	Tx PLL	45	50	55	%

HSST 用户时钟开关特性

表 38 HSST 用户时钟开关特性

名称	描述	频率	单位
----	----	----	----

T_{T2C}	P_CLK2CORE_TX 的最大频率	160	MHz
T_{R2C}	P_CLK2CORE_RX 的最大频率	160	MHz
T_{TFC}	P_TX_CLK_FR_CORE 的最大频率	160	MHz
T_{RFC}	P_RX_CLK_FR_CORE 的最大频率	160	MHz

Transmitter 发送侧开关特性

表 39 发送侧开关特性

名称	描述		条件	典型	最大	单位
T_{RTX}	TX Rise time		20%-80%	--	--	ps
T_{FTX}	TX Fall time		80%-20%	--	--	ps
$T_{J5.0}$	Total Jitter	5.0Gb/s	--	--	0.32	UI
$D_{J5.0}$	Deterministic Jitter		--	--	0.17	UI
$T_{J4.25}$	Total Jitter	4.25Gb/s	--	--	0.3	UI
$D_{J4.25}$	Deterministic Jitter		--	--	0.15	UI
$T_{J3.125}$	Total Jitter	3.125Gb/s	--	--	0.25	UI
$D_{J3.125}$	Deterministic Jitter		--	--	0.12	UI
$T_{J2.5}$	Total Jitter	2.5Gb/s	--	--	0.25	UI
$D_{J2.5}$	Deterministic Jitter		--	--	0.12	UI
$T_{J1.25}$	Total Jitter	1.25Gb/s	--	--	0.2	UI
$D_{J1.25}$	Deterministic Jitter		--	--	0.1	UI

Receiver 接收侧开关特性

表 40 接收侧开关特性

名称	描述	最小	典型	最大	单位
R_{XSST}	接收端扩频跟随, 调制频率 33kHz	-5000	--	0	ppm
$R_{XPPMTOL}$	数据与参考时钟之间的频偏容限	-1200	--	1200	ppm
正弦抖动抖动容限					
$JT_SJ_{1.25}$	正弦抖动 ⁽¹⁾ , 1.25Gb/s	0.38	--	--	UI
$JT_SJ_{2.5}$	正弦抖动 ⁽¹⁾ , 2.5Gb/s	0.38	--	--	UI

JT_SJ _{3.125}	正弦抖动 ⁽¹⁾ , 3.125Gb/s	0.38	--	--	UI
JT_SJ _{5.0}	正弦抖动 ⁽¹⁾ , 5.0Gb/s	0.38	--	--	UI

注：1. 注入的正弦抖动的频率为 80MHz

五. 热阻信息

表 41 热阻参数

器件	参数	热阻值 (°C/W)	风速条件
PGT180H_FF8G1152	θJA	7.06	0 m/s
	θJC	0.51	
	θJB	2.88	
PGT180H_FF8G1140	θJA	7.13	0 m/s
	θJC	0.36	
	θJB	2.19	

六. Titan 系列 FPGA 订货信息

产品型号的编号内容及意义表示如下：

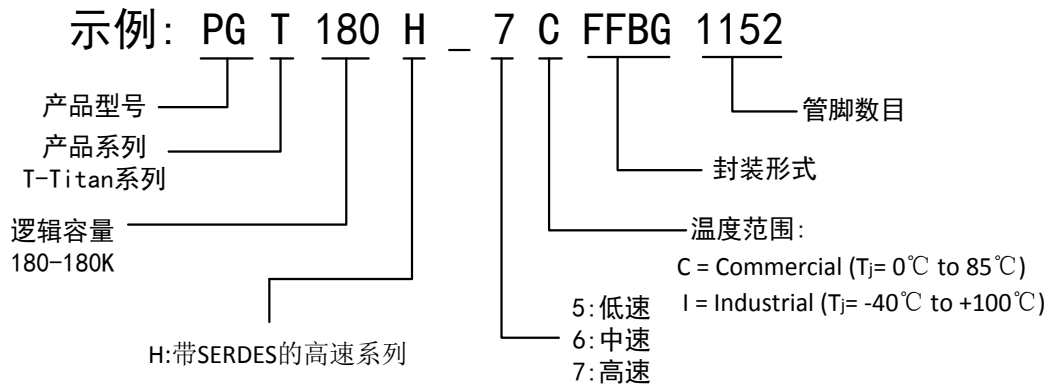


图 1 Titan 系列 FPGA 订货信息

七. 应用指南

《UG010001_Titan 系列产品 CLM 用户指南》

《UG010002_Titan 系列产品 DRM 用户指南》

《UG010003_Titan 系列产品 APM 用户指南》

- 《UG010004_Titan 系列产品时钟用户指南》
- 《UG010005_Titan 系列产品配置用户指南》
- 《UG010006_Titan 系列产品 IO 用户指南》
- 《UG010007_Titan 系列产品 GTP 用户指南》
- 《UG010008_Titan 系列产品 HSST 用户指南》

八. 使用操作规程及注意事项

器件必须采取防静电措施进行操作。取用芯片时应佩戴防静电手套，防止人体电荷对芯片的静电冲击，损坏芯片。将芯片插入电路板上的底座时以及将芯片从电路板上的底座取出时，应注意施力方向以确保芯片管脚均匀受力。不要因为用力过猛，损坏芯片管脚，导致无法使用。

推荐下列操作措施：

- a) 器件应在防静电的工作台上操作，或带指套操作；
- b) 试验设备和器具应接地；
- c) 不能触摸器件引线；
- d) 器件应存放在导电材料制成的容器中；
- e) 生产、测试、使用以及转运过程中应避免使用引起静电的塑料、橡胶或丝织物；
- f) 相对湿度尽可能保持在 $50\% \pm 30\%$ 以上。

九. 运输与储存

芯片存储环境温度是： -65°C 到 $+150^{\circ}\text{C}$ 。

使用指定的防静电包装盒进行产品的包装和运输。在运输过程中，确保芯片不要与外物发生碰撞。

十. 开箱与检查

开箱使用芯片时，请注意观察芯片管壳上的产品标识。确定产品标识清晰，无污迹，无擦痕。同时，注意检查芯片管壳及引脚。确定管壳无损坏，无伤痕，

管脚整齐，无缺失，无变形。

十一. 质量保障与售后服务

深圳市紫光同创电子有限公司是紫光集团下属企业，总部位于深圳，拥有上海、北京分公司，专注于高性能、高性价比 FPGA 产品研发与销售，均具有 10 年以上的 FPGA 研发和产业化经验，拥有多项自主产权专利，完善的质量管理体系，是国内综合实力领先的 FPGA 厂商。

紫光同创拥有一支专业的售后服务队伍，分布在全国各大销售区域。在用户需要时我们可随时前往用户单位提供必要的技术服务。包括提供系统解决方案、设计优化、失效协助分析等技术服务。

十二. 联系方式

公司名称：深圳市紫光同创电子有限公司

公司地址：深圳市南山区高新技术产业园南区高新南八道豪威科技大厦 16 层

电话 Tel: 86-755-66886188-8617

传真 Fax: 86-755-86363368

邮编 Zip: 518057

电子邮件 Email: marketing@pangomicro.com

网址 Web Site: <http://www.pangomicro.com>

附录：更新记录

版本	文件更改内容	日期
V1.0	新制定	2017.5.26
V1.1	更新数据	2017.6.6
V1.2	增加 AC 过冲数据，更新 DC 数据	2018.9.29
V1.3	1. 更新封面时间； 2. 增加 PGT180H1140 封装； 3. 修正表格格式； 4. 删除 PGT180H 封装规格，详细信息参见《PGT180H_Packaging_and_Pinout 用户指南》	2018.11.26
V1.4	1. 4.23 章节，HSST 参考时钟开关特性，增加 HSST 参考时钟上升时间和下降时间参数 2. HSST 支持的最大数据率增加速度等级区分 3. 修改 HSST 的数据率范围 4. 修改 HSST 发送端的 PLL 的 VCO 频率范围 5. 删除 HSST 发送端的频点 6.4Gbps，3.75Gbps，600Mbps 和 400Mbps，不支持这些频点 6. 修改器件未配置时的各电源静态电流值 7. 4.15.5 章节，更新专用 RAM 模块 DRM 的最差条件下的性能参数 8. 删除原 4.15.5 章节，分布式 RAM 性能参数 9. 修正 PLL 的 VCO 范围	2019.3.30

版本	文件更改内容	日期
V1.5	<ol style="list-style-type: none"> 1. 新增术语、缩略列表 2. “表 16 LVDS IO 电平标准的输入输出 DC 电压值”新增 V_{id} 参数；更新 V_{ICM} 最大值为 1.9V 3. "表 18 硬核的 DC 特性"更新了 D_{VPPIN}、$V_{CMOUTDC}$ 和 T_{OSKEW} 值；D_{VPPIN} 改为 1600mV；$V_{CMOUTDC}$ 改为 $(V_{DD11} - D_{VPPOUT}/4)$ mV；T_{OSKEW} 删除最小值，最大值改为 40ps 4. 更新“表 21 组合逻辑性能”，“表 22 算数逻辑性能”，“表 23 计数器性能”中的数据；LUT_5 性能改为 390 MHz；LUT_6 性能改为 350 MHz；MUX_16 性能改为 260 MHz；MUX_32 性能改为 250 MHz；MUX_64 性能改为 170 MHz；COMP_16 性能改为 380 MHz；COMP_32 性能改为 250 MHz；ADD_16 性能改为 230 MHz；ADD_32 性能改为 150 MHz；ADD_64 性能改为 90 MHz；CNT_16, CNT_L_16, CNT_UD_16 性能改为 210 MHz；CNT_32, CNT_L_32, CNT_UD_32 性能改为 140 MHz；CNT_64, CNT_L_64, CNT_UD_64 性能改为 90 MHz；ACM_16 性能改为 190 MHz；ACM_32 性能改为 140 MHz；ACM_64 性能改为 90 MHz 5. “表 38 HSST 支持的最大速率”增加测试条件说明 6. “表 42 发送侧开关特性”删除 T_{RTX}, T_{FTX}, $V_{TXOBDPP}$ 参数；$TJ_{6.375}$ 最大值改为 0.35UI；$DJ_{6.375}$ 最大值改为 0.2 UI；$TJ_{5.0}$ 最大值改为 0.32 UI；$DJ_{5.0}$ 最大值改为 0.17 UI；$TJ_{4.25}$ 最大值改为 0.3 UI；$DJ_{4.25}$ 最大值改为 0.15 UI；$TJ_{3.125}$ 最大值改为 0.25 UI；$DJ_{3.125}$ 最大值改为 0.12 UI；$TJ_{2.5}$ 最大值改为 0.25 UI；$DJ_{2.5}$ 最大值改为 0.12 UI；$TJ_{1.25}$ 最大值改为 0.2 UI；$DJ_{1.25}$ 最大值改为 0.1 UI 7. 更新文档编号为 DS01001 8. “表 10 典型工作条件下的 DC 特性” I_{REF} 改为 10uA；增加 I_{IH}, I_{DK} 参数；删除 C_{IN} 9. “表 11 静态电流” I_{VCC} 改为 3200mA；I_{VDD11} 改为 10mA 10. “表 12 上电过程最小电流” I_{CCMIN} 改为 $I_{VCC}+2000$；$I_{CCAUXMIN}$ 改为 $I_{VCCAUX}+400$；I_{CCOMIN} 改为 $I_{VCCIO} +50$，单位 mA 11. “表 13 上电过程电源爬升时间”改为 0.2to50，各项参数名称改为 T_{VCCR}, T_{VCCIOR}, $T_{VCCAUXR}$ 12. “表 14 单端 IO 输入输出 DC 直流特性”删除 PCI33；删除 V_{IL} 最小值；删除 V_{IH} 最大值； 13. “表 15 单端 IO 电平标准的输出电流”删除 PCI33；各项参数稍微调大 14. “表 17 差分 IO 电平标准的驱动电流和终端电阻”删除 RSDS25 和 PPDS25 驱动电流 15. "表 19 LVDS 性能"改为 800Mbps 16. 删除“表 45 千兆以太网协议特性”，“表 46 万兆网协议特性”，“表 47 PCI Express 协议特性”，“4.24、配置过程中的动态功耗”，“4.25、配置后工作前的 stand-by 静态功耗”，“4.26、开始工作后的静态和动态功耗”，364.27、SSO（Simultaneously Switching Outputs）特性” 	2019.5.7

版本	文件更改内容	日期
V1.6	<ol style="list-style-type: none"> 1. 修正 HSST 支持的频点范围, 最高支持到 5.0Gbps, 删除 6.375Gbps 数据率相关的参数 2. 修改发送通道和接收通道的描述增加了各发送通道之间数据率的限制 3. 删除表 10 典型工作条件下的 DC 特性的 V_{DR} 和 V_{DRI} 4. 删除 IO 中专用 CDR 电路的描述 5. 删除 4.15 章节中的组合逻辑 (Combinational Logic) 性能参数, 算术逻辑 (Arithmetic Logic) 性能参数, 计数器 (Counter) 性能参数以及移位寄存器 (Shift Register) 性能参数 6. 增加热阻信息 7. 针对速度等级-5 和-7 的数据增加了 TBD 注释, 表示数据待定 	2019.5.22
V1.7	<ol style="list-style-type: none"> 1. 修正表 33 中 TPL 参数的计算公式, $TPL = 12.5 \times (50/f)$, f 为内部 OSC 的频率, TPL 为编程延迟即 CONFIG_N 拉低到 CS_B 拉高的时间, 具体时序图请参见《UG010005_Titan 系列产品配置用户指南》 2. 表 34 中 Serial Slave 、Parallel Slave、SPI Master、 SPI Slave 、内部并行从并模式下的建立时间修改 7ns 3. 修改表 19 中 DVPPIN 的最小值为 150mV 4. 删除表 40 中的 SINS 参数描述 	2019.8.16
V1.8	<ol style="list-style-type: none"> 1. 删除表40 接收侧开关特性的Input Sensitivity 输入灵敏度差分峰峰幅值 2. 删除表37 HSST参考时钟开关特性的上升和下降时间的最大值要求 3. 表15 增加V_{IL}最小值和V_{IH}最大值; 4. 表17 增加差分电气特性示意图 5. 更新表 9 输入AC过冲极限值, 增加测试条件且删除商业等级的数据 6. 增加表 29 PLL复位信号脉冲宽度 7. 增加免责声明 	2020.4.1

免责声明

版权声明

本档版权归深圳市紫光同创电子有限公司所有，并保留一切权利。未经书面许可，任何公司和个人不得将此档中的任何部分公开、转载或以其他方式披露、散发给第三方。否则，公司必将追究其法律责任。

免责声明

1、本档仅提供阶段性信息，所含内容可根据产品的实际情况随时更新，恕不另行通知。如因本档使用不当造成的直接或间接损失，本公司不承担任何法律责任。

2、本档按现状提供，不负任何担保责任，包括对适销性、适用于特定用途或非侵权性的任何担保，和任何提案、规格或样品在他处提到的任何担保。本档在此未以禁止反言或其他方式授予任何知识产权使用许可，不管是明示许可还是暗示许可。

3、公司保留任何时候在不事先声明的情况下对公司系列产品相关文档的修改权利。