



## Sealion (海狮) SL2D-25E/V FPGA

---

# 数据手册

西安智多晶微电子有限公司 XIAN Intelligence Silicon Technology  
西安市高新区科技二路 72 号西安软件园西岳阁 102 室 邮编 710075  
<http://www.isilicontech.com>



## 文档修订历史

日期	版本	修订内容
2020.11	1.0	首次发布。

西安智多晶



# 目录

<b>1</b>	<b>概述</b> .....	<b>1</b>
1.1	特性.....	2
1.2	器件资源.....	3
1.3	器件结构.....	3
1.4	SL2D-25E 合封 DDR2 SDRAM <sup>1</sup> .....	4
1.5	封装特性.....	5
<b>2</b>	<b>管脚与封装</b> .....	<b>6</b>
2.1	管脚定义.....	6
2.2	器件编号说明.....	7
2.3	SL2D-25E-N96 FPGA 管脚列表.....	8
2.4	96-pin QFN 封装尺寸.....	10
<b>3</b>	<b>SL2D-25E/V 交直流特性</b> .....	<b>11</b>



# 1 概述

西安智多晶微电子有限公司的 Sealion(海狮)SL2D-25E/V FPGA 器件(下称“FPGA”), 基于低功耗工艺设计并完美兼顾了设计成本与器件资源。该 FPGA 器件的优势在于大批量、低成本的应用场景,使系统设计师在降低设计成本的同时又满足了不断增长的应用需求。该器件在低成本、低功耗 FPGA 市场处于领导地位,针对无线、有线、广播、工业以及通信等行业中的低成本、小逻辑资源的应用,本 FPGA 无疑是最理想的选择。



## 1.1 特性

FPGA 具有以下特性：

### 丰富的逻辑资源

- FPGA 规模为 24,992 逻辑单元(LUTs)

### 低功耗

- 55nm 低功耗工艺
- 核电压 1.2V ( E ) 或 3.3V ( V )
- 多逻辑单元以及布线资源

### 高性能可编程逻辑单元

- 采用 LUT4 查找表，可灵活地配置为 LUT5/LUT6 以提升资源利用率
- 逻辑单元可根据应用需要可支持不同模式，例如可创建算术模式，用于实现加法器、计数器、累加器和比较器

### 内置硬核 DSP

- 32/64 内置多个  $18 \times 18/9 \times 9$  可串行乘法器以及算数逻辑单元 ( ALU ) ，可做两层叠加实现 DSP 处理密集型应用
- 高达 300MHz

### 支持分布式和嵌入式存储

- 嵌入式块存储容量为 9Kbits,可配置成单端口、伪双端口、真双端口以及 FIFO 或者 ROM，通过配置可实现多种数据宽度
- 最大支持 768Kbits 嵌入式存储器

### 丰富的时钟资源

- 最大频率  $F_{max}=400\text{MHz}$
- 最多可提供 16 个全局时钟，其中 8 个可以复用为高扇出网络
- 提供多达 8 个专用时钟输入引脚
- 2 个 5 路时钟输出内置锁相环 ( PLL ) 提供倍频、分频、相移、展频等系统时钟功能
- 2 个延时锁相环 ( DLL ) ，提供分频、相移时钟功能

### 灵活强大的 I/O 单元

- 最高可达到 69 个有效用户 I/O
- 支持 400Mbps DDR2 SDRAM 接口
- 支持 Generic DDR $\times$ 1、DDR $\times$ 2 接口

- I/O BANK 3、4、7 和 8 的输入输出支持 3.3/2.5/1.8/1.5V 电压，其他 I/O BANK 的输入输出只能支持 1.8V 电压
- 支持 MIPI，接口速率高达 1.2Gbps
- I/O 类型支持标准单端、差分、伪双端，电平属性包括 LVTTTL、LVCMOS、PCI、LVDS、BLVDS、mini-LVDS、RSDS
- 支持 7:1 LVDS 视频接口
- 1 个专用编程和 4 个用户 I/O BANK
- 可配置上拉、下拉及总线保持模式
- 片内 100 欧姆差分电阻
- 支持热插拔

### 合封 DDR2 SDRAM 存储

- 512Mbits DDR2 SDRAM，DDR2 控制器工作频率  $F_{max}=200\text{MHz}$
- 无须外部配置电路

### 配置模式

- 主模式(Active Serial AS)
- 从模式(Passive Serial PS)
- 自刷新配置(Self Refresh Configuration SRC)
- JTAG
- 配置过程支持 SED 多比特流检测、校验
- 配置过程支持多比特流加载，可在第一个程序文件加载失败后，自动跳到 Golden 区域加载第二个程序文件

### 安全与 BSCAN

- 支持压缩及解压缩，其压缩比平均为 3:1
- 兼容 IEEE1149.1 Boundary Scan (BSCAN)

### 封装

- 无铅封装
- QFN96



## 1.2 器件资源

表 1-1 Sealion (海狮) SL2D-25E/V 器件资源

		SL2D-25E-N96	SL2D-25V
逻辑单元		24992	24992
分布式存储器		200	200
嵌入式存储器 (9Kbit)		864	864
嵌入式存储器单元数(9Kbit/单元)		96	96
嵌入式 18×18 乘法器(注 2)		32	32
通用 PLL + DLL 数量		2 + 2	2 + 2
全局时钟网络(注 3)		16	16
用户 I/O 模块		8	8
最大用户 I/O(注 1)		186	186
最大真差分(LVDS)输出(注 1)		22	22
核心工作电压		1.2V	3.3V
芯片等级(注 4)		C/I	C/I
<b>封装规格</b>		<b>单端 IO 与真差分输出数</b>	
N96	96QFN(10×10mm,0.35mm)	69/10	—

### 【注】

1. 管脚列表文件中的用户 I/O 管脚包括所有的通用 I/O 管脚、专用时钟管脚以及两用配置管脚。收发器管脚和专用配置管脚不包括在这一管脚列表中。每对 I/O 都存在真差分输入。
2. 嵌入式 18×18 乘法器均为 DSP 硬核，可做乘法器兼累加器。
3. 16 个全局时钟均包含 8 个主时钟及 8 个次时钟。
4. 等级： C：商业级，结温温度： 0°C—85°C  
I：工业级，结温温度： -40°C—100°C

## 1.3 器件结构

FPGA 的核心构架由四输入查找表(LUTs)、存储器模块以及乘法器构成。嵌入式存储器模块具有 9Kbit 的 SRAM 存储器，可以把嵌入式存储器模块配置成单端口、伪双端口、真双端口 RAM 以及 FIFO 或者 ROM。嵌入式乘法器模块可以在单一模块中实现一个 18×18 或两个 9×9 乘法器。FPGA 器件的 I/O 支持可编程总线保持、可编程上拉电阻、可编程下拉电阻、可编程延迟、可编程驱动能力、可编程 slew-rate 控制以及热插拔的设置。FPGA 器件同时还支持驱动阻抗匹配(Rs)。FPGA 器件有 PLL 和 DLL 以及全局和次级时钟网络以提供可靠、有效且低偏斜的时钟管理与综合，使用 HqFpga 软件可对 PLL 进行时钟频率及相位的配置。FPGA 支持 SDR、DDR、DDR2 等接口，并支持 1.2Gbps 真差分、MIPI 和 7:1 LVDS 视频接口。接口位于器件的六个 I/O bank，以实现更灵活的电路板设计。FPGA 器件的 SDR、DDR1/2 SDRAM 存储器接口解决方案需要由一个 PHY 接口和一个存储控制器组成。智多晶提供了 PHY 接口 IP，可与顾客定制的存储控制器或智多晶提供的存储控制器一起使用。本 FPGA 支持多种配置模式：如 JTAG 模式、被动串行模式 (Passive Serial)、主动串行模式 (Active Serial)和自刷新配置 (Self Refresh Configuration SRC)。配置模块可实现双重启动 (dual boot)、eib boot)、安全性设置、错误检测(Soft Error Detection SED)、以及局部重配置 (Partial



Reconfiguration)等功能。详情请参考 Sealion 2000 系列 FPGA 产品手册。

## 1.4 SL2D-25E 合封 DDR2 SDRAM<sup>1</sup>

西安智多晶的 SL2D-25E FPGA 基于先进的设计理念与成熟的工艺，具有低成本、低功耗、高可靠性等特点。SL2D-25E 采用最新的 3D 合封技术将 32M×16 的 DDR2 SDRAM (M14D5121632A)与 FPGA 裸片合封而成，采用 QFN 封装形式提供给客户。该器件具有大容量内嵌存储器与数字信号处理单元，特别适用于大容量、高速数据的采集、传输和变换等应用。

SL2D-25E 合封的 DDR2 SDRAM 特性如下：

### ❖ 合封 DDR2 SDRAM 电源

- I/O BANK 1、2、5 和 6 的 Vccio(x) 提供合封 DDR2 SDRAM 读/写电源，其电压必须为 1.8±0.1V
- 内置 512Mb DDR2 SDRAM 存储空间，16 数据总线位宽，最高 533MHz 工作频率，最大读写带宽 2132MB/s

### ❖ 结构

- 支持 JEDEC 标准
- SSTL18 接口
- 可分为 4 个 BANK，每个 BANK 大小为 8M×16 bits
- 支持突发读/写 (Burst Read/Write)，突发长度可为 4 和 8
- CAS 延迟时间 (CAS Latency) 可为 3, 4, 5, 6, 7, 8 和 9
- 数据选取脉冲 (DQS) 双沿触数据 (DQ) 转换
- 数据选取脉与读取数据边缘对齐，与写入数据中心对齐
- 支持数据屏蔽 (Data Mask, DM)
- 片内可调差分阻抗(OCT)与终端电阻(ODT)
- 除了数据和数据屏蔽外，所有输入都在系统时钟的上升沿进行采集
- 支持自动和自刷新

### ❖ 读/编程/擦除

- 最小时钟周期: 5ns
- 最小时钟高脉冲宽: 2.25ns
- 最小时钟低脉冲宽: 2.25ns
- 最小输入数据 (DQ) 与数据屏蔽 (DQM) 设定时间 (相对数据选取脉冲 DQS): 1.5ns
- 最小输入数据 (DQ) 与数据屏蔽 (DQM) 保持时间 (相对数据选取脉冲 DQS): 1ns
- 地址与控制总线设定时间: 125ps
- 地址与控制总线保持时间: 200ps
- 工作电流@突发长度=4: 180mA
- BANK 工作电流@突发长度=4: 230mA
- 待机电流: 45mA
- 刷新电流: 8mA@自刷新, 120mA@自动刷新

【注】1: 详细信息可参考 ESMT M14D5121632A 数据手册



## 1.5 封装特性

- 无铅，小型，多 IO 封装
- 10mm x 10mm QFN96，多达 69 个单端口 IO
- 优化的引脚排布，支持两层 PCB 板卡设计



## 2 管脚与封装

### 2.1 管脚定义

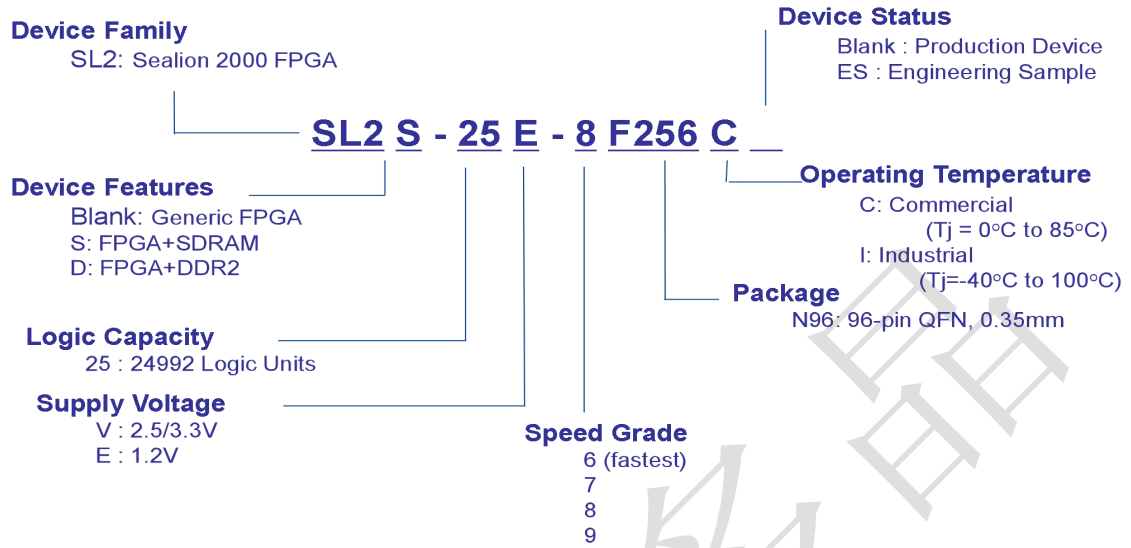
表 2-1 FPGA 管脚定义

管脚名称	方向	描述
<b>普通 I/O</b>		
NC	—	无连接
GND	—	电源地
Vccext(VCC)	—	内部核心模块电源
Vccio(x)	—	I/O 组电源
<b>JTAG 专用管脚</b>		
TCK	输入	TCK 输入边界扫描时钟
TDI	输入	边界扫描数据输入
TDO	输出	边界扫描数据输出
TMS	输入	边界扫描模式选择
<b>配置专用管脚</b>		
nCONFIG	输入	复位信号/重配置触发信号, 低电平时触发一次重配置过程, 在 JTAG 工作时此信号无效。
nSTATUS	输入输出	配置状态标志信号, 配置正常进行或成功完成时为高电平, 在配置初始化或配置错误时为低电平; 可通过拉低此信号来推迟配置开始的时间。
CONF_DONE	输入输出	配置完成标志信号, 配置完成后将会输出高电平信号; 使用 daisy_chain 时, 将所有芯片 DONE 信号连接在一起可以等待所有芯片配置完成后再同时开始工作。
DCLK	输入/输出	配置接口时钟信号, 选择 PS 模式时, 从外界接收时钟信号; 选择 AS 模式时, 向外发出时钟信号。
nCE	输入	片选信号, 低电平时表示选中当前 FPGA 进行配置。
nCSO	输出	AS 模式下用于向外部 SPI FLASH 提供的片选信号, 低电平有效。
nCEO	输出	daisy chain 时向下一级 FPGA 发出的片选信号。
ASDO/SI	输入输出	AS 模式×2×4 位宽下, 向外发出数据, ×1×2×4 位宽下, 接收回读数据。
DATA0/SO	输入输出	AS 模式×2×4 位宽下, 向外发出数据, ×2×4 位宽下, 接收回读数据。



## 2.2 器件编号说明

图 2-1 器件编号说明





## 2.3 SL2D-25E-N96 FPGA 管脚列表

表 2-2 SL2D-25E-N96 管脚列表

Bank Number	VREFB Group	Pin Name/ Function	Differential Inputs	True outputs	LVDS	Configuration Function	DQS X8/X9	for	N96
B1	VREFB1N0	I/O	DIFFIN_L3n			ASDO			1
B1	VREFB1N0	I/O	DIFFIN_L4p			nCSO			2
B1	VREFB1N0	I/O	DIFFIN_L13n			DATA0	LDQ0		5
B1	VREFB1N0	nSTATUS				nSTATUS			6
B1	VREFB1N0	DCLK				DCLK			7
B1	VREFB1N0	nCONFIG				nCONFIG			8
B1	VREFB1N0	TCK				TCK			9
B1	VREFB1N0	TMS				TMS			10
B1	VREFB1N0	TDO				TDO			11
B1	VREFB1N0	TDI				TDI			12
B2	VREFB2N0	I/O	DIFFIN_L16p						14
B2	VREFB2N0	I/O	DIFFIN_L17p/LPLL_INp				LDQ1		15
B2	VREFB2N0	I/O	DIFFIN_L18p						16
B2	VREFB2N0	I/O	DIFFIN_L18n						17
B2	VREFB2N0	I/O	DIFFIN_L20p						19
B2	VREFB2N0	I/O	DIFFIN_L24p						21
B2	VREFB2N0	I/O	DIFFIN_L26p						22
B2	VREFB2N0	I/O	DIFFIN_L26n						23
B2	VREFB2N0	I/O	DIFFIN_L28p						24
B3	VREFB3N0	I/O	DIFFIN_B2p (1)						25
B3	VREFB3N0	I/O	DIFFIN_B2n (1)						26
B3	VREFB3N0	I/O	DIFFIN_B4p (1)						27
B3	VREFB3N0	I/O	DIFFIN_B4n (1)						28
B3	VREFB3N0	I/O	DIFFIN_B11p (1)						30
B3	VREFB3N0	I/O	DIFFIN_B11n (1)						31
B3	VREFB3N0	I/O	DIFFIN_B15p (1)						33
B3	VREFB3N0	I/O	DIFFIN_B15n (1)						34
B3	VREFB3N0	CLK8	DIFFIN_B16p (1)						35
B3	VREFB3N0	I/O	DIFFIN_B16n (1)						36
B4	VREFB4N0	CLK9	DIFFCLK_9p (1)						37
B4	VREFB4N0	I/O	DIFFCLK_9n (1)						38
B4	VREFB4N0	I/O	DIFFIN_B19p (1)						39
B4	VREFB4N0	I/O	DIFFIN_B19n (1)						40
B4	VREFB4N0	I/O	DIFFIN_B20p (1)						41
B4	VREFB4N0	I/O	DIFFIN_B20n (1)						42
B4	VREFB4N0	I/O	DIFFIN_B26p (1)						45
B4	VREFB4N0	I/O	DIFFIN_B26n (1)						46
B4	VREFB4N0	I/O	DIFFIN_B27p (1)						47
B4	VREFB4N0	I/O	DIFFIN_B27n (1)						48
B5	VREFB5N0	I/O	DIFFIN_R28n				RDQ1		49
B5	VREFB5N0	I/O	DIFFIN_R26p						50
B5	VREFB5N0	I/O	DIFFIN_R24n						51
B5	VREFB5N0	I/O	DIFFIN_R24p						52
B5	VREFB5N0	I/O	DIFFIN_R20n						55
B5	VREFB5N0	I/O	DIFFIN_R20p						56
B5	VREFB5N0	I/O	DIFFIN_R18n						57
B5	VREFB5N0	I/O	DIFFIN_R18p						58
B5	VREFB5N0	CLK7	DIFFCLK_6n				RDQ1		59
B5	VREFB5N0	CLK6	DIFFCLK_6p				RDQ1		60
B6	VREFB6N0	MSEL1				MSEL1			61
B6	VREFB6N0	CONF_DONE				CONF_DONE			62
B6	VREFB6N0	CLK5	DIFFCLK_4n				RDQ0		63
B6	VREFB6N0	CLK4	DIFFCLK_4p				RDQ0		64
B6	VREFB6N0	I/O	DIFFIN_R12p						66
B6	VREFB6N0	I/O	DIFFIN_R6p						68
B6	VREFB6N0	I/O	DIFFIN_R4p						70
B6	VREFB6N0	I/O	DIFFIN_R2n						72
B6	VREFB6N0	I/O	DIFFIN_R2p						71
B7	VREFB7N0	I/O	DIFFIN_T31n	DIFFOUT_T19n					73
B7	VREFB7N0	I/O	DIFFIN_T31p	DIFFOUT_T19p					74
B7	VREFB7N0	I/O	DIFFIN_T30n	DIFFOUT_T18n					75
B7	VREFB7N0	I/O	DIFFIN_T30p	DIFFOUT_T18p					76
B7	VREFB7N0	I/O	DIFFIN_T23n	DIFFOUT_T14n					79
B7	VREFB7N0	I/O	DIFFIN_T23p	DIFFOUT_T14p					80
B7	VREFB7N0	I/O	DIFFIN_T21n	DIFFOUT_T13n					81
B7	VREFB7N0	I/O	DIFFIN_T21p	DIFFOUT_T13p					82
B7	VREFB7N0	I/O	DIFFIN_T18n	DIFFOUT_T11n					83
B7	VREFB7N0	I/O	DIFFIN_T18p	DIFFOUT_T11p					84
B8	VREFB8N0	I/O	DIFFIN_T17n	DIFFOUT_T10n					85
B8	VREFB8N0	I/O	DIFFIN_T17p	DIFFOUT_T10p					86
B8	VREFB8N0	I/O	DIFFIN_T15n	DIFFOUT_T9n					87
B8	VREFB8N0	I/O	DIFFIN_T15p	DIFFOUT_T9p					88
B8	VREFB8N0	I/O	DIFFIN_T13n	DIFFOUT_T8n					89
B8	VREFB8N0	I/O	DIFFIN_T13p	DIFFOUT_T8p					90
B8	VREFB8N0	I/O	DIFFIN_T5n	DIFFOUT_T3n					93



Bank Number	VREFB Group	Pin Name/ Function	Differential Inputs	True outputs	LVDS	Configuration Function	DQS X8/X9	for	N96
B8	VREFB8N0	I/O	DIFFIN_T5p	DIFFOUT_T3p					94
B8	VREFB8N0	I/O	DIFFIN_T3n	DIFFOUT_T2n					95
B8	VREFB8N0	I/O	DIFFIN_T3p	DIFFOUT_T2p					96
		VCCEXT							3
		VCCEXT							13
		VCCEXT							20
		VCCEXT							32
		VCCEXT							43
		VCCEXT							53
		VCCEXT							67
		VCCEXT							78
		VCCEXT							91
		VCCIO1							4(6)
		VCCIO2							18(6)
		VCCIO3							29
		VCCIO4							44
		VCCIO5							54(6)
		VCCIO6							65(6)
		VCCIO6							69(6)
		VCCIO7							77
		VCCIO8							92

注 1：一对差分信号差分端口之间含有一个 100Ohm 电阻。

注 2:  $V_{ccio(x)} = 1.8 \pm 0.1V$

注 3：另拥有一个用于接地的暴露焊盘(EPAD)，用户可连接到 PCB 上的数字地。

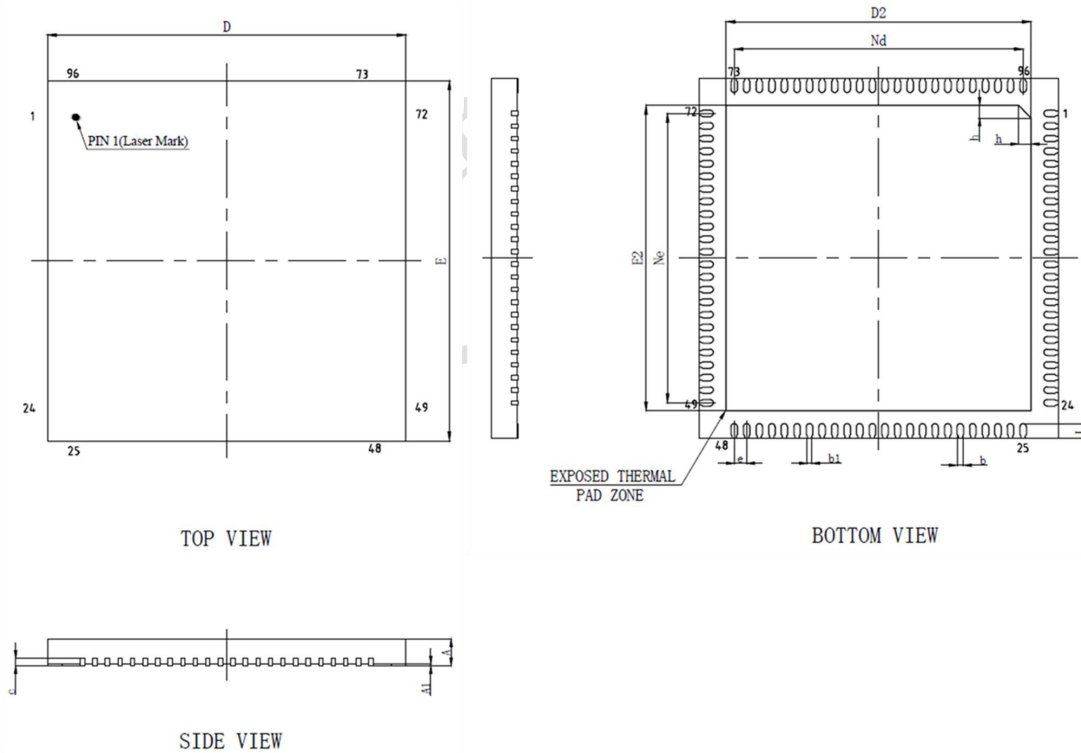


## 2.4 96-pin QFN 封装尺寸

表 2-3 96-pin QFN 封装尺寸表

符号	最小值(mm)	标准值(mm)	最大值(mm)
A	0.70	0.75	0.80
A1	0	0.02	0.05
D	9.90	10.0	10.10
D2	8.40	8.50	8.60
E	9.90	10.0	10.10
E2	8.40	8.5	8.60
b1	0.12REF	0.12REF	0.12REF
e	0.35BSC	0.35BSC	0.35BSC
Nd	8.05BSC	8.05BSC	8.05BSC
Ne	8.05BSC	8.05BSC	8.05BSC
L	0.35	0.40	0.45
h	0.30	0.35	0.40
b	0.13	0.18	0.23
c	0.18	0.20	0.25

图 2-2 96-pin QFN 封装尺寸图



### 3 SL2D-25E/V 交直流特性

请参考 Sealion 2000 系列 FPGA 产品手册。

版权所有©2020 西安智多晶微电子有限公司

未经本公司书面许可，任何单位和个人不得擅自摘抄、复制、翻译本文档内容的部分或全部，并不得以任何形式传播。

#### 免责声明

本文档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其它方式授予任何知识产权许可。除西安智多晶在其产品的销售条款和条件中声明的责任之外，西安智多晶概不承担任何法律或非法律责任。西安智多晶对西安智多晶产品的销售和/或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。西安智多晶对文档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，西安智多晶保留修改文档中任何内容的权利，恕不另行通知。西安智多晶不承诺对这些文档进行适时的更新。