

32 位微控制器

KF32F350

数据手册

芯片特征

● CPU

32 位高性能 KungFu32 内核；
工作频率最高为 120MHz，可软件调节；
基于 16 位/32 位混合指令的高效指令集；
3 级流水线；
32×32 单周期乘法，32÷32 硬件除法；
支持中断优先级处理，实现自动中断堆栈；
13 个 32 位通用寄存器 R0~R12；
链接寄存器（R13）；
堆栈指针寄存器（R14）；
程序计数器（R15）；
24 位系统节拍定时器；

● 存储器

最高 512KByte FLASH，带 ECC 校验；
最高 128KByte RAM，其中 32KByte 带 ECC 校验；
3 个 256Byte 双端口 RAM，带 ECC 校验；
1 个 512Byte 双端口 RAM，带 ECC 校验；
16KByte 引导 ROM；
FLASH 可经受 100 000 次写操作；

● 特殊功能

内嵌上电复位电路；
低电压检测及低电压复位；
可编程电压检测；
硬件双看门狗；
系统时钟 6 种时钟源可选；
支持两线串行编程/在线调试；

● I/O 口配置

LQFP100 封装有 84 个通用 I/O；
LQFP64 封装有 53 个通用 I/O；
LQFP48 封装有 39 个通用 I/O；
支持输入输出设置；
支持内置上拉/下拉功能；
支持推挽输出和开漏输出模式；

支持数字/模拟引脚设置；
支持引脚功能重映射；
施密特电平输入；

● 定时器/计数器

定时器 5/6/9/10 为高级定时器，其中定时器 5/6 支持 ECCP5；定时器 9/10 支持 ECCP9
定时器 0/1/2/3/4/18/19/22/23 为通用定时器，其中定时器 0/1/2/3/4/18/19/22/23 支持 CCP0/1/2/3/4/18/19/22/23；
定时器 20/21：32 为通用定时器，其中定时器 20/21 分别支持 CCP20/21；
定时器 14/15：基本定时器；
定时器 7/8 支持 QEI0/QEI1；

● 其它外设

2 个 7 通道 DMA；
1 个硬件 CRC32 模块；
4 个 SPI 总线模块（兼容 I2S）；
4 个 I2C 总线模块（兼容 SMBUS/PMBUS）；
8 个 USART 模块（兼容 7816/LIN/IRDA 功能）；
3 个 CAN2.0B 模块；
1 个 USB2.0 模块；
1 个兼容 8080 模式的 EXIC 模块；
1 个独立的 RTC（万年历）；
3 个 12 位 ADC 模块，支持最多 42 个通道；
2 个 12 位 DAC 模块；
2 个 CMP 比较器模块；

● 功耗管理

3 种功耗模式：正常运行模式、普通休眠模式、停止模式；

● 工作条件

工作电压：1.8V~3.6V；
工作温度范围：-40~85℃；

目 录

芯片特征.....	
目 录.....	
1 芯片资源.....	
1.1 产品订购信息 KF32F350.....	
1.2 KF32F350 资源表.....	
2 系统概述.....	
2.1 系统概述.....	
2.2 指令集.....	
2.3 在线编程和调试.....	
2.3.1 ISP 模式.....	
2.3.2 DPI 模式.....	
2.4 系统框图.....	
2.5 KF32F350 外设资源对照表.....	
2.6 芯片引脚图.....	
2.6.1 LQFP48.....	
2.6.2 LQFP64.....	
2.6.3 LQFP100.....	
2.7 电源引脚说明.....	
3 振荡器（OSC）.....	
3.1 概述.....	
3.2 振荡器结构框图.....	
4 存储器（memory）.....	
4.1 概述.....	
4.2 存储器空间映射.....	
5 I/O 端口介绍.....	
5.1 概述.....	
5.2 引脚重映射说明（数字功能）.....	
5.3 引脚重映射说明（系统以及模拟功能）.....	
5.4 引脚重映射表-外部唤醒引脚、侵入检测和时间戳引脚映射.....	
5.5 CCP 引脚资源.....	
6 资源介绍.....	
6.1 DMA.....	
6.2 节拍定时器（SYSTICK）.....	
6.3 基本定时/计数器(T14/T15).....	
6.4 通用定时/计数器(T0/1/2/3/4/18/19/20/21/22/23).....	

6.5	高级定时/计数器 (T5/T6/T9/T10)
6.6	通用捕捉/比较/PWM 模块 (CCP0/1/2/3/4/18/19/20/21/22/23)
6.7	增强型捕捉/比较/PWM 模块(ECCP5/9).....
6.8	正交编码脉冲电路 (QEIO/1)
6.9	模数转换模块 (A/D)
6.10	数模转换器模块 (D/A)
6.11	拟比较器模块 (CMP)
6.12	通用全/半双工收发器 (USART)
6.13	串行外设接口 (SPI)
6.14	内部集成电路接口 (I2C)
6.15	实时时钟 (RTC)
6.16	控制器局域网总线 (CAN)
6.17	独立看门狗 (IWDG)
6.18	窗口看门狗 (WWDG)
6.19	USB 模块 (USB)
6.20	CFGL 模块 (CFGL)
6.21	复位 (RESET)
6.22	外设模块时钟使能模块(CLK_EN).....
6.23	循环冗余校验单元 (CRC)
6.24	EXIC 接口.....
7	电气特性.....
7.1	概述.....
7.1.1	最大值和最小值说明.....
7.1.2	典型值.....
7.2	最大承受范围.....
7.3	运行条件.....
7.3.1	常规运行条件.....
7.3.2	上电/掉电的运行条件.....
7.3.3	复位和电源控制模块特性 BOR,PVD.....
7.3.4	BAT PVD.....
7.3.5	电源电流特性.....
7.3.6	内核电源 VREG.....
7.4	时钟源特性.....
7.4.1	HSE.....
7.4.2	LSE.....
7.4.3	HSI.....
7.4.4	LP4M.....
7.4.5	LSI.....
7.4.6	PLL.....
7.5	IO 端口特性.....
7.5.1	静态特性.....
7.5.2	IO 输出特性.....
7.5.3	IO AC 特性.....

7.5.4 NRST pin 特性.....	
7.5.5 外部中断特性.....	
7.6 外设.....	
7.6.1 ADC 12BIT 特性.....	
7.6.2 DAC 12 BIT 转换特性.....	
7.6.3 电压参考 VREFREG 特性.....	
7.6.4 比较器特性.....	
7.6.5 USB 全低速收发器模块电气特性.....	
7.7 功耗特性.....	
7.7.1 程序运行在 FLASH 时的静态功耗特性.....	
7.7.2 程序运行在 SRAM 时的静态功耗特性.....	
7.7.3 休眠功耗特性.....	
7.7.4 低功耗模式特性.....	
8 封装信息.....	
8.1 LQFP48 封装.....	
8.2 LQFP64 封装.....	
8.3 LQFP100 封装.....	
9 KF32 产品标识体系.....	
10 RoHS 认证.....	
11 声明及销售网络.....	
12 版本更新记录.....	

1 芯片资源

1.1 产品订购信息 KF32F350

型号	订货号	封装	GPIO	FLASH(KB)	RAM(KB)	频率(Hz)	16 位定时器			32 位定时器	CCP	ECCP	QE1	EXIC	SPI	I2C	USART	CAN	USB	12 位 ADC	12 位 DAC	比较器	RTC	CFGL	CRC	工作电压(V)
							基本	通用	高级																	
KF32F350	KF32F350KQS	LQFP48	39	256	48	120M	2	4	4	2	4	1X8ch	1	N	3	2	3	2	N	1(22)	N	2	Y	Y	Y	1.8~3.6V
	KF32F350MQS	LQFP48	39	512	128	120M	2	4	4	2	4	1X8ch	1	N	3	2	3	2	N	1(22)	N	2	Y	Y	Y	1.8~3.6V
	KF32F350KQT	LQFP64	53	256	128	120M	2	9	4	2	11	2X8ch	2	N	3	3	8	2	1	3(30)	2	2	Y	Y	Y	1.8~3.6V
	KF32F350MQT	LQFP64	53	512	128	120M	2	9	4	2	11	2X8ch	2	N	3	3	8	2	1	3(30)	2	2	Y	Y	Y	1.8~3.6V
	KF32F350KQV	LQFP100	85	256	128	120M	2	9	4	2	11	2X8ch	2	Y	4	4	8	3	1	3(42)	2	2	Y	Y	Y	1.8~3.6V
	KF32F350MQV	LQFP100	85	512	128	120M	2	9	4	2	11	2X8ch	2	Y	4	4	8	3	1	3(42)	2	2	Y	Y	Y	1.8~3.6V

1.2 KF32F350 资源表

表 1-1 KF32F350 资源表

型号	KF32F350					
订货号	KF32F350KQS	KF32F350MQS	KF32F350KQT	KF32F350MQT	KF32F350KQV	KF32F350MQV
封装	LQFP48		LQFP64		LQFP100	
GPIO	39		53		84	
FLASH	256 Kbyte, 带 ECC 校验	512 Kbyte, 带 ECC 校验	256 Kbyte, 带 ECC 校验	512Kbyte, 带 ECC 校验	256 Kbyte, 带 ECC 校验	512Kbyte, 带 ECC 校验
RAM	48Kbyte, 带 ECC 校验 32K	128Kbyte, 带 ECC 校验 32K				
双端口 RAM	2 个 256 byte		2 个 256 byte / 1 个 512 byte		3 个 256 byte / 1 个 512 byte	
ROM	16 Kbyte					
16 位 Timer	2 个高级定时器支持 1 个增强型 CCP		4 个高级定时器支持 2 个增强型 CCP			
	4 个通用定时器支持 4 个通用 CCP		9 个通用定时器支持 9 个通用 CCP			
	2 个基本定时器					
32 位 Timer	2					
QEI	1		2			
12 位 ADC	1*22		3*30		3*42	
12 位 DAC	N		2			
CMP	2					
USART	3		8			
I2C	2		3		4	
SPI	3				4	
USB2.0	N		1			
CAN2.0B	2				3	
RTC	Y					
DMA	2x7					
CRC	1					
CFGL	Y					
EXIC	N				Y	
内部高频振荡器	16MHz					
内部低频振荡器	32KHz					
外部高频时钟	4~32MHz					
外部低频时钟	32.768KHz					
内部参考	1.5/2.5/3V					
器件 ID 号	含出厂版本号等					
指令系统	V0					
工作电压	1.8V~3.6V					
工作温度	工作温度范围: -40~85°C					

2 系统概述

2.1 系统概述

KF32F350 系列单片机是基于 KF32 内核架构开发的单片机。KF32 为 32 位三级流水线结构的高性能处理器内核，KF32 内核具有以下特点：

- 三级流水线结构
- 基于 16 位/32 位混合指令的高效指令集
- 支持 13 个 32 位通用寄存器（R0~R12），1 个链接寄存器（R13），1 个堆栈指针寄存器（R14），1 个程序计数器（R15）
- 支持 32×32 单周期硬件乘法
- 支持 32/32 硬件除法
- 支持 8/16/32 位数据访存操作，支持 8/16/32/64 位数据处理
- 支持加减移位和逻辑运算
- 支持相对/绝对跳转，支持条件跳转
- 具有统一的存储空间，32 位地址位宽，支持 4GB 存储空间
- 支持最多 58+16 个中断请求和 16 个中断优先级
- 支持多种休眠模式
- 支持 24 位系统节拍定时器
- 提供了可编程存储器访问权限控制
- 支持多种操作系统（OS）特性

2.2 指令集

KF32F350 系列单片机拥有基于 16 位/32 位混合指令的高效指令集，拥有多种操作模式。

2.3 在线编程和调试

开发人员和用户可以使用未编程的单片机来制造电路板，然后对其在线编程，调试等。只要有电脑、USB 下载线和编程器，即可在任何时候，任何地点，对电路板上的单片机程序进行更新。

可以通过下列方式实现对单片机的编程或调试：

- ISP 模式进行编程
- DPI 模式进行调试或编程

2.3.1 ISP 模式

在 ROM 启动模式中可以直接通过串口实现对芯片的编程。该模式接口连接如下图所示。

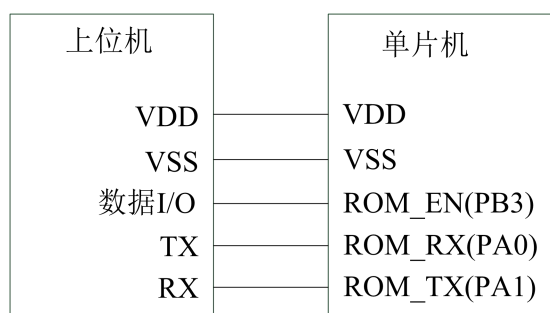


图 2-1 ISP 模式编程接口

2.3.2 DPI 模式

DPI (Debug/Program Interface) 模式通过 KF32DP 编程器对芯片进行调试或编程。该模式接口连接如下图所示。

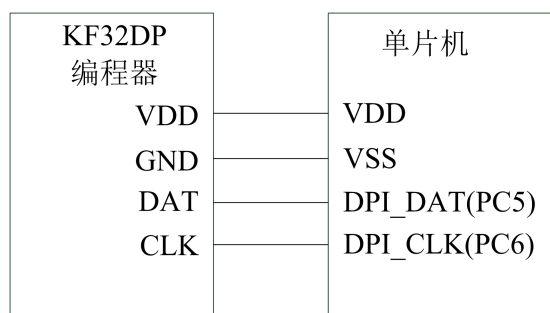


图 2-2 DPI 模式编程接口

2.4 系统框图



图 2-3 系统结构框图

2.5 KF32F350 外设资源对照表

表 2-1 KF32F350 外设资源对照表

型号	KF32F350					
	KF32F350KQS	KF32F350MQS	KF32F350KQT	KF32F350MQT	KF32F350KQV	KF32F350MQV
封装	LQFP48	LQFP48	LQFP64	LQFP64	LQFP100	LQFP100
GPIO	39	39	53	53	85	85
FLASH	256KB	512KB	256KB	512KB	256KB	512KB
RAM	48KB	128KB	128KB	128KB	128KB	128KB
ROM	16KB	16KB	16KB	16KB	16KB	16KB
频率(Hz)	120M	120M	120M	120M	120M	120M
16 位基本定时器	T14/15	T14/15	T14/15	T14/15	T14/15	T14/15
16 位通用定时器	T0/1/3/4	T0/1/3/4	T0/1/2/3/4/18/19/22/23	T0/1/2/3/4/18/19/22/23	T0/1/2/3/4/18/19/22/23	T0/1/2/3/4/18/19/22/23
32 位通用定时器	T20/21	T20/21	T20/21	T20/21	T20/21	T20/21
16 位高级定时器	T5/6	T5/6	T5/6/9/10	T5/6/9/10	T5/6/9/10	T5/6/9/10
QEI	QEI0	QEI0	QEI0/1	QEI0/1	QEI0/1	QEI0/1
12 位 ADC	ADC0	ADC0	ADC0/1/2	ADC0/1/2	ADC0/1/2	ADC0/1/2
12 位 DAC	N	N	DAC0/1	DAC0/1	DAC0/1	DAC0/1
CMP	CMP0/1	CMP0/1	CMP0/1	CMP0/1	CMP0/1	CMP0/1
USART	USART0/1/2	USART0/1/2	USART0/1/2/3/4/5/6/7	USART0/1/2/3/4/5/6/7	USART0/1/2/3/4/5/6/7	USART0/1/2/3/4/5/6/7
I2C	I2C0/1/2	I2C0/1/2	I2C0/1/2	I2C0/1/2	I2C0/1/2/3	I2C0/1/2/3
SPI	SPI0/1/3	SPI0/1/3	SPI0/1/2	SPI0/1/2	SPI0/1/2/3	SPI0/1/2/3
CAN	CAN0/1	CAN0/1	CAN0/1	CAN0/1	CAN0/1/2	CAN0/1/2
USB2.0	N	N	Y	Y	Y	Y
RTC	Y	Y	Y	Y	Y	Y
EXIC	N	N	N	N	Y	Y
DMA	DMA0/1	DMA0/1	DMA0/1	DMA0/1	DMA0/1	DMA0/1
CRC	Y	Y	Y	Y	Y	Y
CFGL	Y	Y	Y	Y	Y	Y

2.6 芯片引脚图

2.6.1 LQFP48

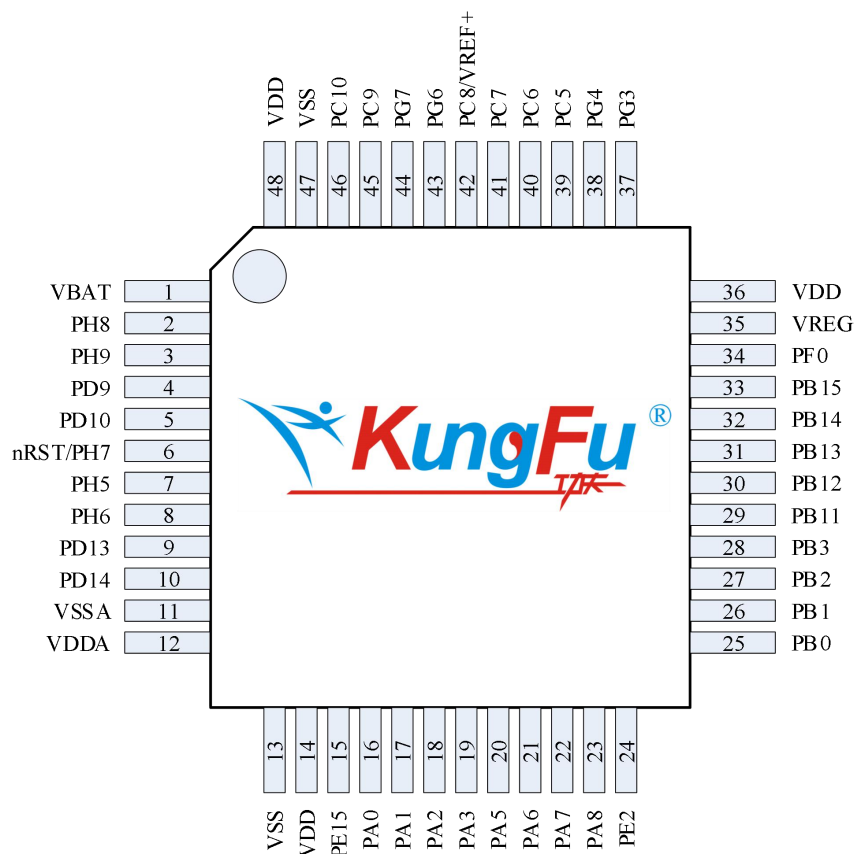


图 2-4 LQFP48

2.6.2 LQFP64

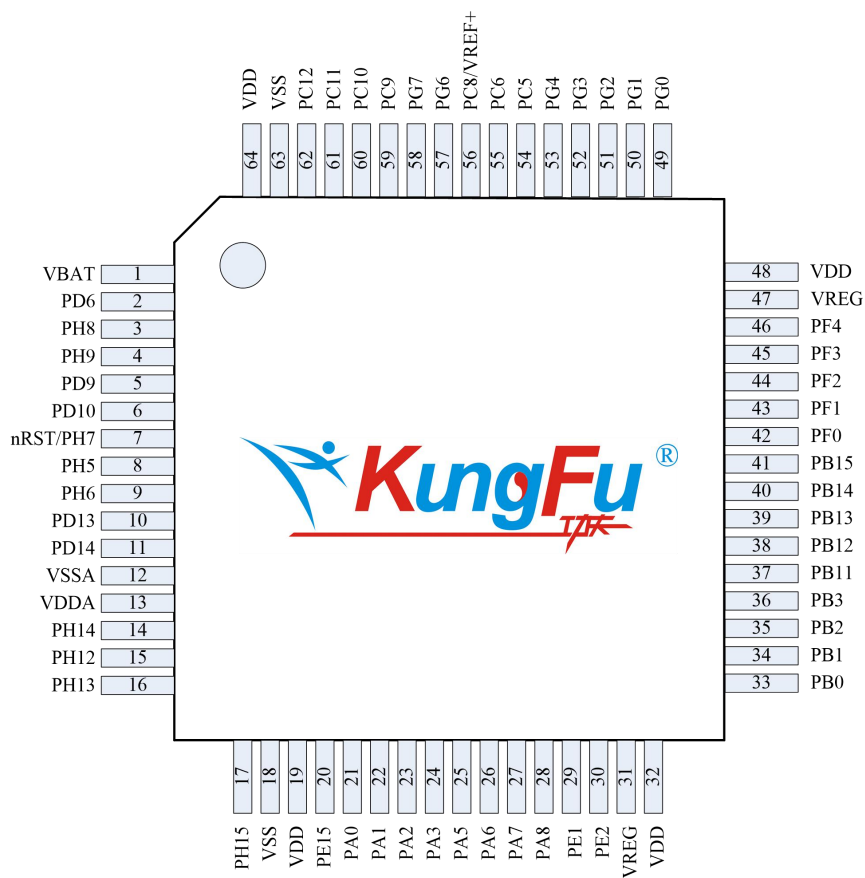


图 2-5 LQFP64

2.6.3 LQFP100

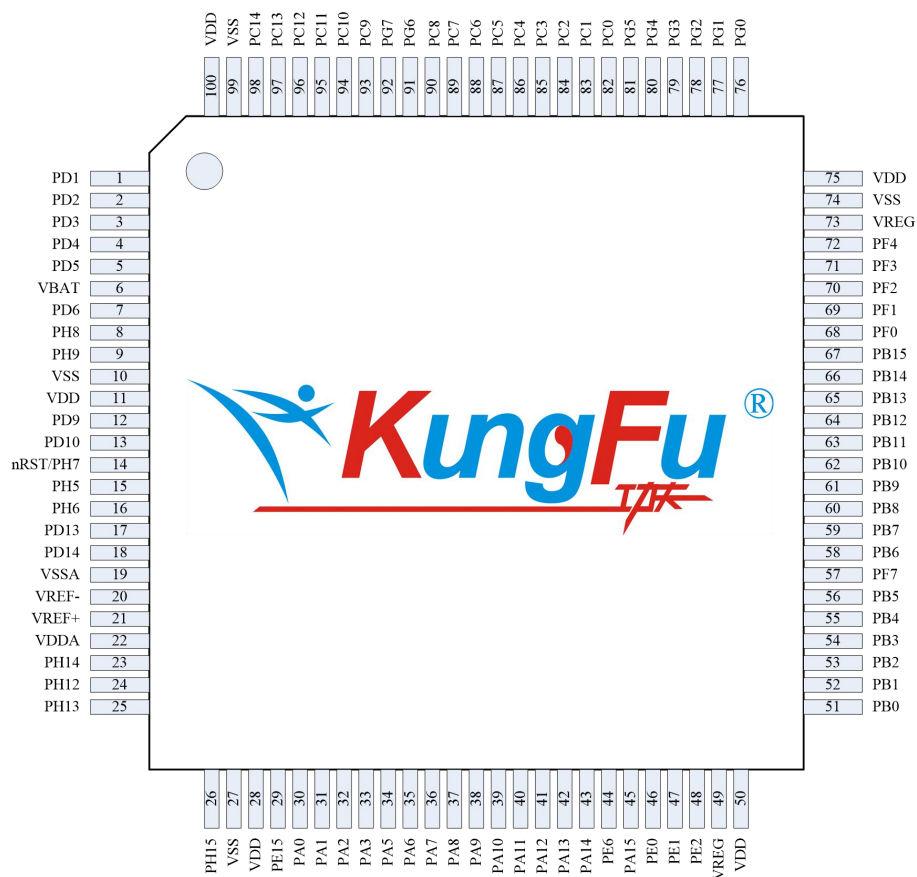
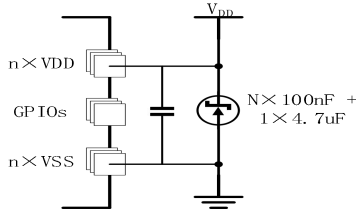
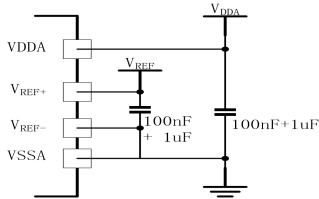
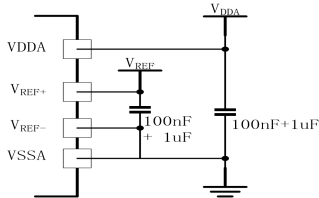
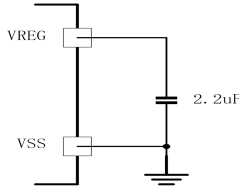


图 2-6 LQFP100

2.7 电源引脚说明

表 2-2 电源引脚连接说明

引脚名称	功能说明
VDD/VSS	<p>供电电源/地引脚，所有 VDD、VSS 须在外围分别连接，需要接 4.7uF 电容和稳压二极管，靠近 VDD/VSS；每组电源地之间，还需要接一个 100nF 的电容，方式参考下图。</p> 
VDDA/VSSA	<p>模拟电源/地引脚。VDDA 须和 VDD 外围连接，VSSA 须和 VSS 外围连接，需要接 1uF+100nF 电容，靠近 VDDA/VSSA。方式参考下图。</p> 
VREF+/VREF-	<p>AD 参考电源/地脚，使用 VREF-引脚功能时需要接地，需要接 1uF+100nF 电容，靠近 VREF+/-；方式参考下图。</p> <p>注意：</p> <ol style="list-style-type: none"> 1.使用内部参考电压模块时，VREF+/VREF-将被占用；因此，当使用外部参考电压时，请勿使能内部参考电压模块。 2.部分封装该引脚位于通用 IO 口。 
VREG	<p>1.2V 外接电容脚，必须外接 2.2uF 电容。</p> 
VBAT	<p>电池脚，使用时建议接电容 1uF。</p>

3 振荡器 (OSC)

3.1 概述

单片机提供 6 种基础时钟振荡器选择, 分别为内部高频 (INTHF)、内部低频 (INTLF)、外部高频 (EXTHF)、外部低频 (EXTLF)、内部的 PLL 和低功耗 4M 时钟 LP4M。内部的 PLL 可以将内部高频 (INTHF) 和外部高频 (EXTHF) 的输出时钟倍频, 提供更高频率的工作时钟选择, 作为系统和外设工作需要的基础时钟。通过寄存器配置, 可以从 6 种振荡器中得到 4 种系统和外设运行时需要的时钟源: 系统主时钟 (SCLK)、低频外设时钟 (LFCLK)、高频外设时钟 (HFCLK) 和 48MHz 时钟 (CK48M) 满足不同的需要。此外, 内部低频振荡器还可以直接用于看门狗定时器、时钟故障检测或是其他低功耗外设的时钟。

系统复位后, INTHF 振荡器被选为系统时钟, 当系统时钟需要切换时, 只有当目标时钟源准备就绪 (时钟源稳定, 延迟标志位置 1), 才会发生时钟源的切换。

振荡器模块具有以下特征:

- 提供 6 种振荡源选择
 - 内部高频振荡器 INTHF (16MHz)
 - 内部低频振荡器 INTLF (32KHz)
 - 外接高频振荡器 EXTHF (4~32MHz)
 - 外部低频振荡器 EXTLF (32.768KHz 的晶振)
 - 内部 PLL (最高 400MHz)
 - 内部低功耗振荡器 LP4M (4MHz)
- 可产生 4 种时钟源
 - 系统主时钟 SCLK
由内部高频 (INTHF)、内部低频 (INTLF)、外部高频 (EXTHF)、外部低频 (EXTLF)、PLL 倍频或内部 4M 振荡器 (LP4M) 产生。
 - 高频外设时钟 HFCLK
由内部高频 (INTHF)、外部高频 (EXTHF)、PLL 倍频或内部 4M 振荡器 (LP4M) 产生。
 - 低频外设时钟 LFCLK
由内部低频 (INTLF) 或外部低频 (EXTLF) 产生。
 - USB 时钟 CK48M
由内部高频 (INTHF)、外部高频 (EXTHF) 或 PLL 倍频产生, 实际 USB 需要使用 48MHz 时钟, 只能由 PLL 产生。
- 外部时钟启动/切换保障
- 带时钟同步功能
- 带时钟故障检测功能

3.2 振荡器结构框图

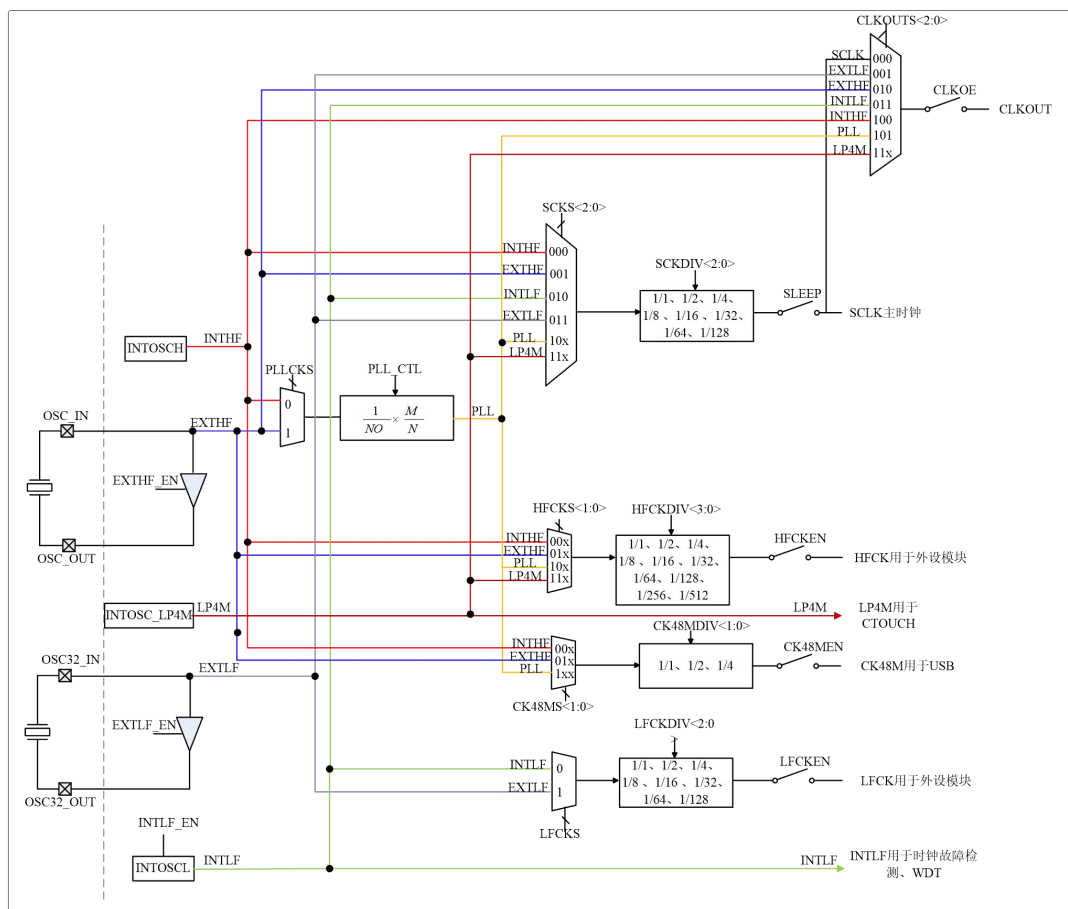


图 3-1 振荡器结构框图

注 1：内部低频可直接用于时钟故障检测、看门狗、上电复位延迟定时器（PWRT）以及低功耗外设。

注 2：当任意时钟源选择 EXTHF 作为时钟源或软件使能时 EXTHF_EN 使能。

注 3：当任意时钟源选择 EXTLF 作为时钟源或软件使能时 EXTLF_EN 使能。

4 存储器 (memory)

4.1 概述

芯片为统一线性编址。芯片采用小端存储格式，低字节为最低有效位，高字节为最高有效位。

4.2 存储器空间映射

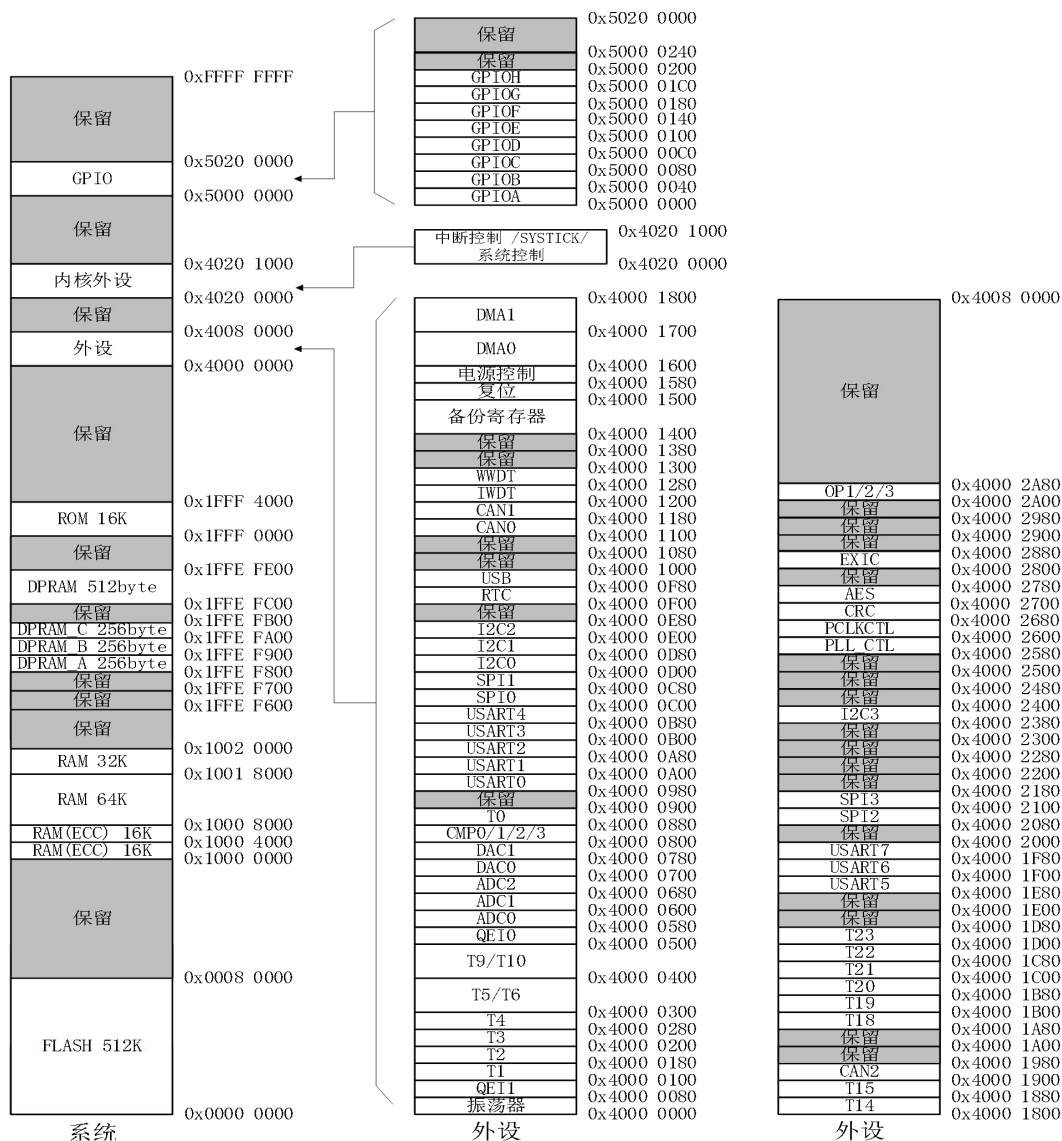


图 4-1 存储空间映射

注意，上图中的外设为 KF32F 系列单片机的所有外设汇总，具体订货号所带资源，请参见芯片资源章节和外设资源对照表。最左边的系统的 FLASH/RAM/ROM 地址为各型号的预留空间。

表 4-1 存储器预留空间分配示意

地址	模块
0x0000 0000 - 0x0007 FFFF	FLASH 空间，带 ECC 校验
0x1000 0000 - 0x1000 7FFF	单端口 SRAM 空间，带 ECC 校验
0x1000 8000 - 0x1001 FFFF	单端口 SRAM 空间
0x1FFE F800 - 0x1FFE FAFF	双端口 SRAM 空间，带 ECC 校验
0x1FFF 0000 - 0x1FFF 3FFF	ROM 空间
0x4000 0000 - 0x4007 FFFF	外设
0x4020 0000 - 0x4020 0FFF	内核外设
0x5000 0000 - 0x501F FFFF	GPIO

表 4-2 不同型号对应 Flash 存储器空间

FLASH 大小	有效地址	对应产品订货号
512KB	0x0000 0000 - 0x0007 FFFF	KF32F350MQT/MQV/MQS
256KB	0x0000 0000 - 0x0003 FFFF	KF32F350KQT/KQV/KQS

5 I/O 端口介绍

5.1 概述

单片机有不同的管脚封装，分别是 LQFP48、LQFP64、LQFP100。

单片机最多支持 100 个引脚，包括 PA 口、PB 口、PC 口、PD 口、PE 口、PF 口、PG 口、PH 口和电源等特殊引脚。每个 Px (x=A,B,C,D,E,F,G,H) 最多有 16 个引脚。

端口特性如下：

- 数字输入
 - 数字输出
 - 推挽式输出
 - 开漏输出
 - 浮空输出
 - 模拟输入设置
 - 独立端口上/下拉控制
- 注：浮空输出为部分重映射功能。

5.2 引脚重映射说明（数字功能）

表 5-1 引脚重映射表_数字功能

KF32F350			GPIO	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13	AF14
100pin	64pin	48pin	GPIO	SYSTEM	T0/1/2/3/4	T5/6/9/10	T20/21/23/QE11	T14/T15/18/19/22/QE10	USART0/1/2	USART3/4/5/6/7	SPI0/1/2/3	I2C0/1/2/3	CAN0~2/FLT	额外提供	额外提供	CFGL	额外提供	额外提供
25	16		PH13		CCP2CH3	ECCP5CH3H	CCP20CH4		USART2_TX0			I2C1_SDA		CCP21CH3		CFGL1_IN0		
26	17		PH15		CCP2CH4	ECCP5CH1L	CCP20CH2	T14CK	USART2_RX			I2C0_SCL		CCP21CH4		CFGL2_IN0		
27	18	13	VSS															
28	19	14	VDD															
29	20	15	PE15		T1CK			QEA0	USART2_CLK		SPI0_SS/I2S0_WS			SPI3_SS/I2S3_WS		CFGL1_IN2		
30	21	16	PA0	CLKOUT/ROM_RX	CCP0CH1	ECCP5CH1L	T20CK	T14CK	USART0_RX		I2S0_MCK	I2C0_SDA		SPI0_SCK/I2S0_CK		CFGL1_IN1	EXIC_DATA0	
31	22	17	PA1	ROM_TX	CCP0CH2	ECCP5CH1H	CCP20CH1	T15CK	USART0_TX0		SPI0_SDI	I2C0_SCL	FLT12	ECCP5BKIN	CCP3CH1	CFGL1_IN0	EXIC_DATA1	
32	23	18	PA2		CCP0CH3	ECCP5CH2L	CCP20CH2		USART0_TX1		SPI0_SDO/I2S0_SD	I2C0_SMBALT	CAN0RX	ECCP5CH1L	CCP3CH2	CFGL2_IN0	EXIC_DATA2	
33	24	19	PA3		CCP0CH4	ECCP5CH2H	CCP20CH3	QEA0	USART0_CLK		SPI0_SS/I2S0_WS		CAN0TX			CFGL1_OUT	EXIC_DATA3	
34	25	20	PA5		CCP3CH1	ECCP5CH3H		INDEX0	USART0_RTS		SPI1_SDI	I2C2_SCL	CAN1TX				EXIC_DATA5	
35	26	21	PA6		CCP3CH2	ECCP5CH4L		QE10DIR	USART0_CTS		SPI1_SDO/I2S1_SD	I2C2_SMBALT		ECCP5CH2L	CCP3CH3		EXIC_DATA6	
36	27	22	PA7		CCP4CH4	ECCP5CH3L									CCP3CH4			
37	28	23	PA8		CCP3CH3	ECCP5CH4H	QEA1		USART2_RX		SPI1_SS/I2S1_WS	I2C0_SDA			C0OUT		EXIC_DATA0	
38			PA9		CCP3CH4	T5CK	QEB1	CCP19CH3	USART2_TX0		SPI1_SCK/I2S1_CK	I2C0_SCL	FLT11		C1OUT		EXIC_DATA1	
39			PA10		T3CK	ECCP5BKIN	INDEX1	CCP19CH4	USART2_CLK		I2S1_MCK	I2C0_SMBALT	FLT10	ECCP5CH1L			EXIC_DATA2	
40			PA11		CCP4CH1		QE11DIR	CCP19CH1	USART2_TX1	USART3_RX	SPI3_SDO/I2S3_SD	I2C3_SMBALT	CAN2RX	ECCP5CH1H		CFGL1_IN2	EXIC_DATA3	
41			PA12		CCP4CH2	ECCP5CH2L				USART3_TX0	SPI3_SDI	I2C3_SDA	CAN2TX			CFGL2_IN2	EXIC_DATA4	
42			PA13		CCP4CH3	ECCP5CH2H		CCP22CH4	USART2_RTS	USART3_TX1	SPI3_SCK/I2S3_CK	I2C3_SCL				CFGL1_IN1	EXIC_DATA5	
43			PA14	RTC_OUT	CCP4CH4	T6CK			USART2_CTS	USART3_CLK	SPI1_SCK/I2S1_CK	I2C1_SCL		ECCP5CH3L		CFGL2_IN1	EXIC_DATA6	
44			PE6		CCP4CH1	ECCP5CH3H		CCP22CH4			SPI1_SDI	I2C1_SDA					EXIC_DATA7	
45			PA15		T0CK	ECCP5CH4H	T20CK		USART1_RX		SPI2_SCK/I2S2_CK	I2C2_SCL					EXIC_DATA8	
46			PE0		T4CK	ECCP5BKIN	CCP20CH1		USART1_TX0	USART6_RTS	SPI2_SDI	I2C2_SDA			USART1_RX		EXIC_DATA9	

KF32F350			GPIO	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13	AF14
100pin	64pin	48pin	GPIO	SYSTEM	T0/1/2/3/4	T5/6/9/10	T20/21/23/QE11	T14/T15/18/19/22/QE10	USART0/1/2	USART3/4/5/6/7	SPI0/1/2/3	I2C0/1/2/3	CAN0~2/FLT	额外提供	额外提供	CFGL	额外提供	额外提供
47	29		PE1		CCP0CH1	ECCP9CH3L	CCP20CH2		USART1_CLK	USART6_CTS	SPI2_SDO/I2S2_SD	I2C1_SCL		SPI1_SCK/I2S1_CK	USART1_TX0			
48	30	24	PE2		CCP0CH2		CCP20CH3		USART1_TX1		I2S3_MCK	I2C1_SDA			USART1_RX			
49	31		VREG															
50	32		VDD															
51	33	25	PB0		CCP1CH1	ECCP5BKIN			USART1_RX		SPI1_SS/I2S1_WS	I2C1_SMBALT			USART1_CLK		EXIC_DATA7	
52	34	26	PB1	RTC_OUT	CCP1CH2	ECCP5CH1L			USART1_TX0		SPI1_SCK/I2S1_CK	I2C1_SCL			USART1_CTS		EXIC_DATA8	
53	35	27	PB2		CCP1CH3	ECCP5CH2L			USART1_TX1		SPI1_SDI	I2C1_SDA	CAN0RX		USART1_RTS		EXIC_DATA9	
54	36	28	PB3	RTC_OUT/ROM_EN	CCP1CH4	ECCP5CH3L			USART1_CLK		SPI1_SDO/I2S1_SD	I2C0_SMBALT	CAN0TX				EXIC_DATA10	
55			PB4		T1CK	ECCP9BKIN	CCP23CH3	T14CK		USART6_RX	I2S1_MCK	I2C0_SCL	CAN1RX	SPI0_SDO/I2S0_SD	USART3_TX0		EXIC_DATA15	
56			PB5		T0CK	T10CK	CCP23CH4	T15CK	USART1_RTS	USART6_TX0	SPI0_SDI	I2C0_SDA	CAN1TX		USART3_RX		EXIC_DATA12	
57			PF7		CCP0CH4				USART6_CLK		SPI0_SCK/I2S0_CK	I2C0_SCL			USART3_CLK		EXIC_DATA0	
58			PB6		CCP0CH1		QEA1		USART0_RX		SPI3_SCK/I2S3_CK				USART3_CTS		EXIC_DATA7	
59			PB7		CCP0CH4		QEB1	CCP18CH1	USART0_TX0		I2S0_MCK				USART3_RTS		EXIC_DATA8	
60			PB8		CCP0CH3		INDEX1	CCP18CH2	USART0_TX1		SPI0_SS/I2S0_WS						EXIC_DATA9	
61			PB9	CLKOUT	CCP0CH2	ECCP5BKIN	QE11DIR	CCP18CH3	USART0_CLK		SPI0_SCK/I2S0_CK			SPI3_SDO/I2S3_SD	USART0_TX0		EXIC_DATA10	
62			PB10		CCP0CH1			CCP18CH4	USART0_RX		SPI3_SDI						EXIC_DATA11	
63	37	29	PB11		CCP3CH1	ECCP5CH1H		T14CK	USART0_RTS					I2S1_MCK			EXIC_DATA12	
64	38	30	PB12		CCP3CH2	ECCP5CH2H		T15CK	USART0_CTS					I2C1_SCL			I2S3_MCK	
65	39	31	PB13		CCP3CH3	ECCP5CH3H							FLT12	I2C1_SDA				
66	40	32	PB14		CCP3CH4	ECCP5CH1L	CCP21CH1	QEA0	USART2_TX0		SPI3_SDO/I2S3_SD		FLT11	ECCP5CH4H	I2C2_SDA			
67	41	33	PB15		T4CK	ECCP5CH1H	CCP21CH2	QEB0	USART2_RX		SPI3_SDI	I2C2_SDA	FLT10	ECCP5CH1H	I2C2_SCL	CFGL1_IN3		
68	42	34	PF0		CCP1CH1	ECCP5CH2L	CCP21CH3		USART2_CLK		SPI3_SCK/I2S3_CK	I2C2_SCL		ECCP5CH2H	I2C2_SMBALT	CFGL2_IN3		
69	43		PF1		CCP1CH2	ECCP5CH2H	CCP21CH4		USART2_TX1	USART4_RTS	SPI3_SS/I2S3_WS			ECCP5CH3H	USART4_RX			
70	44		PF2		CCP1CH3	ECCP5CH3L	T21CK			USART4_CTS	I2S3_MCK			ECCP5CH4H				
71	45		PF3		CCP1CH4	ECCP5CH3H	CCP20CH1		USART2_RTS	USART4_TX1				ECCP5BKIN	USART4_RTS			
72	46		PF4		CCP0CH4	ECCP5CH4L	CCP20CH2		USART2_CTS	USART4_CLK								

KF32F350			GPIO	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13	AF14
100pin	64pin	48pin	GPIO	SYSTEM	T0/1/2/3/4	T5/6/9/10	T20/21/23/QEI1	T14/T15/18/19/22/QEI0	USART0/1/2	USART3/4/5/6/7	SPI0/1/2/3	I2C0/1/2/3	CAN0~2/FLT	额外提供	额外提供	CFGL	额外提供	额外提供
73	47	35	VREG															
74			VSS															
75	48	36	VDD															
76	49		PG0				T21CK		USART0_RX									
77	50		PG1		CCP2CH1	ECCP9CH1L	CCP21CH1		USART0_TX0	USART5_RTS	SPI2_SS/I2S2_WS			T20CK	SPI3_SS/I2S3_WS			
78	51		PG2		CCP2CH2	ECCP9CH1H	CCP21CH2		USART0_CLK	USART5_TX1	SPI3_SCK/I2S3_CK				USART0_TX0			
79	52	37	PG3				CCP21CH3		USART0_TX1		SPI3_SDI				USART0_RX			
80	53	38	PG4				CCP21CH4				SPI3_SDO/I2S3_SD							
81			PG5		T2CK	T9CK			USART0_RTS	USART5_TX0								EXIC_DATA14
82			PC0		CCP2CH1	ECCP5CH3L	T21CK	T14CK	USART2_RX		I2S0_MCK							EXIC_DATA13
83			PC1		CCP2CH2	ECCP5CH3H	T23CK	T15CK	USART2_TX0	USART5_RX	SPI0_SDI	I2C2_SDA		T3CK	USART6_RX			EXIC_DATA14
84			PC2		CCP2CH3	ECCP5CH4L			USART2_TX1	USART4_TX0	SPI0_SDO/I2S0_SD	I2C2_SCL			USART2_CTS			EXIC_DATA11
85			PC3		CCP2CH4	ECCP5CH4H	CCP21CH1	QEA0	USART2_CLK	USART4_RX	SPI0_SS/I2S0_WS	I2C2_SMBALT	CAN1RX	SPI2_SDO/I2S2_SD	USART2_RTS			EXIC_RDX
86			PC4		T2CK	T5CK	CCP21CH2	QEB0			SPI0_SCK/I2S0_CK	I2C1_SDA	CAN1TX	SPI2_SDI	USART2_TX0			EXIC_WRX
87	54	39	PC5	DPI_DAT	CCP4CH1	ECCP5CH1L	CCP21CH3	INDEX0	USART2_RTS			I2C1_SCL	CAN0RX	T3CK	USART2_RX			EXIC_RDX
88	55	40	PC6	DPI_CLK	CCP4CH2	ECCP5CH1H	CCP21CH4	QE10DIR	USART2_CTS			I2C1_SMBALT	CAN0TX	SPI3_SCK/I2S3_CK	USART2_CLK			EXIC_CS
89		41	PC7		CCP4CH3	ECCP5CH2L	CCP20CH2		USART1_RX						SPI3_SCK/I2S3_CK			EXIC_DATA16
90	56	42	PC8		CCP4CH4	ECCP5CH2H			USART1_TX0					CCP3CH1	SPI3_SDI			EXIC_DATA17
91	57	43	PG6		CCP4CH3							I2C0_SMBALT		CCP3CH2	SPI3_SDO/I2S3_SD			
92	58	44	PG7		CCP1CH2							I2C0_SCL						
93	59	45	PC9		CCP1CH1		QEB1		USART1_TX1			I2C2_SCL	FLT12	I2C0_SDA				EXIC_DATA13
94	60	46	PC10		CCP1CH2		QE11DIR		USART1_CLK			I2C2_SDA	FLT11		USART1_RX			EXIC_DATA14
95	61		PC11		CCP1CH3	ECCP9CH4L	INDEX1	CCP18CH3	USART1_TX0		SPI2_SDO/I2S2_SD	I2C0_SCL		CCP4CH1				EXIC_DATA15
96	62		PC12		CCP1CH4	ECCP9CH4H	T21CK	CCP18CH4	USART1_RTS		SPI1_SS/I2S1_WS	I2C0_SDA		CCP2CH1		CFGL1_OUT		EXIC_DATA16
97			PC13		T1CK	T10CK	CCP21CH1	T18CK	USART1_CTS		I2S1_MCK		FLT10			CFGL2_OUT		
98			PC14		CCP3CH1	ECCP9BKIN				USART5_CTS								

KF32F350			GPIO	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13	AF14
100pin	64pin	48pin	GPIO	SYSTEM	T0/1/2/3/4	T5/6/9/10	T20/21/23/QE11	T14/T15/18/19/22/QE10	USART0/1/2	USART3/4/5/6/7	SPI0/1/2/3	I2C0/1/2/3	CAN0~2/FLT	额外提供	额外提供	CFGL	额外提供	额外提供
99	63	47	VSS															
100	64	48	VDD															
1			PD1								SPI1_SCK/I2S1_CK	I2C0_SCL					EXIC_D/C	
2			PD2	RTC_OUT	T4CK	ECCP5BKIN	CCP21CH2	T22CK	USART1_CTS			I2C3_SDA						EXIC_DATA17
3			PD3		T1CK	T6CK	CCP21CH3	T19CK		USART4_TX0		I2C3_SCL						EXIC_DATA16
4			PD4		T2CK	T9CK		T18CK		USART4_RX	SPI3_SS/I2S3_WS	I2C3_SMBALT		CCP2CH1				EXIC_D/C
5			PD5							USART7_RTS				CCP2CH2				EXIC_D/C
6	1	1	VBAT															
7	2		PD6		CCP3CH2					USART7_CTS								
8	3	2	PH8															
9	4	3	PH9															
10			VSS															
11			VDD															
12	5	4	PD9						USART0_TX1		SPI0_SCK/I2S0_CK							EXIC_WRX
13	6	5	PD10						USART0_CLK									EXIC_CS
14	7	6	PH7/nRST														CFGL1_IN3	
15	8	7	PH5		T0CK													
16	9	8	PH6															
17	10	9	PD13		CCP1CH3		CCP20CH3		USART0_CTS		SPI3_SS/I2S3_WS		CAN1RX	SPI1_SDI				
18	11	10	PD14		CCP1CH4	ECCP5CH4L	CCP20CH4				SPI3_SCK/I2S3_CK		CAN1TX	SPI1_SDO/I2S1_SD				
19	12	11	VSS/VSSA															
20			VREF-															
21			VREF+															
22	13	12	VDD/VDDA															
23	14		PH14		T2CK	T5CK	T20CK	T9CK	USART2_CTS					CCP21CH1	USART0_TX0			
24	15		PH12		CCP2CH2	ECCP5CH3L	CCP20CH3	CCP18CH4	USART2_RTS			I2C1_SCL		CCP21CH2	USART0_RX			

5.3 引脚重映射说明（系统以及模拟功能）

表 5-2 系统以及模拟引脚说明

KF32F350										
LQFP100	LQFP64	LQFP48	GPIO	电源	振荡器	SYSTEM	USB	ADC ^[1]	DAC	CMP
25	16		PH13					ADC_CH34		
26	17		PH15					ADC_CH35		
27	18	13	VSS	VSS						
28	19	14	VDD	VDD						
29	20	15	PE15					ADC_CH36	DAC0_OUT0	
30	21	16	PA0					ADC_CH37	DAC1_OUT	C0IN+/C1IN+
31	22	17	PA1			RTC_TS/ROM_TX		ADC_CH38		C0IN-/C1IN-
32	23	18	PA2					ADC_CH39		
33	24	19	PA3					ADC_CH40		
34	25	20	PA5				D-	ADC_CH41	DAC1_REF	
35	26	21	PA6				D+	ADC_CH42	DAC0_REF	
36	27	22	PA7					ADC_CH43		
37	28	23	PA8							
38			PA9							C0IN+/C1IN+
39			PA10							C0IN-/C1IN-
40			PA11							
41			PA12							
42			PA13							
43			PA14							
44			PE6							
45			PA15							
46			PE0							
47	29		PE1							
48	30	24	PE2							
49	31		VREG	VREG						
50	32		VDD	VDD						

KF32F350										
LQFP100	LQFP64	LQFP48	GPIO	电源	振荡器	SYSTEM	USB	ADC ^[1]	DAC	CMP
51	33	25	PB0							
52	34	26	PB1							
53	35	27	PB2							COIN+/CIIN+
54	36	28	PB3							COIN-/CIIN-
55			PB4							
56			PB5							
57			PF7							
58			PB6							
59			PB7							
60			PB8							
61			PB9							COIN+
62			PB10							COIN-
63	37	29	PB11							CIIN+
64	38	30	PB12							CIIN-
65	39	31	PB13							
66	40	32	PB14							
67	41	33	PB15							
68	42	34	PF0							
69	43		PF1							
70	44		PF2							
71	45		PF3							
72	46		PF4							
73	47	35	VREG	VREG						
74			VSS	VSS						
75	48	36	VDD	VDD						
76	49		PG0					ADC_CH18		
77	50		PG1					ADC_CH19		
78	51		PG2					ADC_CH20		
79	52	37	PG3					ADC_CH21		
80	53	38	PG4					ADC_CH22		

KF32F350										
LQFP100	LQFP64	LQFP48	GPIO	电源	振荡器	SYSTEM	USB	ADC ^[1]	DAC	CMP
81			PG5					ADC_CH23		
82			PC0					ADC_CH0		
83			PC1			TAMP2		ADC_CH1		
84			PC2					ADC_CH2		
85			PC3					ADC_CH3		
86			PC4					ADC_CH4		
87	54	39	PC5			DPI_DAT/TAMP1		ADC_CH5		
88	55	40	PC6			DPI_CLK/WKUP1		ADC_CH6		
89		41	PC7			WKUP4		ADC_CH7		
90	56	42	PC8			WKUP5		ADC_CH8		
91	57	43	PG6							
92	58	44	PG7							C1IN+
93	59	45	PC9					ADC_CH9		C1IN-
94	60	46	PC10					ADC_CH10		
95	61		PC11					ADC_CH11		C0IN+
96	62		PC12					ADC_CH12		C0IN-
97			PC13					ADC_CH13		
98			PC14					ADC_CH14		
99	63	47	VSS	VSS						
100	64	48	VDD	VDD						
1			PD1							
2			PD2					ADC_CH15		
3			PD3					ADC_CH28		
4			PD4			WKUP3		ADC_CH29		
5			PD5							
6	1	1	VBAT	VBAT						
7	2		PD6			TAMP3				
8	3	2	PH8		OSC32_IN					
9	4	3	PH9		OSC32_OUT					
10			VSS	VSS						

KF32F350										
LQFP100	LQFP64	LQFP48	GPIO	电源	振荡器	SYSTEM	USB	ADC ^[1]	DAC	CMP
11			VDD	VDD						
12	5	4	PD9		OSC_IN			ADC_CH26		
13	6	5	PD10		OSC_OUT			ADC_CH27		
14	7	6	PH7/nRST			NRST				
15	8	7	PH5					ADC_CH44		
16	9	8	PH6					ADC_CH45		
17	10	9	PD13					ADC_CH30		
18	11	10	PD14		OSC_IN			ADC_CH31		
19	12	11	VSS/VSSA	VSS/VSSA						
20			VREF-	VREF-						
21			VREF+	VREF+						
22	13	12	VDD/VDDA							
23	14		PH14			WKUP2		ADC_CH32		
24	15		PH12					ADC_CH33		

^[1] ADC 参考引脚复用信息

100 脚芯片的 VREF+单独封装，VREF-单独封装；

64 脚芯片的 VREF+与 PC8 引脚复用，VREF-无复用，在内部直接与地（VSSA）引脚相连；

48 脚芯片的 VREF+与 PC8 引脚复用，VREF-无复用，在内部直接与地（VSSA）引脚相连。

5.4 引脚重映射表-外部唤醒引脚、侵入检测和时间戳引脚映射

表 5-3 模拟功能引脚映射

GPIO	唤醒引脚	侵入检测引脚	时间戳
PA1			RTC_TS
PC1		TAMP2	
PC5		TAMP1	
PC6	WKUP1		
PC7	WKUP4		
PC8	WKUP5		
PD4	WKUP3		
PD6		TAMP3	
PH14	WKUP2		

5.5 CCP 引脚资源

因有些型号的小管脚封装可能会缺一些功能脚，现将所有 CCP 资源列在下表中：

表 5-4 CCPx 通道

	LQFP100	LQFP64	LQFP48
CCP0CH1	Y	Y	Y
CCP0CH2	Y	Y	Y
CCP0CH3	Y	Y	Y
CCP0CH4	Y	Y	Y
CCP1CH1	Y	Y	Y
CCP1CH2	Y	Y	Y
CCP1CH3	Y	Y	Y
CCP1CH4	Y	Y	Y
CCP2CH1	Y	Y	N
CCP2CH2	Y	Y	N
CCP2CH3	Y	Y	N
CCP2CH4	Y	Y	N
CCP3CH1	Y	Y	Y
CCP3CH2	Y	Y	Y
CCP3CH3	Y	Y	Y
CCP3CH4	Y	Y	Y
CCP4CH1	Y	Y	Y
CCP4CH2	Y	Y	Y
CCP4CH3	Y	Y	Y
CCP4CH4	Y	Y	Y

	LQFP100	LQFP64	LQFP48
CCP18CH1	Y	Y	N
CCP18CH2	Y	Y	N
CCP18CH3	Y	Y	N
CCP18CH4	Y	Y	N
CCP19CH1	Y	Y	N
CCP19CH2	Y	Y	N
CCP19CH3	Y	N	N
CCP19CH4	Y	N	N
CCP20CH1	Y	Y	Y
CCP20CH2	Y	Y	Y
CCP20CH3	Y	Y	Y
CCP20CH4	Y	Y	Y
CCP21CH1	Y	Y	Y
CCP21CH2	Y	Y	Y
CCP21CH3	Y	Y	Y
CCP21CH4	Y	Y	Y
CCP22CH1	Y	Y	N
CCP22CH2	Y	Y	N
CCP22CH3	Y	Y	N
CCP22CH4	Y	Y	N
CCP23CH1	Y	Y	N
CCP23CH2	Y	Y	N
CCP23CH3	Y	N	N
CCP23CH4	Y	N	N

6 资源介绍

6.1 DMA

直接存储器访问模块(DMA)用于外设和存储器间直接数据传输,可用于 RAM 和 RAM 之间、RAM 和外设、外设和外设之间的数据传输。DMA 模块将从源地址上读取的数据写入到目标地址空间中,从而完成数据传输,而无需 CPU 的干预。

每个 DMA 模块有如下特性:

- 7 个独立可配置的通道
- 支持存储器和存储器、存储器和外设、外设和外设之间的数据传输
- 支持 8bit/16bit/32bit 数据位宽传输
- 支持自动递增的源和目标地址,支持固定的源和目标地址
- 支持循环模式
- 支持传输数据数量设置,最大为 65535
- 支持 4 级通道优先级设置
- 支持外设触发,支持软件触发
- 追踪当前的源指针和目标指针
- 追踪当前未传输的数据量

6.2 节拍定时器 (SYSTICK)

KungFu32 内核提供了一个 24 位的系统节拍定时器(System Tick Timer)。系统节拍定时器可为系统提供可编程时长的周期性中断,即使是在休眠下也能工作(注:深度休眠下不能工作)。系统节拍定时器有专用的中断向量。

系统节拍定时器结构如下图所示。系统节拍定时器为递减计数模式,当系统节拍定时器的值为 0 时会产生一个中断,同时系统节拍定时器重载值寄存器(ST_RELOAD)的值会装入系统节拍定时器中。对系统节拍定时器重载值寄存器(ST_RELOAD)进行设置可以修改产生中断的间隔时长。在使用节拍定时器时,使能前要先向 ST_CV 系统节拍定时器当前值寄存器写任意值,使 COUNTZERO 位及 ST_CV 清零,保证 ST_RELOAD 的值加载到 ST_CV 中。

向 ST_RELOAD 写 0 会使计数器在下一个计数周期禁止。

通过使能 INT_EIE0 寄存器的 SYSTICKIE 位可以使能系统节拍定时器中断,当定时器由 1 变 0 时可以将 INT_EIF0 中的 SYSTICKIF 标志位置 1。

6.3 基本定时/计数器(T14/T15)

Tx(x=14,15)是一个 16 位的定时/计数器,它有定时和计数两种工作模式,支持 3 种计数方式:向上计数、向下计数和向上向下计数方式。根据不同的模式,计数会产生溢出,将 Tx 溢出中断标志 TXIF 位置 1。

基本定时器主要功能包括:

- 16 位自动重载计数器
- 16 位可编程预分频器,用于对输入的时钟按系数为 1~65536 之间任意数值分频
- 在更新事件以及触发事件时产生 DMA 请求

- 基本定时器可以用于触发 AD 和 DA 模块

6.4 通用定时/计数器(T0/1/2/3/4/18/19/20/21/22/23)

Tx(x=0,1,2,3,4,18,19,22,23)是 16 位的定时/计数器, Tx(x=20,21)是 32 位的定时/计数器。它们除位宽不一样外, 其他功能以及实现方式都是一样的。其中 T0 可作为低功耗定时器使用。

通用定时/计数器有定时和计数 2 种工作模式, 支持 3 种计数方式: 向上计数、向下计数和向上向下计数方式。根据不同的模式, 计数会产生溢出, 将 Tx 中断标志位 TXIF 置 1。Tx 属于外部单元, 因此在使用 Tx 中断时, 需使能对应的外设中断。

通用定时/计数器主要功能包括:

- 16 位/32 位自动重载计数器
- 16 位/32 位可编程预分频器, 用于对输入的时钟按系数为 1~65536/1~4294967296 之间任意数值分频
- 通用定时器可以用于触发 AD 和 DA 模块
- 更新事件、触发事件(触发模式、门控模式、复位模式)、捕捉事件、比较事件可以产生 DMA 请求

6.5 高级定时/计数器 (T5/T6/T9/T10)

ECCPx 模块各包含两个计数器 Tx/Tz (x=5,9;z=6,10; Tx 和 Tz 原理相同), 他们是 16 位的定时器, 有 3 种计数方式: 向上计数、向下计数和向上向下计数方式, 可精确配置 1-65535 自由分频进行计数。支持触发其它定时器、AD 及 DMA 等外设。

高级定时/计数器主要功能包括:

- 16 位位自动重载计数器
- 16 位的可编程预分频器(分频器 1)和 4 位的可编程后分频器(分频器 2)
- 高级定时器可用于触发 AD、DA 等模块
- 支持周期更新和立即更新
- 支持比较器清零定时器功能
- 支持主从模式(触发、门控、复位)
- 可以用来产生 DMA 请求(更新、TRGI 触发、捕捉/比较、关断事件)

6.6 通用捕捉/比较/PWM 模块 (CCP0/1/2/3/4/18/19/20/21/22/23)

CCP 模块是通用型捕捉/比较/脉宽调制模块, 在通用 CCP 模块中, 采用通用定时/计数器做为该 CCP 的计数时基, 可以用来实现捕捉功能、比较功能和 PWM 功能。

在 CCP0/1/2/3/4/18/19/22/23 模块中比较寄存器为 16 位的寄存器 CCPx_Ry (x=0,1,2,3,4,18,19,22,23; y=1,2,3,4), 该寄存器也用于 PWM 模式下的占空比设置; 在 CCP20/21 中比较寄存器为 32 位的寄存器 CCPx_Ry (x=20,21; y=1,2,3,4), 该寄存器也用于 PWM 模式下的占空比设置。

在 CCP0/1/2/3/4/18/19/22/23 模块中捕捉寄存器为 16 位的寄存器 CCPx_Cy (x=0,1,2,3,4,18,19,22,23; y=1,2,3,4), 该寄存器为只读。在 CCP20/21 模块中捕捉寄存器为 32 位的寄存器 CCPx_Cy (x=20,21; y=1,2,3,4), 该寄存器为只读。

通用 CCP 主要功能包括:

- 16 位/32 位的捕捉功能
- 16 位/32 位的比较功能
- 16 位/32 位的 PWM 功能
- 支持 PWM 测量功能
- 4 个独立的通道
- PWM 支持边沿对其和中心对齐
- 支持单脉冲输出
- 更新事件、触发事件（触发模式、门控模式、复位模式）、捕捉事件、比较事件可以产生 DMA 请求

6.7 增强型捕捉/比较/PWM 模块(ECCP5/9)

ECCPx (x=5,9) 模块是增强型捕捉/比较/脉宽调制模块, 可以提供外部信号捕捉、内部比较输出以及 PWM 输出三种功能。在 ECCP 模块中, 采用 16 位的定时器/计数器(ECCP5 为 T5 和 T6, ECCP9 为 T9 和 T10)做为该 ECCP 的计数时基, 在 ECCP5 模块中捕捉寄存器为 16 位的寄存器 ECCPx_Cy (x=5,9;y=1,2,3,4), 比较寄存器为 16 位的寄存器 ECCPx_Ry (x=5,9;y=1,2,3,4), 该寄存器也用于 PWM 模式下的占空比设置。支持部分寄存器的数据更新功能。支持各个通道独立的关断操作。

如下事件发生时产生 DMA:

- 输入捕获
- 输出比较
- 关断事件
- 更新事件

6.8 正交编码脉冲电路 (QEI0/1)

单片机内部集成有正交编码脉冲电路。正交编码脉冲电路可用于获得旋转机械的位置和速率等信息。

正交编码脉冲是两个频率变化且正交的脉冲。当它由电机轴上的光电编码器产生时(光电编码器具有 3 路输出: A 相、B 相和索引脉冲), 电机的旋转方向可以通过检测两个脉冲序列(QEA 和 QEB)中先到达的列来确定, 角位置和转速可由脉冲数和脉冲频率(即齿脉冲和圈脉冲)来决定。电机的绝对位置以索引脉冲为基准确定。

QEI 由用于解析 A 相(QEA)和 B 相(QEB)信号的解码器逻辑以及用于累计计数值的递增/递减计数器组成。输入端上的数字噪声滤波器对输入信号进行滤波。

QEI0 的计数时基为定时器 T7, QEI1 的计数时基为定时器 T8。

QEI 的工作特性包括:

- 3 路输入通道, 分别为两相信号和索引脉冲输入
- 输入端上的可编程数字噪声滤波器
- 16 位递增/递减位置计数器
- 计数方向状态
- x2 和 x4 计数分辨率
- 两种位置计数器复位模式:
 - 使用周期复位位置计数器
 - 使用索引脉冲复位位置计数器

- 通用 16 位定时器/计数器模式
- 正交编码器接口中断

6.9 模数转换模块 (A/D)

ADC 特性:

- 12 位分辨率
- 16 常规扫描通道+4 个高优先级通道
- 支持常规模式和高优先级模式
- 支持单次转换模式和连续转换模式
- 最高 20 个通道连续转换模式
- 数据左对齐或右对齐
- ADC 支持 DMA 触发
- 支持模拟看门狗事件
- 支持定时器触发 ADC
- 双 AD 模式
- ADC 转换时间: 14 个周期
- AD 电压: 2.4V 到 3.6V 或者 VREF+
- ADC 输入范围 VREF- 到 VREF+

注: 100 脚芯片的 VREF+、VREF-单独封装; 64/48 脚的 VREF+与 PC8 引脚复用, VREF-无复用, 在内部直接与 VSSA 引脚相连。

6.10 数模转换器模块 (D/A)

DA 特性:

- 2 个 12 位 DAC
- 12 位 DAC 支持 DMA 功能
- 12 位 DAC 支持外部触发转换
- 12 位 DAC 支持噪声波发生器
- 12 位 DAC 支持三角波发生器
- 独立的外部参考电压源

6.11 拟比较器模块 (CMP)

单片机内置 2 个模拟比较器模块, 其主要特点如下:

- 正负端多输入端口可选
- 电阻分压模块提供可选内部参考电压
- 输出极性可选
- 中断边沿可选
- 数字滤波功能
- 比较器输出可作为定时器捕捉输入、PWM 关断源或用于清零定时器
- 可配置为 BEMF (反向电动势) 模式和 HALL (霍尔检测) 模式

6.12 通用全/半双工收发器（USART）

USART 是 Universal Synchronous /Asynchronous Receive & Transmit 的缩写，它的中文名称是通用同步/异步收发器，又称通用全双工/半双工收发器。这是一个串口通信的 I/O 外设，也可作为串行通信接口。它可被配置为与个人计算机等外设通信的全双工异步系统。也可以被配置为与外设或其它单片机通信的半双工同步系统，与之通信的单片机通常不具有产生波特率的内部时钟，它需要主控同步器件提供外部时钟信号。

6.13 串行外设接口（SPI）

SPI 模块可配置为支持 SPI 协议或者 I2S 协议。SPI 模块默认工作在 SPI 方式，可通过软件将其切换到 I2S 模式。在 I2S 模式下，原则上数据传输为全双工模式，主机和从机同时收发数据，但实际情况下通常只有一个方向上的数据是有意义的。

SPI 模式主要特征：

- 3 线或者 4 线数据传输
- 8/16/32 位传输帧格式
- MSB/LSB 先发送可选
- 主从模式
- 时钟频率可设
- 可编程的时钟极性和相位
- 可触发中断的发送和接收标志
- DMA 读写

I2S 主要特征：

- 单工通信
- 主从模式
- 数据长度可为 16/32 位
- 8 位线性可编程预分频器（音频采样频率 8KHz 到 96KHz）
- 可编程时钟极性
- 支持多种 I2S 协议：
 - I2S 飞利浦标准
 - LSB 对齐标准（右对齐）
 - MSB 对齐标准（左对齐）
 - PCM 标准
- DMA 读写
- 可输出的主时钟，频率为 $256 \times F_s$ （ F_s 为音频采样频率）

6.14 内部集成电路接口（I2C）

I2C 特征：

- 多主机模式：可用作主设备或者从设备
- I2C 主设备产生时钟，起始和停止信号
- 检测 7 位和 10 位地址

- 支持 Fast Mode Plus 模式，最高速度可达 1Mbit/s
- 支持多地址识别
- 在监控模式下可观察所有的 I2C 总线通信量
- DMA 读写

I2C模块能实现全部从动功能，且硬件支持启动位和停止位中断，以便于固件实现主控功能。I2C模块实现标准模式规范以及7位和10位寻址。有两个引脚用于数据传输：时钟线（SCL）和数据线（SDA）。通过使能位I2CEN置1以使能I2C模块的功能。

6.15 实时时钟（RTC）

实时时钟（Real Time Counting, RTC）单元提供给用户实时时间以及日历信息。RTC 单元通过时间寄存器提供时间信息（秒、分、时、星期、日、月、年）。数据信息由 BCD 码格式进行表示。修改计数器的值可以重新设置系统当前的时间和日期。

RTC模块可以根据年、月份（闰年、大小月），自动补偿天数；还可以进行夏令时、冬令时补偿。

RTC的时钟源可以通过软件选择外部低频晶振EXTLF、内部低频时钟INTLF和外部高频晶振的128分频。RTC模块自带高精度的数字时钟校准功能。

RTC提供两个可编程的闹钟功能及中断，用户可预先在时间闹钟寄存器中设置闹钟日期进行闹铃设置。

RTC模块位于备份域内，因此所有对RTC模块的操作都将受到备份域保护，操作RTC寄存器之前需要允许备份域可写；使能RTC模块之后，只要电源电压保持在工作范围内，RTC将可正常工作在任何运行模式和休眠模式。

6.16 控制器局域网总线（CAN）

控制器局域网（Controller Area Network，简称为 CAN）是一种用于连接电子控制设备（Electronic Control Unit，简称为 ECU）的多主共享型串行总线标准。CAN 总线针对抗电磁干扰进行了专门设计，适用于具有较强电磁干扰的环境，不但可以使用与 RS-485 类似的差分平衡传输线，也可以使用更加可靠的双绞线。CAN 总线最初是针对汽车应用而研发的，不过时至今日已经广泛应用于各种嵌入式控制领域（例如工业方面和医疗方面）。CAN 总线在总线长度小于 40 米时最高可达 1Mbps 位速率。位速率越低则有效通讯距离越远（例如 125kbps 时通讯距离可达 500 米）。

CAN 有如下特性：

- 支持CAN2.0B协议
- 同时支持11位和29位识别码
- 位速率可达1Mbits/s
- 可读/写访问的错误计数器
- 可编程的错误报警限制
- 最近一次错误代码寄存器
- 对每一个CAN总线错误的中断
- 具体控制位控制的仲裁丢失中断
- 在标准和扩展格式中都有验收滤波器含屏蔽和代码寄存器
- 当错误或仲裁丢失时可配置是否重发

6.17 独立看门狗 (IWDT)

看门狗可用于检测 and 解决由软件错误引起的故障, 当计数器达到给定的超时值时产生一个系统复位。

IWDT最适合那些要求看门狗在主程序外, 能够完全独立工作的场合。

特点:

- 自由递增的计数器
- 时钟为内部低频时钟INTLF
- 可编程预分频
- 避免复位: 溢出前清零看门狗计数器 (喂狗)

6.18 窗口看门狗 (WWDT)

窗口看门狗通常被用来监测由外部干扰或不可预见的逻辑条件造成的应用程序背离正常的运行序列而产生的软件故障。

WWDT最适合那些要求看门狗在精确计时窗口起作用的应用程序。通过可配置的时间窗口来检测应用程序非正常的过迟或过早的操作。

特点:

- 可编程自由运行计数
- 时钟为内部低频时钟INTLF
- 可编程预分频
- 提供中断
- 避免复位 (喂狗): 窗口内写计数器或利用中断写计数器

6.19 USB 模块 (USB)

该通用串行总线 (USB) 为一个带有单个连接器的串行接口, 可以连接所有 USB 外设到主机系统。下面是 USB 的一些特性。

- 兼容 USB 2.0 全速规范
- 支持控制/批量/中断/等时传输类型
- 支持 USB 挂起/恢复操作
- 提供 8 个可配置为控制/批量/中断/等时传输类型的端点
- 512 字节 SRAM 内置缓存
- 提供远程唤醒功能
- 所有端点均支持双缓冲模式
- 可通过软件来配置端点最大包的长度 (取决于 USB 最大规格)

6.20 CFGL 模块 (CFGL)

可配置逻辑单元 (CFGLx) 提供可超越软件执行速度限制而工作的可编程逻辑。该逻辑单元最多可接收16个输入信号, 并通过使用可配置门将16个输入缩减为4条驱动8种可选单输出逻辑功能之一的逻辑线。

输入源是以下信号源的组合:

- I/O引脚
- 内部时钟
- 外设
- 寄存器位

可能的配置包括:

- 组合逻辑
 - AND
 - NAND
 - AND-OR
 - AND-OR-INVERT
 - OR-XOR
 - OR-XNOR
- 锁存器
 - S-R
 - 带置1 和复位功能的时钟控制D型锁存器
 - 带置1 和复位功能的透明D型锁存器
 - 带复位功能的时钟控制J-K型锁存器

6.21 复位 (RESET)

系统复位源:

- POR 上电复位
- BOR 复位
- NRST 外部复位引脚复位
- 窗口看门狗复位
- 独立看门狗复位
- 软件复位

单片机具有: POR 上电复位、BOR 复位、NRST 复位、IWDT 复位、WWDT 复位、软件复位六种复位方式。

除复位方式以外,单片机还提供一个可编程的电压检测模块(PVD),对供电电源 VDD 的电压进行检测。

有些寄存器的状态在任何复位条件下都不会受到影响,其它大多数寄存器在复位事件发生时将被复位成“复位状态”。

6.22 外设模块时钟使能模块(CLK_EN)

为了降低功耗,默认外设时钟就禁止。在使用外设模块时,需要使能该外设模块时钟控制信号,否则模块不工作。通过 PCLK_CTLx (x=0,1,2,3) 外设时钟控制寄存器控制相应的外设时钟。当外设时钟禁止时,CPU 无法对相应的模块寄存器进行写操作。

6.23 循环冗余校验单元（CRC）

循环冗余校验单元（Cyclic Redundancy Check, CRC）可以通过生成多项式计算不同长度数据的 CRC 校验值。CRC 技术可应用于核实数据传输或者数据存储的正确性和完整性。

CRC 特性：

- 可编程的多项式，最高支持 33 项数的生成多项式
- 单周期计算时间
- 支持可编程的初始值
- 支持 8/16/32 位长度的输入数据格式
- 输入数据支持字节反序操作
- 计算结果支持可编程的异或操作
- 计算结果支持反序操作

6.24 EXIC 接口

EXIC 接口是用于并口通讯，最高支持 18bit 的并行数据输出，支持 DMA 读写支持 LCD8080 接口，可用于与专用的 LCD 驱动芯片进行通讯。

7 电气特性

7.1 概述

除非另外说明，所有电压都是相对 V_{SS} 做参考的。

7.1.1 最大值和最小值说明

除非另外声明，在测试过程中，所有产品参数都会经过 $T_A = 25^\circ\text{C}$ 的环境温度测试。产品能够保证满足所规定的运行电压范围和运行频率范围。

基于描述性的特性，设计值和工艺特性等数据会隐含在表格中的脚注中。它们不会在量产中测试。

7.1.2 典型值

除非另外声明，典型数据（典型值）来源于环境温度 T_A 为 25°C ， $V_{DD} = 3.3\text{V}$ 的条件。它只作为设计参考，并不一定经过测试。

7.2 最大承受范围

超过下表中的最大承受范围会对器件造成不可恢复的损坏。这些只是可加的最大条件，并不保证产品在这个范围内都能稳定工作。长期工作在这个范围的最大值条件下，产品的可靠性会受到影响。器件的应用条件符合 JEDEC JESD47 的规格标准。

表 7-1 电压特性⁽¹⁾

符号	描述	最小值	最大值	单位
$V_{DDX} - V_{SS}$	外部主要电源电压（包括 V_{DD} ， V_{DDA} ， V_{BAT} ）	-0.3	4.0	V
$V_{DD12} - V_{SS}$	内部稳压器输出	-0.3	1.32	V
$V_{IN}^{(2)}$	输入范围	$V_{SS} - 0.3$	4.0	V
$ \Delta V_{DDX} $	V_{DDX} 电源域之间的压差	-	50	mV
$ \Delta V_{SSX} $	不同地电源域之间的压差 ⁽³⁾	-	50	mV
$V_{REF+} - V_{DDA}$	可允许的 V_{REF+} 大于 V_{DDA} 的电压量	-	0.4	V

注 1：所有主电源（ V_{DD} ， V_{DDA} ， V_{BAT} ）和地（ V_{SS} ， V_{SSA} ）必须连接到外部电源上，并且不能超过以上的规定范围。

注 2：如果要满足最大的注入电流特性的话， V_{IN} 必须被关注。

注 3：包括 V_{REF} -脚。

表 7-2 电流特性

符号	描述	最大值	单位
ΣI_{VDD}	整个 V_{DD} 电源域可以提供的电流总和 ⁽¹⁾	150	mA
ΣI_{VSS}	整个 V_{SS} 电源域可以泄放的电流总和 ⁽¹⁾	150	
$I_{VDD(PIN)}$	每个 V_{DD} 脚可以提供的最大的电流 ⁽¹⁾	100	
$I_{VSS(PIN)}$	每个地管脚可以泄放的最大电流 ⁽¹⁾	100	
$I_{IO(PIN)}$	每个 IO 可以泄放的最大电流量	20	
	每个 IO 可以提供的最大电流量	20	
$\Sigma I_{IO(PIN)}$	所有 IO 可以泄放的电流总量 ⁽²⁾	100	
	所有 IO 可以提供的电流总量 ⁽²⁾	100	
$I_{INJ(PIN)}$	每个 IO 口通过外部注入的电流	- 5/0 ⁽³⁾	
$\Sigma I_{IO(PIN)} $	所有 IO 口可以通过外部注入的电流总和 ⁽⁴⁾	± 25	

注 1: 所有主电源 (V_{DD} , V_{DDA} , V_{BAT}) 和地 (V_{SS} , V_{SSA}) 都必须连接到外部电源上, 并且符合允许的电源输入范围。

注 2: 所有 IO 脚上的电流必须合理分配。

注 3: 当 $V_{IN} < V_{SS}$ 时, 会有负电流注入。但是不能超过 $I_{INJ(PIN)}$ 这个值。

注 4: 当同时有几个 IO 都有电流注入贡献时, $\Sigma |I_{IO(PIN)}|$ 是允许它们泄露电流总和的最大值。

表 7-3 温度特性

符号	描述	最大值	单位
T_{STG}	存储温度范围	-65 ~ +150	°C
T_J	最大结温	150	°C

7.3 运行条件

7.3.1 常规运行条件

表 7-4 常规运行条件

符号	参数	条件	最小值	最大值	单位
f _{SCLK}	core 频率	V _{DD} = 1.8V~3.6V;T _A = -40~+85°C	0	120	MHz
f _{SYSTICK}	节拍定时器工作频率	V _{DD} = 1.8V~3.6V;T _A = -40~+85°C	0	120	
f _{DMA}	DMA 工作频率	V _{DD} = 1.8V~3.6V;T _A = -40~+85°C	0	120	
f _{USB}	USB 工作频率	V _{DD} = 1.8V~3.6V;T _A = -40~+85°C	0	48	
f _{TIMER}	基本/通用/高级定时器工作频率	V _{DD} = 1.8V~3.6V;T _A = -40~+85°C	0	120	
f _{QEI}	QEI 工作频率	V _{DD} = 1.8V~3.6V;T _A = -40~+85°C	0	120	
f _{CFGL}	CFGL 工作频率	V _{DD} = 1.8V~3.6V;T _A = -40~+85°C	0	120	
f _{I2C}	I2C 工作频率	V _{DD} = 1.8V~3.6V;T _A = -40~+85°C	0	120	
f _{SPI}	SPI 工作频率	V _{DD} = 1.8V~3.6V;T _A = -40~+85°C	0	120	
f _{USART}	USART 工作频率	V _{DD} = 1.8V~3.6V;T _A = -40~+85°C	0	120	
f _{CRC}	CRC 工作频率	V _{DD} = 1.8V~3.6V;T _A = -40~+85°C	0	120	
f _{CAN}	CAN 工作频率	V _{DD} = 1.8V~3.6V;T _A = -40~+85°C	0	100	
f _{RTC}	RTC 工作频率	V _{DD} = 1.8V~3.6V;T _A = -40~+85°C	0	32	
f _{WDT}	IWDT/WWDT 工作频率	V _{DD} = 1.8V~3.6V;T _A = -40~+85°C	0	32	
V _{DD}	标准运行电压	T _A = -40~+85°C	1.8 ⁽¹⁾	3.6	V
V _{DD12}	内核运行电压	全频率范围	1.30	1.34	V
V _{DDA}	模拟电源电压	使用 ADC 时	2.4	3.6	V
		使用 DAC 时	2.4		
		使用 VREFBUF 时	2.4		
		ADC, DAC, COMP, VREFBUF 不使用时	1.8		
V _{BAT}	备份域电源	-	1.6	3.6	V
V _{IN}	IO 输入范围	所有 IO 口	-0.3	V _{DD} +0.3	V
T _A	环境温度范围	最大功耗下	-40	85	°C
		最低功耗下	-40	85	°C

注 1: 当 RESET 功能不起作用时, 可以保证产品在 V_{DD} 电压达到最小值以上时运行正确。

7.3.2 上电/掉电的运行条件

这个表格中的参数是在表 7-4 的条件下测试得出的。

表 7-5 上电/掉电的运行条件

符号	参数	条件	最小值	最大值	单位
t _{VDD}	VDD 上升速率	-	0	∞	us/V
	VDD 下降速率		10	∞	

t _{VDDA}	VDDA 上升速率	-	0	∞	us/V
	VDDA 下降速率		10	∞	

7.3.3 复位和电源控制模块特性 BOR,PVD

这个表格中的参数是在表 7-4 的条件下测试得出的。

表 7-6 复位和电源控制模块特性

符号	参数	条件	最小值	典型值	最大值	单位
t _{RST_POR}	在检测到 POR 后, 复位退出的延迟时间	V _{DD} 上升	-	3.8	-	ms
V _{POR} ⁽¹⁾	上电复位阈值	上升沿	1.61	1.66	1.7	V
		下降沿	1.6	1.64	1.69	
V _{BOR1}	BOR1 复位阈值	上升沿	1.76	1.79	1.83	V
		下降沿	1.67	1.73	1.78	
V _{BOR2}	BOR2 复位阈值	上升沿	1.89	1.97	2.03	V
		下降沿	1.85	1.90	1.96	
V _{BOR3}	BOR3 复位阈值	上升沿	2.19	2.25	2.33	V
		下降沿	2.02	2.13	2.21	
V _{BOR4}	BOR4 复位阈值	上升沿	2.43	2.49	2.53	V
		下降沿	2.35	2.38	2.45	
V _{PVD0}	可编程电压检测阈值 0	上升沿	1.88	1.93	1.98	V
		下降沿	1.66	1.72	1.80	
V _{PVD1}	可编程电压检测阈值 1	上升沿	2.02	2.06	2.11	V
		下降沿	1.76	1.84	1.93	
V _{PVD2}	可编程电压检测阈值 2	上升沿	2.15	2.20	2.25	V
		下降沿	1.87	1.96	2.06	
V _{PVD3}	可编程电压检测阈值 3	上升沿	2.29	2.34	2.40	V
		下降沿	1.19	2.09	2.19	
V _{PVD4}	可编程电压检测阈值 4	上升沿	2.43	2.48	2.54	V
		下降沿	2.11	2.21	2.32	
V _{PVD5}	可编程电压检测阈值 5	上升沿	2.56	2.61	2.68	V
		下降沿	2.23	2.33	2.45	
V _{PVD6}	可编程电压检测阈值 6	上升沿	2.65	2.71	2.77	V
		下降沿	2.30	2.41	2.53	
V _{hyst_POR}	POR 的迟滞电压	-	-	20	-	mV
V _{hyst_BOR}	BOR 的迟滞电压	-	-	120	-	mV
V _{hyst_PVD}	PVD 的迟滞电压	-	-	300	-	mV
I _{DD(BOR_PVD)} ⁽²⁾	BOR 和 PVD 的总功耗	-	-	1.1	2	μA

注 1: POR 在除了 Shutdown 模式外, 都是默认使能的。它的功耗是包含在电源电流特性表格中的。

注 2: 设计保证。

7.3.4 BAT PVD

表 7-5 BAT 电气特性

符号	参数	条件	最小值	典型值	最大值	单位
监测阈值	BAT PVD SEL=000	上升沿	1.6	-	1.7	V
		下降沿	-	-	-	
	BAT PVD SEL=001	上升沿	1.8	-	1.9	
		下降沿	1.64	-	1.69	
	BAT PVD SEL=010	上升沿	2.07	-	2.16	
		下降沿	1.85	-	1.93	
	BAT PVD SEL=011	上升沿	2.42	-	2.52	
		下降沿	2.16	-	2.26	
	BAT PVD SEL=100	上升沿	2.89	-	3.03	
		下降沿	2.58	-	2.72	
BAT PVD SEL=101	上升沿	3.62	-	3.76		
	下降沿	3.42	-	3.36		
I _{DD-BAT-PVD}	BAT PVD 功耗	-	-	20	-	uA
t _{STU}	开启稳定时间	-	-	108	-	us

7.3.5 电源电流特性

电源电流的消耗是很多因素的组合：运行电压，环境温度，I/O 负载，设备软件配置，运行频率，I/O 开关速率，程序存储位置和代码。

典型和最大电流消耗（MCU 在以下条件测得）：

- 1) 所有的 I/O 脚都处于模拟输入模式；
- 2) 除了特殊说明外，所有外设都禁止；
- 3) Flash 访问时间调整为最小的等待状态数，取决于 F_{SCLK} 频率；
- 4) 当外设使能时，F_{PCLK}=F_{SCLK}；

下面的数据来源于环境温度和表格所规定的电压范围。

表 7-7 运行模式 1

运行模式	程序方式	外设工作条件	时钟源	SCLK 频率	3.3V -40°C	3.3V 25°C	3.3V 85°C	单位
RUN	程序在 FLASH 运行， 开预取，FLASH_CFG = 0XC3	所有外设禁止	PLL	120MHz	5177	5400	5463	uA
			PLL	96MHz	4370	4560	4637	
	PLL		72MHz	3456	3607	3693		
	PLL		64MHz	3137	3280	3364		
	PLL		48MHz	2608	2727	2815		
	PLL		32MHz	2313	2428	2518		
	INTHF		16MHz	1169	1230	1330		
	INTLF		32KHz	230	264	360		

RUN	程序在 RAM 运行, 开 FLASH	所有外设禁止	PLL	120MHz	4818	5006	5046
			PLL	96MHz	3890	4210	4268
			PLL	72MHz	3028	3283	3348
			PLL	64MHz	2745	2973	3042
			PLL	48MHz	2349	2457	2532
			PLL	32MHz	1735	1795	1910
			INTHF	16MHz	856	909	996
			INTLF	32KHz	230	265	354
RUN	程序在 RAM 运行, 关 FLASH	所有外设禁止	PLL	120MHz	4654	4832	4866
			PLL	96MHz	3887	4040	4084
			PLL	72MHz	2987	3110	3164
			PLL	64MHz	2690	2809	2859
			PLL	48MHz	2188	2287	2348
			PLL	32MHz	1574	1644	1720
			INTHF	16MHz	694	738	810
			INTLF	32KHz	70	96	169

表 7-8 运行模式 2

运行模式	程序方式	外设工作条件	时钟源	SCLK 频率	3.3V -40°C	3.3V 25°C	3.3V 85°C	单位
SLEEP	程序在 FLASH 运行， 开预取，FLASH_CFG = 0XC3	所有外设禁止	PLL	120MHz	2784	2917	2992	μA
			PLL	96MHz	2418	2538	2620	
	程序在 FLASH 运行， 开预取，FLASH_CFG = 0XC2		PLL	72MHz	1930	2024	2112	
			PLL	64MHz	1782	1846	1988	
	程序在 FLASH 运行， 开预取，FLASH_CFG = 0XC1		PLL	48MHz	1553	1630	1730	
			PLL	32MHz	1186	1252	1350	
	程序在 FLASH 运行， 关预取，FLASH_CFG = 0XC0		INTHF	16MHz	579	626	722	
INTLF	32KHz	230	264	360				
SLEEP	程序在 RAM 运行， 开 FLASH	所有外设禁止	PLL	120MHz	2782	2915	2993	
			PLL	96MHz	2420	2538	2620	
			PLL	72MHz	1932	2025	2110	
			PLL	64MHz	1783	1846	1988	
			PLL	48MHz	1554	1630	1730	
			PLL	32MHz	1185	1253	1352	
			INTHF	16MHz	580	626	722	
INTLF	32KHz	230	265	360				
SLEEP	程序在 RAM 运行， 关 FLASH	所有外设禁止	PLL	120MHz	2623	2746	2808	
			PLL	96MHz	2260	2368	2435	
			PLL	72MHz	1787	1847	1966	
			PLL	64MHz	1624	1675	1780	
			PLL	48MHz	1392	1460	1542	
			PLL	32MHz	1025	1082	1163	
			INTHF	16MHz	420	456	534	
INTLF	32KHz	70	96	172				

表 7-9 运行模式 3

运行模式	程序方式	外设工作条件	时钟源	SCLK 频率	3.3V -40°C	3.3V 25°C	3.3V 85°C	单位
DEEP SLEEP	程序在 FLASH 运行， 开预取，FLASH_CFG = 0XC3	所有外设禁止	PLL	120MHz	1640	1713	1820	μA
			PLL	96MHz	1507	1584	1682	
	程序在 FLASH 运行， 开预取，FLASH_CFG = 0XC2		PLL	72MHz	1242	1310	1410	
			PLL	64MHz	1156	1220	1320	
	程序在 FLASH 运行， 开预取，FLASH_CFG = 0XC1		PLL	48MHz	1080	1145	1244	
			PLL	32MHz	870	927	1028	
	程序在 FLASH 运行， 关预取，FLASH_CFG = 0XC0		INTHF	16MHz	422	464	560	
INTLF		32KHz	229	264	360			
DEEP SLEEP	程序在 RAM 运行， 开 FLASH	所有外设禁止	PLL	120MHz	160	1714	1820	
			PLL	96MHz	1508	1584	1683	
			PLL	72MHz	1242	1310	1410	
			PLL	64MHz	1156	1220	1320	
			PLL	48MHz	1080	1144	1244	
			PLL	32MHz	870	927	1027	
			INTHF	16MHz	420	463	560	
INTLF	32KHz	229	264	359				
DEEP SLEEP	程序在 RAM 运行， 关 FLASH	所有外设禁止	PLL	120MHz	1478	1550	1631	
			PLL	96MHz	1348	1414	1495	
			PLL	72MHz	1082	1140	1222	
			PLL	64MHz	994	1050	1133	
			PLL	48MHz	920	975	1056	
			PLL	32MHz	710	758	840	
			INTHF	16MHz	260	293	370	
INTLF	32KHz	70	96	172				

7.3.6 内核电源 VREG

表 7-10 VREG 电气特性

符号	参数	条件	最小值	典型值	最大值	单位
V _{REG}	调整器的输出电压	V _{DD} = 3.3V, T _A = 25°C	-	1.32	-	V
V _{DDcoeff}	V _{REG} 的电源变化率	V _{DD} = 3.3V, T _A = 25°C	-	0.1	-	%
t _{setting}	建立时间	V _{REG} = 1.32V, T _A = 25°C	-	43	100	us
I _{drive}	驱动能力	V _{REG} = 1.32V, T _A = 25°C	-	200	230	mA
C _{EXT}	输出退耦电容	V _{REG} = 1.32V, T _A = 25°C	1.8	2.2	5	uF

7.4 时钟源特性

7.4.1 HSE

 表 7-11 HSE 电气特性⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
DuCy _(HSE)	HSE 占空比	-	45	-	55	%
f _{HSE}	HSE 外部高频频率	V _{DD} = 3.3V, T _A = 25°C	4	8	32	MHz
t _{su} ⁽²⁾ _(HSE)	HSE 启动时间	V _{DD} = 3.3V, T _A = 25°C	-	2.5	-	ms
C _{L(HSE)}	HSE 负载电容	-	10	14	39	pF
I _{DD(HSE)}	HSE 功耗	V _{DD} = 3.3V, ESR = 30Ω, CL = 10pF@8MHz	-	0.54	-	mA
		V _{DD} = 3.3V, ESR = 45Ω, CL = 10pF@16MHz	-	0.95	-	
		V _{DD} = 3.3V, ESR = 30Ω, CL = 5pF@32MHz	-	1.68	-	
V _{HSEH}	HSE 输入 PIN 的高电平范围	-	0.6V _{DD}	-	V _{DD}	V
V _{HSEL}	HSE 输入 PIN 的低电平范围	-	V _{SS}	-	0.3V _{DD}	

注 1: 设计保证。

注 2: t_{su} 表示从软件使能到晶振稳定在 8MHz 的时间。

7.4.2 LSE

 表 7-12 LSE 电气特性⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
DuCy _(LSE)	LSE 占空比	-	30	-	70	%
f _{LSE}	LSE 频率	V _{DD} = 3.3V, T _A = 25°C	-	32.768	40	kHz
t _{su(LSE)}	LSE 开启时间	-	-	2	-	s
C _{L(LSE)}	LSE 负载电容	-	-	12	-	pF
I _{DD(LSE)}	LSE 功耗	LSEDRV[1:0] = 00 低驱动能力	-	260	-	nA
		LSEDRV[1:0] = 01 中等驱动能力	-	330	-	
		LSEDRV[1:0] = 10 次高等驱动能力	-	520	-	
		LSEDRV[1:0] = 11 最高驱动能力	-	650	-	
V _{LSEH}	OSC_IN 输入 PIN 高电平	-	0.6V _{DD}	-	V _{DD}	V
V _{LSEL}	OSC_IN 输入 PIN 低电平	-	V _{SS}	-	0.3V _{DD}	

注 1: 设计保证。

7.4.3 HSI

 表 7-13 HSI 电气特性⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
DuCy _(HSI)	HSI 占空比	-	45	-	55	%
f _{INTHF} (HSI)	HSI 内部高频频率	V _{DD} = 3.3V、T _A = 25°C	-	16	-	MHz
ΔTemp _(HSI)	HSI 频率随温度的漂移	V _{DD} = 3.3V、T _A = -40°C~+85°C	-10	±5	+10	%
t _{su} (HSI)	HSI 启动时间	-	-	5	-	us
t _{stab} (HSI)	HSI 稳定时间	-	-	17	-	us
I _{DD} (HSI)	HSI 功耗	-	-	47	-	μ A

注 1：设计保证。

7.4.4 LP4M

 表 7-14 LP4M 电气特性⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
DuCy _(LP4M)	LP4M 占空比	-	45	-	55	%
f _{CLKOUT} (LP4M)	LP4M 时钟频率	V _{DD} = 3.3V、T _A = 25°C	-	4	-	MHz
ΔTemp _(LP4M)	LP4M 温度漂移	V _{DD} = 3.3V, T _A = -40°C~85°C	-8	-	+8	%
t _{su} (LP4M)	LP4M 启动时间	-	-	1.5	-	us
t _{stab} (LP4M)	LP4M 稳定时间	-	-	10	-	us
I _{DD} (LP4M)	LP4M 功耗	-	-	6	-	μ A

注 1：设计保证。

7.4.5 LSI

 表 7-15 LSI 电气特性⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
V _{DD} (LSI)	LSI 供电电压	T _A = 25°C	1.8	3.3	3.6	V
f _{LSI}	LSI 频率	V _{DD} = 3.3V、T _A = 25°C	30.08	32	33.92	kHz
		V _{DD} = 1.8V~3.6V, T _A = -40°C~85°C	20	32	40	kHz
ΔTemp _(LSI)	LSI 温度漂移	V _{DD} = 3.3V, T _A = -40°C~85°C	-10	-	+10	%
t _{su} (LSI)	LSI 启动时间	-	-	80	132	us
t _{stab} (LSI)	LSI 稳定时间	最终稳定频率 5%内	-	110	200	us
I _{DD} (LSI)	LSI 功耗	-	-	-	200	nA

注 1：设计保证。

7.4.6 PLL

 表 7-16 PLL 电气特性⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
$V_{DD(PLL)}$	运行电压范围	-	1.8	3.3	3.6	V
$f_{IN(N(PLL))}$	输入频率范围	-	1	-	32	MHz
$f_{OUTVCO(PLL)}$	VCO 频率范围	-	200	-	400	MHz
$T_{pj(RMS)}$	Period Jitter	$f_{OUTVCO} \geq 200\text{MHz}$; 干净电源	-	25	-	ps
$T_{pj(P-P)}$			-	200	-	
T_{cj}			Cycle-to-Cycle jitter	-	50	
$DuCy(PLL)$	占空比	$f_{OUTVCO} = 200\text{-}400\text{Mhz}$	40	50	60	%
$LKT(PLL)$	锁定时间	-	-	-	0.5	ms
$I_{DD(PLL)}$	功耗	$f_{IN} = 25\text{MHz}$, $f_{OUTVCO} = 200\text{MHz}$	-	-	0.56	mA

注 1: 设计保证。

7.5 IO 端口特性

7.5.1 静态特性

 表 7-17 IO 静态电气特性⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
V_{INL}	I/O 输入低电平	$1.8V < V_{DD} < 3.6V$	-	-	$0.3V_{DD}$	V
V_{INH}	I/O 输入高电平	$1.8V < V_{DD} < 3.6V$	$0.6V_{DD}$	-	-	V
V_{hys}	I/O 施密特触发器迟滞电压	$2.7V < V_{DD} < 3.6V$	-	900	-	mV
		$1.8V < V_{DD} < 2.7V$	-	500	-	
I_{ikg}	输入漏电流	$V_{IN} \leq V_{DD}$	-	-	± 50	nA
R_{PU}	弱上拉等效电阻	$V_{IN} = V_{SS}$	40	45	50	k Ω
R_{PD}	若下拉等效电阻	$V_{IN} = V_{DD}$	40	45	50	k Ω
C_{IO}	I/O 脚等效电容	-	-	3	-	pF

注 1：设计保证。

7.5.2 IO 输出特性

 表 7-18 IO 输出电气特性⁽¹⁾

符号	参数	条件	最小值	最大值	单位
V_{OL}	任意 IO 输出低电平	$ I_{IO} = 15mA$ $V_{DD} \geq 2.7V$	-	0.4	V
V_{OH}	任意 IO 输出高电平		$V_{DD} - 0.4$	-	
V_{OL}	任意 IO 输出低电平	$ I_{IO} = 20mA$ $V_{DD} \geq 2.7V$	-	1.3	
V_{OH}	任意 IO 输出高电平		$V_{DD} - 1.3$	-	
V_{OL}	任意 IO 输出低电平	$ I_{IO} = 10mA$ $V_{DD} \geq 1.8V$	-	0.45	
V_{OH}	任意 IO 输出高电平		$V_{DD} - 0.45$	-	

注 1：设计保证。

7.5.3 IO AC 特性

 表 7-19 IO AC 电气特性⁽¹⁾

I/O 速度配置	符号	参数	条件	最小值	最大值	单位
低速模式	f_{max}	最大频率	$C_L = 10pF, 2.7V \leq V_{DD} \leq 3.6V$	-	12	MHz
			$C_L = 10pF, 1.8V \leq V_{DD} \leq 2.7V$	-	1	
	t_r/t_f	输出上升和下降时间	$C_L = 10pF, 2.7V \leq V_{DD} \leq 3.6V$	-	18	ns
			$C_L = 10pF, 1.8V \leq V_{DD} \leq 2.7V$	-	60	
高速模式	f_{max}	最大频率	$C_L = 10pF, 2.7V \leq V_{DD} \leq 3.6V$	-	30	MHz
			$C_L = 10pF, 1.8V \leq V_{DD} \leq 2.7V$	-	15	
	t_r/t_f	输出上升和下降时间	$C_L = 10pF, 2.7V \leq V_{DD} \leq 3.6V$	-	4	ns
			$C_L = 10pF, 1.8V \leq V_{DD} \leq 2.7V$	-	7	

注 1：设计保证。

7.5.4 NRST 管脚特性

 表 7-20 NRST 电气特性⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
$V_{INL(NRST)}$	NRST 输入低电平	-	-	-	$0.3V_{DD}$	V
$V_{INH(NRST)}$	NRST 输入高电平	-	$0.6V_{DD}$	-	-	
$V_{hys(NRST)}$	NRST 施密特迟滞电压	-	-	200	-	mV
$R_{pu(NRST)}$	弱上拉等效电阻	$V_{IN} = V_{SS}$	40	50	55	k Ω
$V_{F(NRST)}$	NRST 输入滤波脉冲	-	-	-	60	ns
$V_{NF(NRST)}$	NRST 输入不会滤掉的脉冲	$1.8V \leq V_{DD} \leq 3.6V$	500	-	-	ns

注 1：设计保证。

7.5.5 外部中断特性

 表 7-21 外部中断电气特性⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
PLEC	触发事件的脉冲宽度	-	50	-	-	ns

注 1：设计保证。

7.6 外设

7.6.1 ADC 12BIT 特性

 表 7-22 ADC 电气特性⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
V _{DDA}	模拟电压	-	2.4	-	3.6	V
V _{REF+}	正电压参考	V _{DDA} ≥ 2V	2	-	V _{DDA}	V
		V _{DDA} < 2V	V _{DDA}			
V _{REF-}	负电压参考	-	V _{SSA}			
f _{ADC}	ADC 时钟频率	-	32k	-	16M	Hz
f _s	采样速率	12 bits	-	-	1	MspS
A _{Vin}	转换电压范围	-	0	-	V _{REF+}	V
R _{IN}	外部允许最大输入串联阻抗	-	-	-	50	kΩ
R _{ADC}	采样开关的电阻	-	-	2	4	kΩ
C _{ADC}	内部采样和保持电容	-	-	9.6	-	pF
t _{su}	上电时间	-	100			us
t _s	采样时间	f _{ADC} = 16M	0.156	-	-	us
		-	-	2.5	-	1/f _{ADC}
t _{conv}	整个转换时间(包含采样时间)	f _{ADC} = 16M	-	1	-	us
		12 bits	T _s +12.5 cycles			1/f _{ADC}
I _{DD(ADC)}	ADC 功耗	f _s = 1MspS	-	400	600	μ A
O _e	失调误差	f _{ADC} = 16M, R _{IN} = 500Ω 2.4V < V _{DDA} < 3.6V V _{REF+} = V _{DDA} , T _A = 25°C	-	±4	-	LSB
G _e	增益误差		-	±4	-	
DNL	微分非线性		-	-	±4	
INL	积分非线性		-	-	±4	
ET	全范围误差	f _{ADC} = 16M, R _{IN} = 500Ω V _{DDA} = 3.3V V _{REF+} = V _{DDA} , T _A = 25°C	-	4	6	
ENOB	有效位数	-	10	10.5	-	Bits
SINAD	信号对噪声和失真的抑制比	-	64.4	64.5	-	dB
SNR	信噪比		65	66	-	
THD	谐波失真		73	74	-	

注 1: ADC 测试数据为软件平均后的结果。

7.6.2 DAC 12 BIT 转换特性

 表 7-23 DAC 特性⁽¹⁾

符号	参数	条件		最小值	典型值	最大值	单位
V_{DD}	电源电压	DAC 输出 buffer 关闭		2.4	-	3.6	V
V_{REF+}	外部参考电压	DAC 输出 buffer 关闭		2	-	V_{DDA}	V
V_{REF-}	负参考电压	-		V_{SSA}			
R_L	负载电阻	DAC 输出 buffer 开启	Connected to V_{SSA}	5	-	-	k Ω
			Connected to V_{DDA}	25	-	-	
R_O	输出阻抗	DAC 输出 buffer 关闭		-	16	-	k Ω
R_{BON}	输出 buffer 开启时的输出阻抗	$V_{DD} = 2.7V$		-	5	-	k Ω
		$V_{DD} = 2.0V$		-	10	-	
C_L	负载电容	DAC 输出 buffer 开启		-	-	100	pF
V_{DAC_OUT}	DAC 的输出电压	DAC 输出 buffer 开启		0.2	-	$V_{REF+} - 0.2$	V
		DAC 输出 buffer 关闭		0	-	V_{REF+}	
$t_{SETTLING}$	建立时间（从最低码转换到最高码时，输出稳定在最终值的 $\pm 0.5LSB$, $\pm 1LSB$, $\pm 2LSB$, $\pm 4LSB$, $\pm 8LSB$ ）	DAC 输出 buffer 开启 $C_L \leq 50pF$, $R_L \geq 5k\Omega$	$\pm 0.5LSB$	-	2	4	us
			$\pm 1LSB$	-	1.8	3.5	
			$\pm 2LSB$	-	1.6	3	
			$\pm 4LSB$	-	1.5	2.9	
		DAC 输出 buffer 关闭, $\pm 1LSB$, $\pm 4LSB$, $\pm 8LSB$) $C_L = 10pF$		-	-	-	
$PSRR$	V_{DDA} 电源抑制比	DAC 输出 buffer 开启; $C_L \leq 50pF$, $R_L = 5k\Omega$		-	-	-25	dB
$T_{W_to_W}$	两个相邻转换码的时间 (1LSB)	$C_L \leq 50pF$, $R_L \geq 5k\Omega$		2	-	-	us
$I_{DDA(DAC)}$	DAC 从 V_{DDA} 消耗的功耗	DAC 输出 buffer 开启	无负载, 中间码	-	400	-	μA
		DAC 输出 buffer 开启	无负载, 最差码	-	500	-	
		DAC 输出 buffer 关闭	无负载, 中间码	-	206	-	
$I_{DDV(DAC)}$	DAC 从 V_{REF+} 消耗的电	DAC 输出 buffer 开启	无负载, 中间码	-	400	-	μA
			无负载, 最差码	-	500	-	
		DAC 输出 buffer 关闭	无负载, 中间码	-	206	-	

注 1: 设计保证。

表 7-24 DAC 精度⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位	
DNL	微分非线性	DAC 输出 buffer 开启	-	-	±2	LSB	
		DAC 输出 buffer 关闭	-	-	±2		
-	单调性	10bits	设计保证				
INL	积分非线性	DAC 输出 buffer 开启 $C_L \leq 50\text{pF}$, $R_L \geq 8\text{k}\Omega$	-	-	±5		
		DAC 输出 buffer 关闭 $C_L \leq 50\text{pF}$, 无 R_L	-	-	±5		
Offset	在中间码的失调误差	DAC 输出 buffer 开启 $C_L \leq 50\text{pF}$, $R_L \geq 8\text{k}\Omega$	$V_{\text{REF}+} = 3.6\text{V}$	-	-		±11
			$V_{\text{REF}+} = 1.8\text{V}$	-	-		±21
		DAC 输出 buffer 关闭 $C_L \leq 50\text{pF}$, 无 R_L	-	-	±9		
Offset1	在 code0 的失调误差	DAC 输出 buffer 关闭 $C_L \leq 50\text{pF}$, 无 R_L	-	-	±4		
Gain	增益误差	DAC 输出 buffer 开启 $C_L \leq 50\text{pF}$, $R_L \geq 8\text{k}\Omega$	-	-	±0.6		%
		DAC 输出 buffer 关闭 $C_L \leq 50\text{pF}$, 无 R_L	-	-	±0.7		
TUE	全范围误差	DAC 输出 buffer 开启 $C_L \leq 50\text{pF}$, $R_L \geq 8\text{k}\Omega$	-	-	±20	LSB	
		DAC 输出 buffer 关闭 $C_L \leq 50\text{pF}$, 无 R_L	-	-	±10		
SNR	信噪比	DAC 输出 buffer 开启 $C_L \leq 50\text{pF}$, $R_L \geq 8\text{k}\Omega$, 1kHz, BW 500kHz	-	69	-	dB	
		DAC 输出 buffer 关闭 $C_L \leq 50\text{pF}$, 无 R_L , 1kHz, BW 500kHz	-	70	-		
THD	谐波失真	输出 buffer 开启 $C_L \leq 50\text{pF}$, $R_L \geq 8\text{k}\Omega$, 1kHz	-	-76	-	dB	
		输出 buffer 关闭 $C_L \leq 50\text{pF}$, 无 R_L , 1kHz	-	-77	-		
SINAD	信号与噪声和失真比例	输出 buffer 开启 $C_L \leq 50\text{pF}$, $R_L \geq 8\text{k}\Omega$, 1kHz	-	70	-	dB	
		输出 buffer 关闭 $C_L \leq 50\text{pF}$, 无 R_L , 1kHz	-	70.4	-		
ENOB	有效位数	输出 buffer 开启 $C_L \leq 50\text{pF}$, $R_L \geq 8\text{k}\Omega$, 1kHz	-	11.2	-	Bits	
		输出 buffer 关闭 $C_L \leq 50\text{pF}$, 无 R_L , 1kHz	-	11.3	-		

注 1: 设计保证。

7.6.3 电压参考 VREFREG 特性

 表 7-25 VREFREG 特性⁽¹⁾

符号	参数	条件		最小值	典型值	最大值	单位
V _{DDA}	供电电源	常规模式	电压输出 2V	2.4	-	3.6	V
		退化应用	电压输出 2V	1.65	-	2.4	
V _{REFVREG_OUT}	输出参考电压	常规模式	电压输出 2V	1.95	2.0	2.05	
		退化应用	电压输出 2V	V _{DDA} -150mV	-	V _{DDA}	
C _{L(VREFREG)}	电容负载	-		-	-	2.2	uF
I _{load(VREFREG)}	静态负载电流	-		-	-	4	mA
I _{line_reg(VREFREG)}	电源调整率	2.8V ≤ V _{DDA}	I _{load} = 500uA	-	200	1000	ppm/
		≤ 3.6V	I _{load} = 4mA	-	100	500	V
I _{load_reg(VREFREG)}	负载调整率	500uA ≤ V _{DDA}	正常模式	-	50	500	ppm/ mA
T _{Coeff(VREFREG)}	温漂	-40°C ≤ T _j ≤ +85°C		-	-	200	ppm/
		0°C ≤ T _j ≤ +50°C		-	-	120	°C
PSRR _(VREFREG)	电源抑制比	DC		30	55	-	dB
		100kHz		15	29	-	
t _{su(VREFREG)}	开启时间	-		-	50	-	us
I _{INRUSH}	开启 VREFREG 的最大驱动电流	-		-	9	-	mA
I _{DD(VREFREG)}	VREFREG 的电流消耗	I _{load} = 0uA		-	13.3	16	μ A
		I _{load} = 500uA		-	15	19	
		I _{load} = 4mA		-	26	30	

注 1：设计保证。

7.6.4 比较器特性

 表 7-26 比较器电气特性⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
V _{DDA(CMP)}	供电电源	-	2.4	-	3.6	V
V _{IN(CMP)}	比较器输入范围	-	0	-	V _{DDA} -1	
V _{offset(CMP)}	失调电压	-	-10	-	10	mV
V _{hys(CMP)}	比较器迟滞电压	无迟滞	-	0	-	mV
		低迟滞	-	5.78	-	
		中等迟滞	-	10.86	-	
		高迟滞	-	15.5	-	
I _{DD(CMP)}	比较器电流消耗	-	-	16.29	-	μ A
t _{delay(CMP)}	输出延迟	V _{DD} = 3.3V, 200mV 的台阶, 100mV 的过冲	-	65	-	ns

注 1：设计保证。

7.6.5 USB 全低速收发器模块电气特性

表 7-34 USB DC 电气特性

符号	参数	条件	最小值	典型值	最大值	单位
V _{DD(USB)}	USB 全速/低速 收发器运行电压	-40°C~85°C	3.0	-	3.6	V
V _{DI}	差分输入电压灵敏度	整个 VCM 范围	0.2	-	-	V
V _{CM}	差分输入共模范围	包含 VDI 的范围	0.8	-	2.5	V
V _{SE}	单边接收器输入阈值	-	0.8	-	2.0	V
V _{OL(USB)}	静态输出低电平	1.5kΩ上拉到 3.3V	-	-	0.3	V
V _{OH(USB)}	静态输出高电平	下拉 15kΩ到 V _{SS}	2.8	-	3.6	V
R _{PD(USB)}	USB_D+/D-下拉电阻	-	-	-	-	kΩ
R _{PU(USB)}	全速 USB_D+上拉电阻	V _{IN} = V _{SS} , IDLE 态	1.9	2.34	2.8	kΩ
	全速 USB_D+上拉电阻	V _{IN} = V _{SS} , 接收期间	2.5	3.12	3.7	kΩ
	低速 USB_D-上拉电阻	V _{IN} = V _{SS} , IDLE 态	1.9	2.34	2.8	kΩ
	低速 USB_D-上拉电阻	V _{IN} = V _{SS} , 接收期间	2.5	3.12	3.7	kΩ

 表 7-35 USB 驱动电气特性⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
t _{r(LS)}	低速下的上升时间	C _L = 200pF ~600pF	75	-	300	ns
t _{r(LS)}	低速下的下降时间	C _L = 200pF ~600pF	75	-	300	ns
t _{rf(mLS)}	低速下上升/下降时间的匹配	t _r /t _f	80	-	125	%
t _{r(FS)}	全速下的上升时间	C _L = 50pF	4	-	20	ns
t _{r(FS)}	全速下的下降时间	C _L = 50pF	4	-	20	ns
t _{rf(mFS)}	全速下上升/下降时间的匹配	t _r /t _f	90	-	110	%
V _{CRS}	输出信号的电压交叉点	-	1.3	-	2.0	V
Z _{DRV}	输入驱动阻抗	驱动高或低	28	-	44	Ω

注 1：设计保证。

7.7 功耗特性

7.7.1 程序运行在 FLASH 时的静态功耗特性

表 7-28 程序运行在 FLASH 时的静态功耗特性

运行模式	程序方式	时钟源	外设工作条件	MR	温度	SCLK 频率	典型值	单位
RUN	程序在 FLASH 运行, 开预取, FLASH_CFG = 0XC3	PLL	所有外设禁止, V _{DD} = 3.3V	1.32V	25°C	120MHz	5775	μA
	程序在 FLASH 运行, 开预取, FLASH_CFG = 0XC3					96MHz	4875	
	程序在 FLASH 运行, 开预取, FLASH_CFG = 0XC2					72MHz	3870	
	程序在 FLASH 运行, 开预取, FLASH_CFG = 0XC2					64MHz	3520	
	程序在 FLASH 运行, 开预取, FLASH_CFG = 0XC1					48MHz	2930	
	程序在 FLASH 运行, 开预取, FLASH_CFG = 0XC0					32MHz	2550	
	程序在 FLASH 运行, 开预取, FLASH_CFG = 0XC0	INTHF				16MHz	1280	
						4MHz	580	
	程序在 FLASH 运行, 开预取, FLASH_CFG = 0XC0	INTLF				32KHz	275	

7.7.2 程序运行在 SRAM 时的静态功耗特性

表 7-29 程序运行在 SRAM 时的静态功耗特性

运行模式	运行方式	外设工作条件	VDD	MR	温度	SCLK 频率	最小值	典型值	最大值	单位
RUN	程序在 SRAM 中运行	所有外设禁止, 不关闭 FLASH	3.3V	1.32V	25°C	120MHz	-	5420	-	μA
						96MHz	-	4560	-	
						72MHz	-	3560	-	
						64MHz	-	3230	-	
						48MHz	-	2670	-	
						32MHz	-	1960	-	
						16MHz	-	980	-	
						32KHz	-	280	-	

7.7.3 休眠功耗特性

表 7-30 休眠功耗特性

运行模式	运行方式	外设工作条件	MR	时钟源	SCLK 频率	温度	最小值	典型值	最大值	单位
休眠	SLEEP	所有外设禁止, $V_{DD} = 3.3V$	1.32V	INTHF	16MHz	-40°C	-	720	-	μA
						25°C	-	757	-	
						85°C	-	882	-	
						125°C	-	1281	-	
		所有外设禁止, $V_{DD} = 3.3V$	1.2V	INTHF	16MHz	-40°C	-	658	-	
						25°C	-	688	-	
						85°C	-	795	-	
						125°C	-	1154	-	

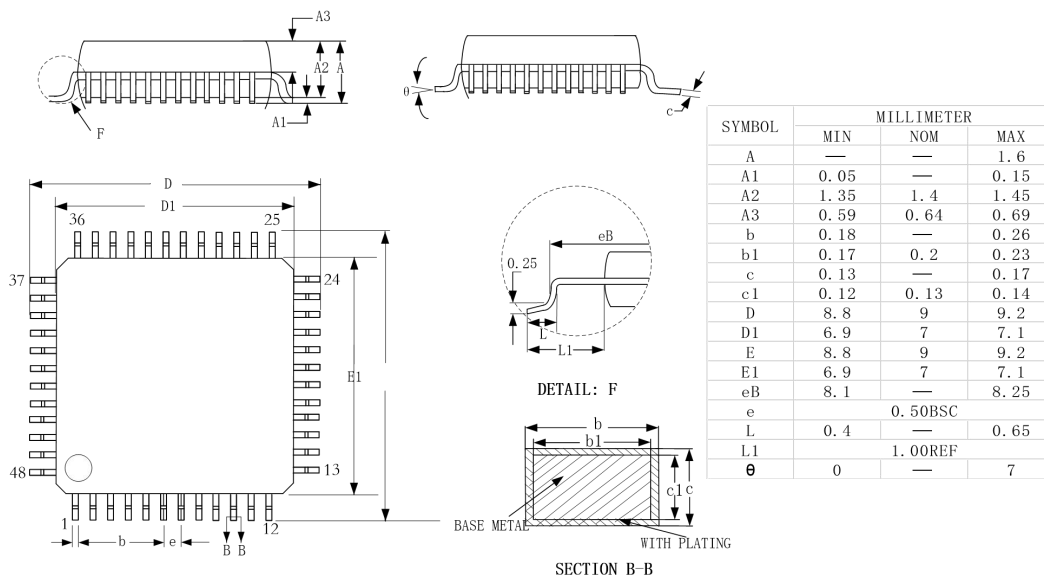
7.7.4 低功耗模式特性

表 7-31 低功耗模式特性

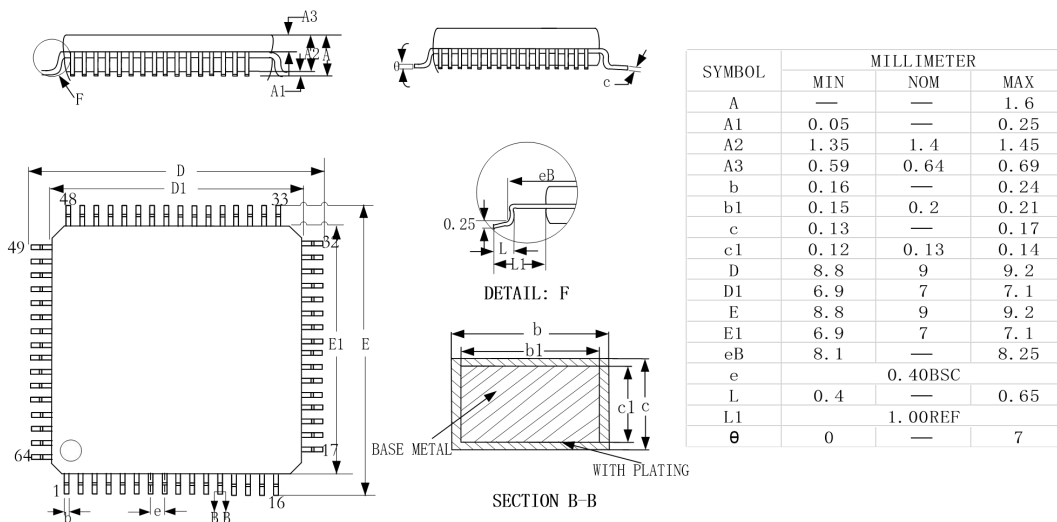
功耗模式	工作模块	VDD	PMCTL0	MR/LPR	VDD18	最小值	典型值	最大值	单位
Stop1	无	3.3V	0100 0802	LPR	关断	-	2.4	4.9	μA
Stop1	LPRAM	3.3V	0108 0802	LPR	关断	-	3.6	6.8	
Stop0	无	3.3V	0100 0801	LPR	关断	-	26	40	

8 封装信息

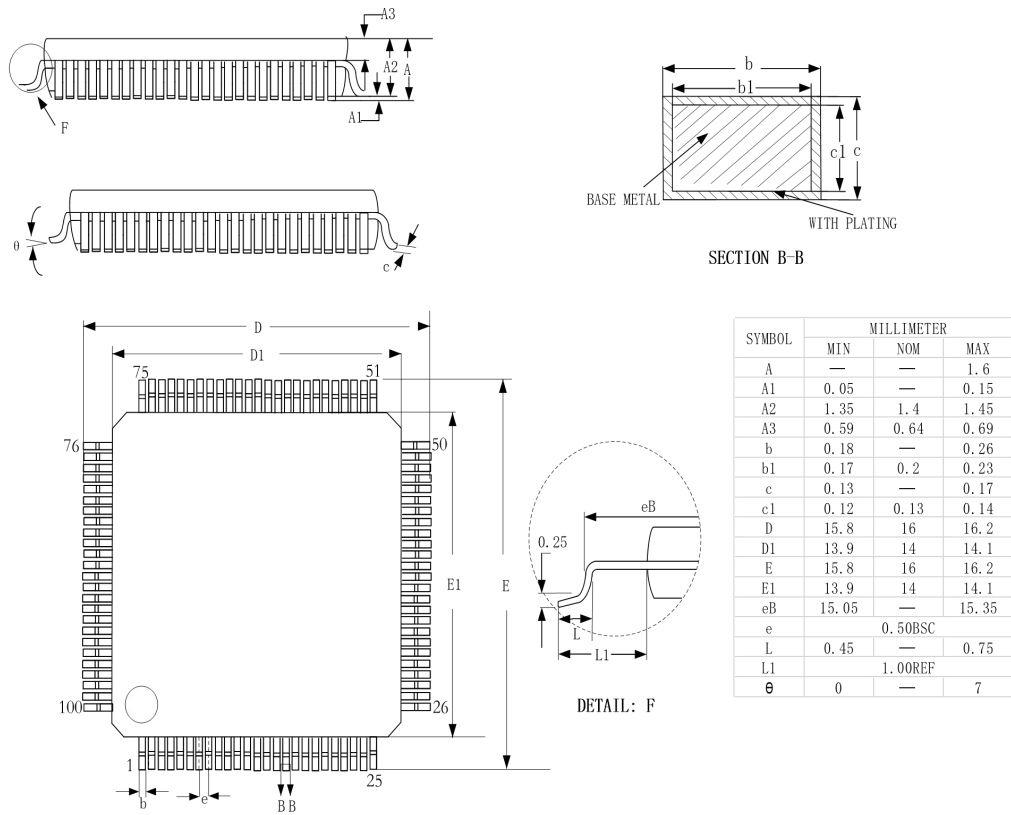
8.1 LQFP48 封装



8.2 LQFP64 封装



8.3 LQFP100 封装



9 KF32 产品标识体系



10 RoHS 认证

本产品已通过 RoHS 检测。

11 声明及销售网络

销售及服务网点

上海 TEL: 021-50275927

地址: 上海浦东龙东大道 3000 号张江集电港 1 幢 906 号 B 座

12 版本更新记录

版本号	更新说明	页码	更新日期
V1.2	更新页眉及部分文字格式	-	2020-02-21
V1.3	更新产品订购信息和外设资源对照表	6/8	2020-03-31
V2.0	更新第三章映射部分	-	2020-05-05
V2.1	添加第三/四章节	-	2020-06-15
	添加 2.3 在线编程小节	-	
	添加 5.6 CCP 引脚资源小节	-	
V2.2	添加 7.7 小节	-	2020-07-03
V2.3	更新 100 脚芯片引脚图以及相关内容	-	2020-07-28
V2.4	添加订货号 KF32F350KQS	-	2020-07-30
V2.5	添加订货号 KF32F350MQS	-	2020-08-03
V2.6	添加 2.7 小节电源引脚说明	-	2020-08-10
V2.7	更新在线编程和调试章节，增加 DPI 模式说明	-	2020-08-27
V2.8	更新芯片引脚图目录以及调整部分文字格式	-	2020-10-23
V2.9	添加第 9 章产品标识体系	-	2021-01-18
V2.10	更新数字映射 AF11 列 CxOUT 下标	-	2021-02-07
V3.0	更新功耗运行模式	-	2021-04-30
	更新 HSI 时钟温漂特性	49	
	更新引脚重映射相关章节相关信息		
	1、删除 PA2/PA7/PA8/PG7/PC9/PD14-AF4-CCP18/CCP19 相关		
	2、删除 PA5/PA6/PA7-AF3-CCP23 相关		
	3、删除 PB0/PB1/PB2/PB3-CCP22 相关		
	4、删除 PG3/PG4/PD9/PD10-AF1-CCP2 相关		
	5、删除 PE2/PG3/PG4/PC9/PC10/PD9/PD10/PD13-AF2-CCP9 相关		
	6、删除 PB2/PB3/PB11/PB12/PB13-AF3-CCP9 相关		
	7、删除 PB14-AF13-ECCP9CH4H		
	8、删除 PA0/PA1/PA2/PA6/PA7-AF14-CCP9 相关		
	9、删除 PH6-AF3-T23CK		
	10、删除 PH5-AF4-T22CK		
	11、删除 PH6-AF4-T19CK		
	12、删除		
	PA2/PA3/PA5/PA6/PA7/PE2/PB2/PB3/PB12/PB13/PB14/PB15/PF0/PG3/PG4/PC5/PC6/PG7/PC9/PD9/PD10-AF6-USART3~7 相关		
	13、删除 PB11/PB12/PB13/PG4-AF11-USART6/7 相关		
14、删除 PB13-AF13-USART7_CLK			
15、删除 PB11/PB12/PD9-AF8-I2C3 相关			
16、删除 PC7-AF10-I2S2_MCK			
17、删除			

	PB11/PB12/PB13/PC5/PC6/PC7/PC8/PG6/PC9/PC10-AF7-SPI 2 相关 18、删除 PB0/PB1-AF9-CAN2 相关		
V3.1	更新电源引脚说明章节，增加稳压二极管保护	15	2021-08-23