

## 特性

高温工作范围：-55°C至+175°C

16位分辨率

完全单调性

3线SPI

上电复位功能

硬件LDAC功能

2.7 V至5.5 V单电源供电

小尺寸

10引脚3 mm × 3 mm单金属线焊MSOP

1.8 V逻辑兼容

## 应用

井下钻探和仪器仪表

重工业

高温环境

## 概述

AD5600是一款单通道、16位分辨率、电压输出数模转换器(DAC)，针对高工作温度而设计。

AD5600在整个规定的温度范围内保证16位单调性，并使用单个2.7 V至5.5 V电压电源供电。

对于空间受限的应用，AD5600采用10引脚MSOP，额定工作温度范围为-55°C至+175°C。这款封装针对极端温度下（包括单金属线焊）的稳定性而设计，在最大额定温度情况下最多可工作1000小时。

AD5600采用多功能三线式串行外设接口(SPI)，并且与50 MHz SPI、QSPI™、MICROWIRE™、DSP接口标准兼容。

## 功能框图

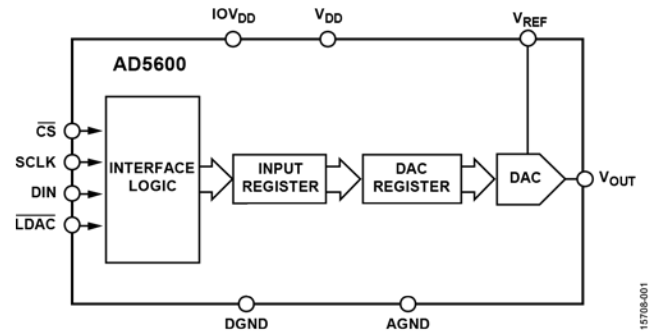


图1.

1570a-001

AD5600属于ADI公司不断扩展的高温认证产品系列，如需了解ADI所有的高温系列产品及相关认证数据，请访问[www.analog.com/cn/hightemp](http://www.analog.com/cn/hightemp)。

## 产品聚焦

1. 16位单调性DAC
2. 2.7 V至5.5 V单电源供电
3. 1.8 V逻辑兼容
4. 宽工作温度范围：-55°C至+175°C

Rev. A

[Document Feedback](#)

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.  
Tel: 781.329.4700 ©2019–2020 Analog Devices, Inc. All rights reserved.  
Technical Support [www.analog.com/cn](http://www.analog.com/cn)

ADI 中文版数据手册是英文版数据手册的译文，敬请谅解翻译中可能存在的语言组织或翻译错误，ADI 不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性，请参考 ADI 提供的最新英文版数据手册。

## 目录

特性 .....	1	典型性能参数 .....	7
应用 .....	1	术语 .....	11
功能框图 .....	1	工作原理 .....	12
概述 .....	1	DAC .....	12
产品聚焦 .....	1	串行接口 .....	12
修订历史 .....	2	硬件LDAC .....	12
技术规格 .....	3	上电复位 .....	12
交流特性 .....	4	应用信息 .....	13
时序特性 .....	4	布局布线指南 .....	13
绝对最大额定值 .....	5	多个DAC的解码 .....	13
热阻 .....	5	外形尺寸 .....	14
ESD警告 .....	5	订购指南 .....	14
引脚配置和功能描述 .....	6		

## 修订历史

### 2020年3月—修订版0至修订版A

更改图4和图7 .....	7
更改图9、图10和图12 .....	8

### 2019年10月—修订版0：初始版

## 技术规格

除非另有说明， $V_{DD} = 2.7\text{ V}$ 至 $5.5\text{ V}$ ， $IOV_{DD} = 1.8\text{ V}$ 至 $5.5\text{ V}$ ， $2.5\text{ V} \leq V_{REF} \leq V_{DD}$ ， $AGND = DGND = 0\text{ V}$ ， $T_A = -55^\circ\text{C}$ 至 $+175^\circ\text{C}$ 。

表1.

参数	测试条件/注释	最小值	典型值	最大值	单位
静态性能					
分辨率		16			位
相对精度(INL)	保证单调性		$\pm 0.5$	$\pm 17$	LSB
微分非线性(DNL)			$\pm 0.5$	$\pm 1.0$	LSB
零电平误差			0.3	$\pm 16$	LSB
温度系数			$\pm 0.05$		ppm/ $^\circ\text{C}$
增益误差			0.5	$\pm 22$	LSB
温度系数			$\pm 0.1$		ppm/ $^\circ\text{C}$
直流电源电压抑制比(PSRR)				$\pm 1.2$	LSB
输出特性					
电压范围		0		$V_{REF} - 1\text{ LSB}$	V
阻抗			6.25		k $\Omega$
基准电压输入					
阻抗		9			k $\Omega$
范围		2		$V_{DD}$	V
电容			26		pF
逻辑输入					
输入电流				$\pm 1.0$	$\mu\text{A}$
输入电压					
低电平( $V_{INL}$ )	$IOV_{DD} = 1.65\text{ V}$ 至 $5.5\text{ V}$			0.4	V
	$IOV_{DD} = 2.7\text{ V}$ 至 $5.5\text{ V}$			0.8	V
高电平( $V_{INH}$ )	$IOV_{DD} = 1.65\text{ V}$ 至 $5.5\text{ V}$	1.3			V
	$IOV_{DD} = 2.7\text{ V}$ 至 $5.5\text{ V}$	2.4			V
引脚电容			10		pF
迟滞电压			0.15		V
电源要求					
电源					
$V_{DD}$ 电压	$V_{INH} = IOV_{DD}$ 或 $V_{INL} = DGND$	2.7		5.5	V
$IOV_{DD}$ 电压	$V_{INH} = IOV_{DD}$ 或 $V_{INL} = DGND$	1.65		5.5	V
模拟电流( $AI_{DD}$ )			125	130	$\mu\text{A}$
$IOV_{DD}$ 电流( $IOI_{DD}$ )			15	24	$\mu\text{A}$

## 交流特性

除非另有说明,  $V_{DD} = 2.7\text{ V}$ 至 $5.5\text{ V}$ ,  $IOV_{DD} = 1.8\text{ V}$ 至 $5.5\text{ V}$ ,  $2.5\text{ V} \leq V_{REF} \leq V_{DD}$ ,  $AGND = DGND = 0\text{ V}$ ,  $T_A = -55^\circ\text{C}$ 至 $+175^\circ\text{C}$ 。

表2.

参数	最小值	典型值	最大值	单位	测试条件
输出电压建立时间		30		$\mu\text{s}$	至一半满量程的, 负载电容( $C_L$ ) = 18 pF
压摆率		7		$\text{V}/\mu\text{s}$	$C_L = 18\text{ pF}$ , 测量值范围: 0%至63%
数模转换毛刺脉冲		1.5		nV-sec	主进位1 LSB变化
参考					
-3 dB带宽		1.2		MHz	载入全1, $V_{REF}$ 电容( $C_{REF}$ ) = 0.1 $\mu\text{F}$
馈通		1.4		mV p-p	载入全0, 当频率为100 kHz时, $V_{REF} = 1\text{ V p-p}$
数字馈通		0.4		nV-sec	
信噪比		95		dB	
无杂散动态范围		80		dB	以数字方式生成频率为1 kHz的正弦波
总谐波失真		74		dB	DAC代码 = 0xFFFF, 频率10 kHz, $V_{REF} = 2.5\text{ V} \pm 1\text{ V p-p}$
输出					
噪声频谱密度		14		nV/ $\sqrt{\text{Hz}}$	DAC代码 = 0x0000, 频率 = 1 kHz
噪声		1.25		$\mu\text{V p-p}$	0.1Hz至10Hz

## 时序特性

除非另有说明,  $V_{DD} = 5\text{ V}$ ,  $2.5\text{ V} \leq V_{REF} \leq V_{DD}$ ,  $V_{INH} = 90\%$ 的 $IOV_{DD}$ ,  $V_{INL} = 10\%$ 的 $IOV_{DD}$ ,  $AGND = DGND = 0\text{ V}$ ,  $-55^\circ\text{C} < T_A < +175^\circ\text{C}$ 。

表3.

参数 <sup>1,2</sup>	$1.62 \leq IOV_{DD} \leq 2.7\text{ V}$	$2.7\text{ V} \leq IOV_{DD} \leq 5.5\text{ V}$	单位	描述
	时的限值	时的限值		
$f_{SCLK}$	14	50	MHz (最大值)	SCLK周期频率
$t_1$	70	20	ns (最小值)	SCLK周期时间
$t_2$	35	10	ns (最小值)	SCLK高电平时间
$t_3$	35	10	ns (最小值)	SCLK低电平时间
$t_4$	5	5	ns (最小值)	$\overline{\text{CS}}$ 低电平至SCLK高电平建立时间
$t_5$	5	5	ns (最小值)	$\overline{\text{CS}}$ 高电平至SCLK高电平建立时间
$t_6$	5	5	ns (最小值)	SCLK高电平至 $\overline{\text{CS}}$ 低电平保持时间
$t_7$	10	5	ns (最小值)	SCLK高电平至 $\overline{\text{CS}}$ 高电平保持时间
$t_8$	35	10	ns (最小值)	数据建立时间
$t_9$	5	4	ns (最小值)	数据保持时间 ( $V_{INH} = 90\%$ 的 $IOV_{DD}$ , $V_{INL} = 10\%$ 的 $IOV_{DD}$ )
$t_{10}$	5	5	ns (最小值)	数据保持时间 ( $V_{INH} = 3\text{ V}$ , $V_{INL} = 0\text{ V}$ )
$t_{11}$	20	20	ns (最小值)	LDAC 脉冲宽度
$t_{12}$	10	10	ns (最小值)	$\overline{\text{CS}}$ 高电平至LDAC低电平建立时间
	15	15	ns (最小值)	$\overline{\text{CS}}$ 有效周期之间的高电平时间

<sup>1</sup> 通过设计和特性保证。未经生产测试。

<sup>2</sup> 所有输入信号均指定上升时间( $t_r$ ) = 下降时间( $t_f$ ) = 1 ns/V并从( $V_{INL} + V_{INH}$ )/2电平起开始计时。

## 绝对最大额定值

除非另有说明， $T_A = 25^\circ\text{C}$ 。

表4.

参数	额定值
$V_{DD}$ 至AGND	-0.3 V至+6 V
$IOV_{DD}$ 至AGND	-0.3 V至+6 V
数字输入 <sup>1</sup> 至DGND	-0.3 V至 $IOV_{DD} + 0.3$ V
$V_{OUT}$ 至AGND	-0.3 V至 $V_{DD} + 0.3$ V
AGND至DGND	0.3 V
数字输入引脚电流	$\pm 10$ mA
温度	
工作范围 <sup>2</sup>	-55°C至+175°C
结温, $T_{JMAX}$	175°C
功耗	$(T_{JMAX} - T_A)/\theta_{JA}$
回流焊峰值, 无铅	260°C
静电放电(ESD)	5 kV

<sup>1</sup> 数字输入包括SCLK、DIN、 $\overline{CS}$ 和 $\overline{LDAC}$ 。

<sup>2</sup> 在最高温度范围内可工作长达1000小时。

注意，等于或超出上述绝对最大额定值可能会导致产品永久性损坏。这只是额定最值，不表示在这些条件下或者在任何其它超出本技术规范操作章节中所示规格的条件下，器件能够正常工作。长期在超出最大额定值条件下工作会影响产品的可靠性。

## 热阻

热性能与印刷电路板(PCB)设计和工作环境直接相关。必须慎重对待 PCB 散热设计。

表5. 热阻

封装类型	$\theta_{JA}$	$\theta_{JB}$	$\theta_{JC}$	$\Psi_{JT}$	$\Psi_{JB}$	单位
RM-10 <sup>1</sup>	146.76	84.21	38.12	2.56	82.41	$^\circ\text{C}/\text{W}$

<sup>1</sup> 热阻仿真值基于JEDEC 2S2P热测试板。参见JEDEC JESD-51。

## ESD警告



### ESD（静电放电）敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

## 引脚配置和功能描述

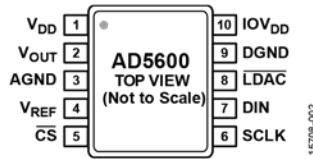


图2. 引脚配置

表6. 引脚功能描述

引脚编号	引脚名称	描述
1	$V_{DD}$	电源输入引脚。该器件可在2.7 V至5.5 V范围内工作。将VDD去耦至AGND。
2	$V_{OUT}$	DAC的模拟输出电压。
3	AGND	模拟地。器件上所有模拟电路的接地基准点。
4	$V_{REF}$	基准电压输入。将此引脚连接到外部基准电压。
5	$\overline{CS}$	片选输入信号。 $\overline{CS}$ 对串行数据输入进行成帧操作。
6	SCLK	串行时钟输入信号。数据在SCLK的上升沿时逐个读入串行输入寄存器。
7	DIN	串行数据输入信号。本器件接受16位字。数据在SCLK的上升沿时逐个读入串行输入寄存器。
8	$\overline{LDAC}$	$\overline{LDAC}$ 输入信号。发送脉冲使该引脚变为低电平后，当输入寄存器有新数据时，可以更新DAC寄存器。可将该引脚永久接为低电平。在这种情况下，在 $\overline{CS}$ 的上升沿将新数据写入输入寄存器时，DAC会自动更新。
9	DGND	数字地。器件上所有数字电路的接地基准点。
10	$IOV_{DD}$	数字接口电源电压。电压范围为1.65 V至5.5 V。将IOVDD去耦至DGND。

### 典型性能参数

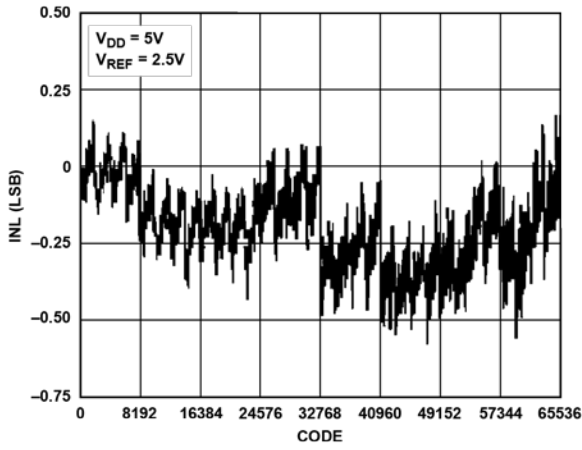


图3. INL与代码

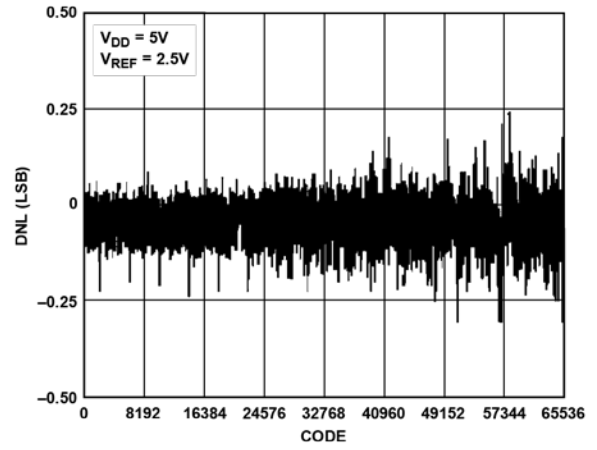


图6. DNL与代码

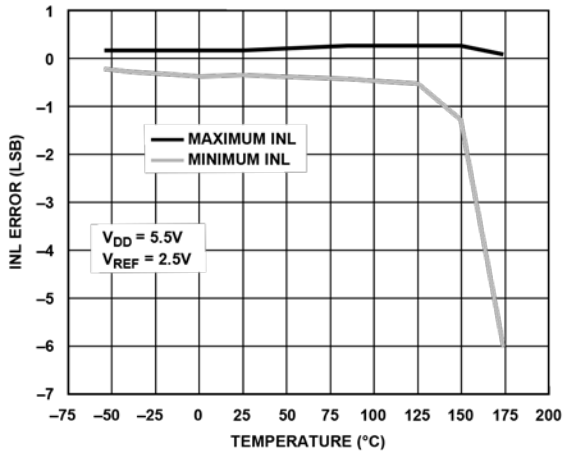


图4. INL误差与温度的关系

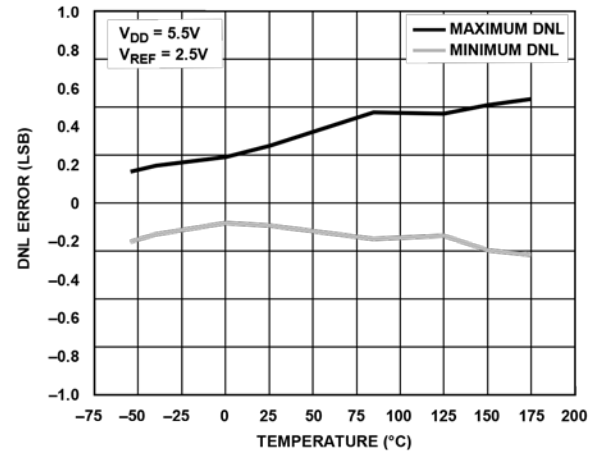


图7. DNL误差与温度的关系

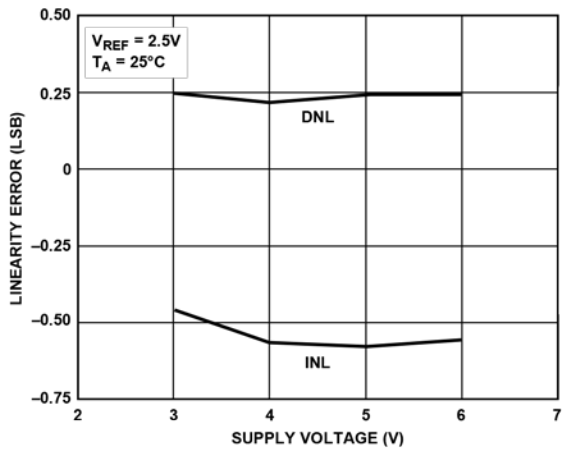


图5. 线性误差与电源电压的关系

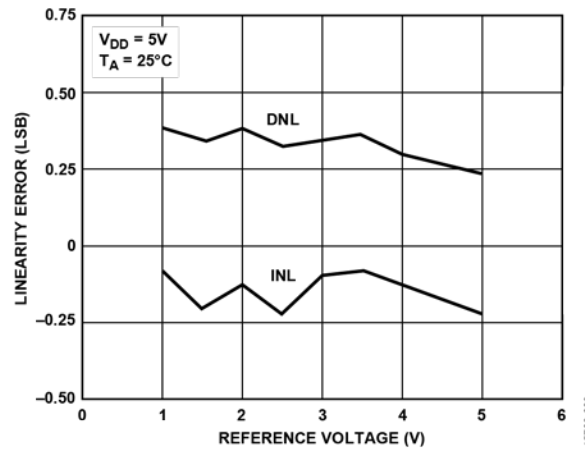


图8. 线性误差与基准电压的关系

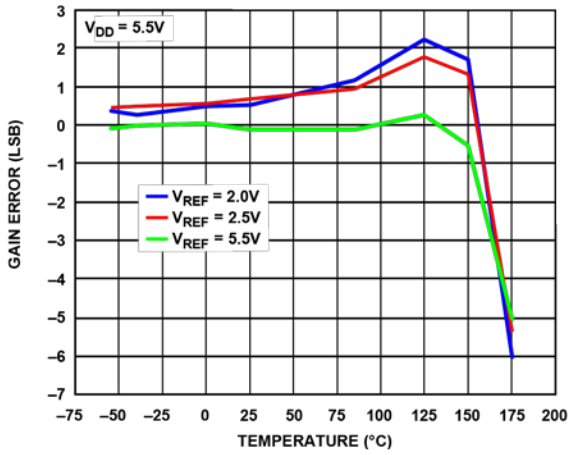


图9. 增益误差与温度的关系

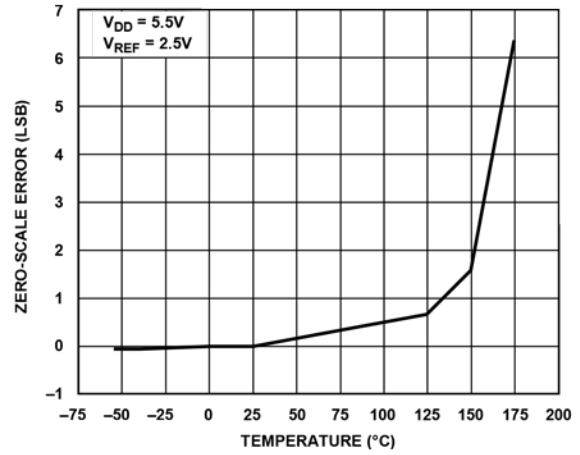


图12. 零电平误差与温度的关系

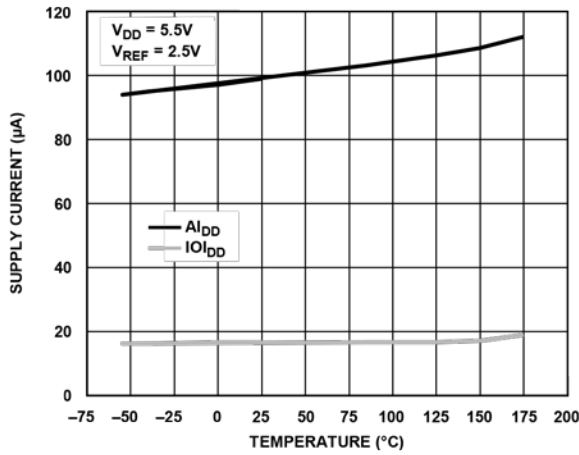


图10. 电源电流与温度的关系

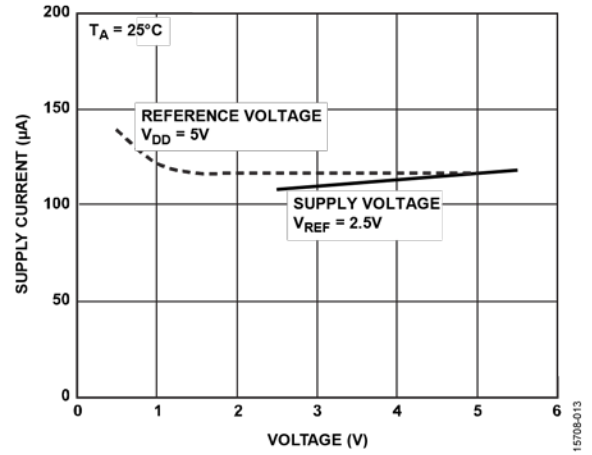


图13. 电源电流与基准电压和电源电压的关系

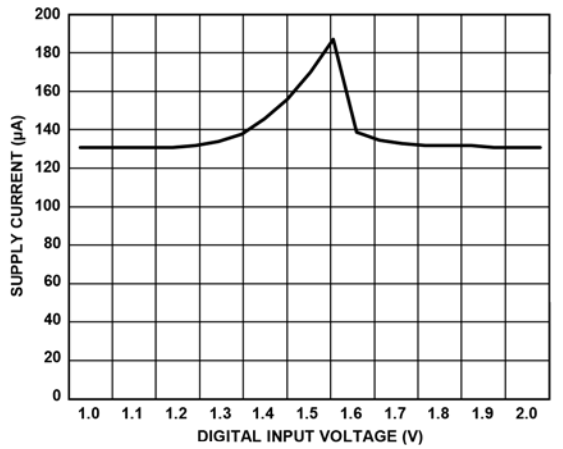


图11. 电源电流与数字输入电压的关系

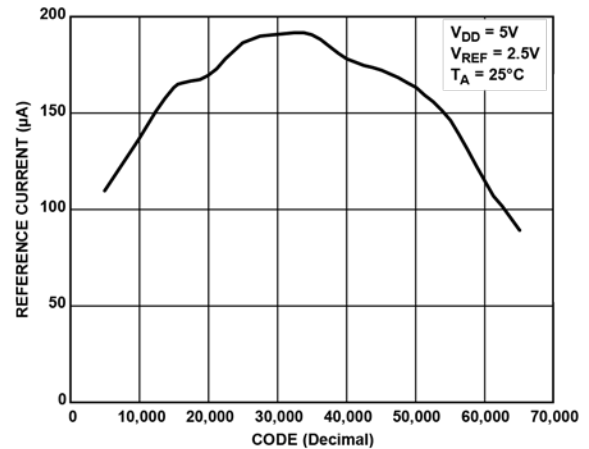


图14. 基准电流与代码的关系



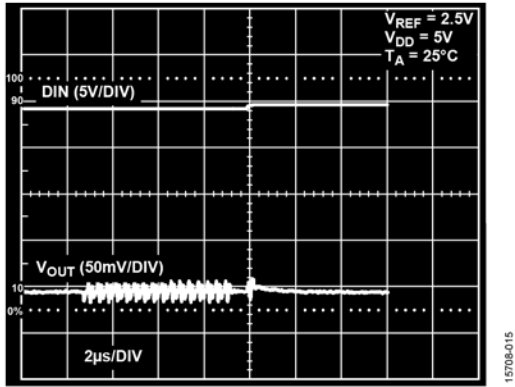


图15. 数字反馈

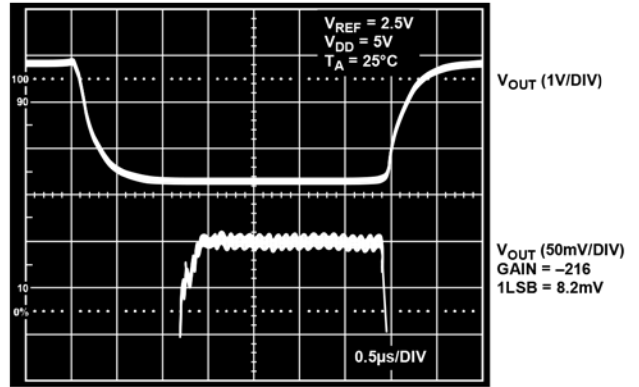


图18. 小信号建立时间

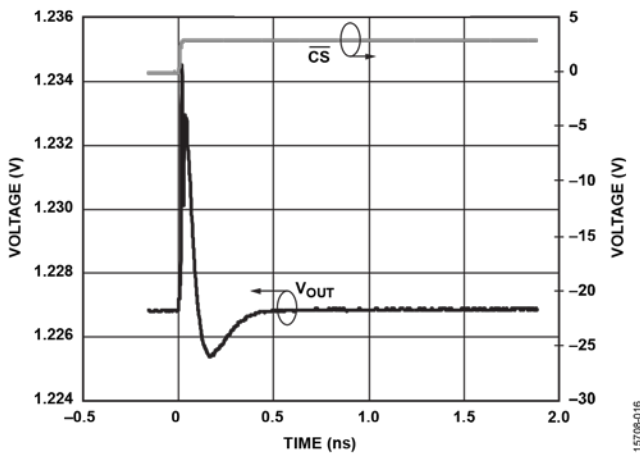


图16. 数模转换毛刺脉冲

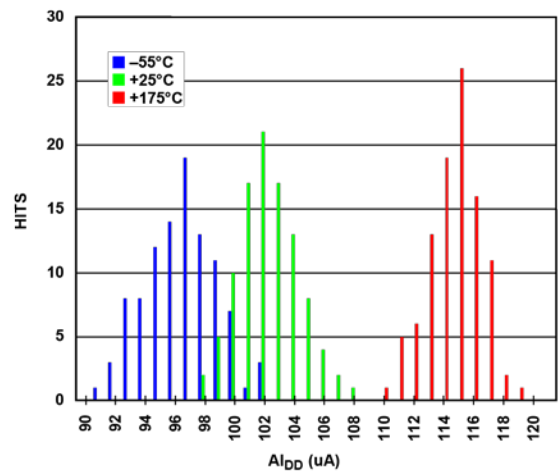


图19. AI<sub>DD</sub>直方图

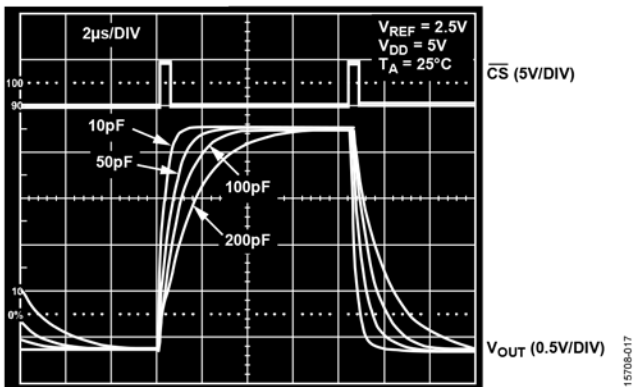


图17. 大信号建立时间

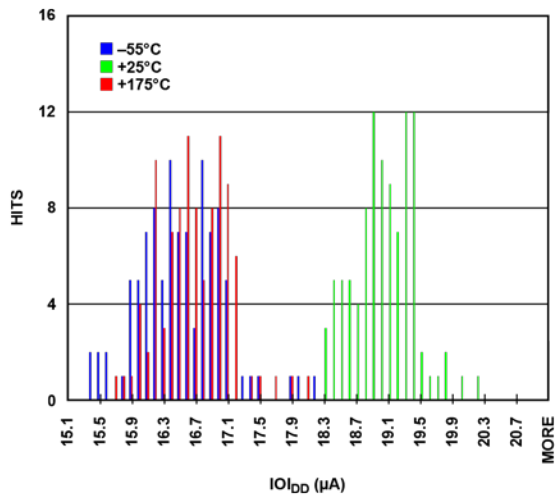


图20. IOI<sub>DD</sub>直方图

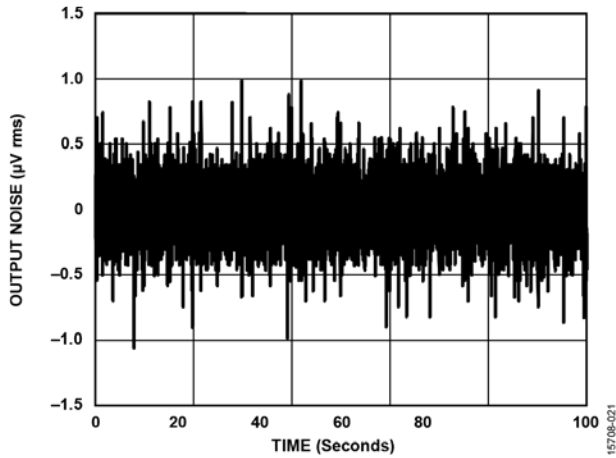


图21. 0.1 Hz至10 Hz输出噪声

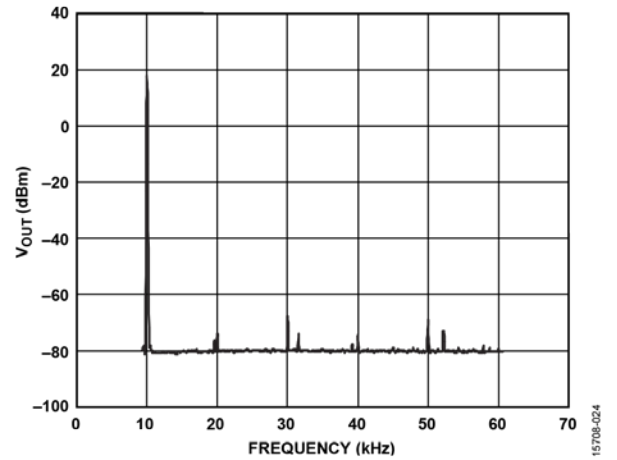


图24. 总谐波失真

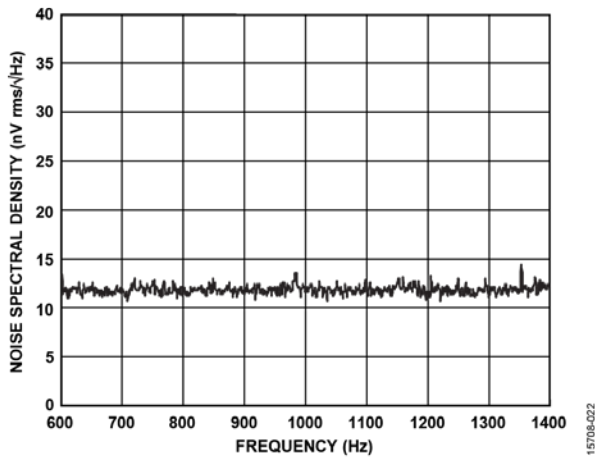


图22. 噪声频谱密度与频率的关系(1 kHz)

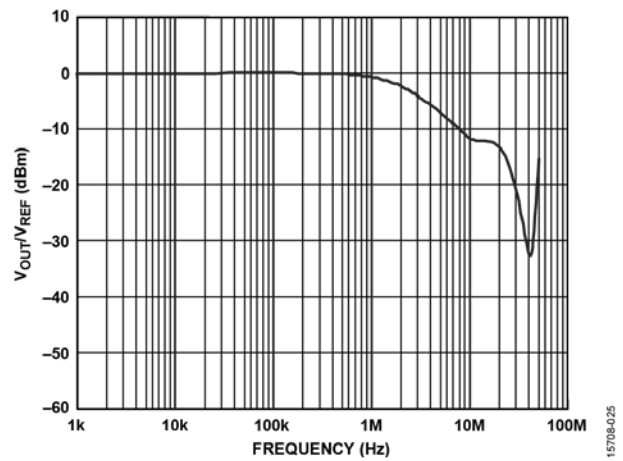


图25. 乘法带宽

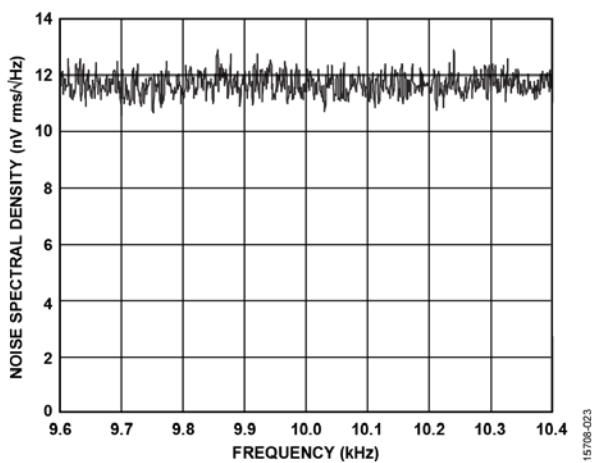


图23. 噪声频谱密度与频率的关系(10 kHz)

## 术语

### 相对精度或积分非线性(INL)

对于DAC，相对精度或INL是指DAC输出与通过DAC端点的传递函数直线之间的最大偏差，单位为LSB。图3给出了典型的INL与代码的关系图。

### 微分非线性(DNL)

DNL指任意两个相邻码之间所测得变化值与理想的1 LSB变化值之间的差异。最大 $\pm 1$  LSB的额定差分非线性可确保单调性。图6所示为典型的DNL与代码的关系图。

### 增益误差

增益误差指实际与理想模拟输出范围之间的差值，以LSB表示。它是DAC传递特性的斜率与理想值的偏差。

### 增益误差温度系数

增益误差温度系数用来衡量增益误差随温度的变化，此温度系数用ppm/ $^{\circ}$ C表示。

### 零电平误差

零电平误差用来衡量将零电平载入DAC寄存器时的输出误差。

### 零电平温度系数

零电平温度系数衡量零电平误差随温度的变化。此温度系数用ppm/ $^{\circ}$ C表示。

### 数模转换毛刺脉冲

数模转换毛刺脉冲是DAC寄存器中的输入编码变化时注入到模拟输出的脉冲。此脉冲通常规定为毛刺的面积，用nV-sec表示，数字输入代码在主进位跃迁中改变1 LSB时进行测量。数模转换毛刺脉冲如图16所示。

### 数字馈通

数字馈通衡量从DAC的数字输入注入DAC的模拟输出的脉冲。但在DAC输出未更新时进行测量。 $\overline{CS}$ 在SCLK和DIN信号跳变的同时保持高电平。数字馈通的单位为nV-sec，测量数据总线上发生满量程编码变化时的情况，即全0至全1，反之亦然。图15给出了典型数字馈通图。

### 直流电源电压抑制比(PSRR)

DC PSRR表示DAC的输出如何受电源电压变化影响。直流电源抑制比以DAC输出中的LSB数量变化表示。 $V_{DD}$ 的变化范围为 $\pm 10\%$ 。

### 基准电压馈通

基准电压馈通衡量DAC载入全0时，从 $V_{REF}$ 输入到DAC输出的馈通。将100 kHz、1 V p-p施加于 $V_{REF}$ 。基准电压馈通用mV p-p表示。

## 工作原理

AD5600是一款单通道、16位串行输入、电压输出DAC，针对高工作温度而设计。该器件的电源电压范围为2.7 V至5.5 V。

AD5600输入移位寄存器为16位宽。数据通过三线式SPI，以高达50 MHz的时钟速度写入器件。

AD5600内置一个上电复位电路，确保DAC输出寄存器上电至已知状态。

### DAC

#### DAC架构

DAC架构包含两个匹配的DAC部分。图26给出了简化电路架构。AD5600采用分段式DAC架构。16位DAC字驱动的4个MSB位解码后，可驱动E1到E15的15个开关。每个开关都将15个匹配电阻中的一个连接到AGND或 $V_{REF}$ 。DAC字的其余12位驱动12位电压模式R-2R梯形网络的开关S0至S11。

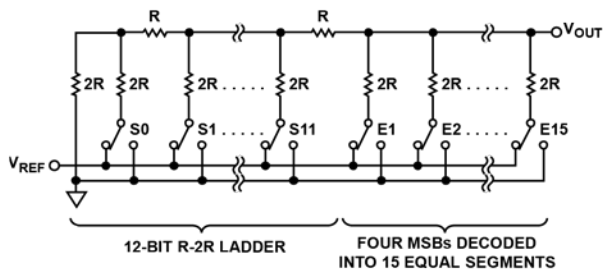


图26. 简化DAC架构

#### 转换函数

DAC的输入编码方式为直接二进制。理想输出电压可通过以下公式计算：

$$V_{OUT} = V_{REF} \times (D/65,536)$$

其中：

$D$ 为载入DAC寄存器的二进制编码的十进制等效值。

#### 串行接口

AD5600使用一个三线式串行接口，并且与SPI、QSPI、MICROWIRE和DSP接口标准兼容。该串行接口的时钟速率最高可达50 MHz。

AD5600有一个16位宽输入移位寄存器。写入输入移位寄存器时， $\overline{CS}$ 引脚将对SPI处理进行成帧操作。 $\overline{CS}$ 引脚从高电平变为低电平将开始写入处理， $\overline{CS}$ 引脚从低电平变为高电平将结束此处理。数据以MSB优先在串行时钟的上升沿(SCLK)载入输入移位寄存器。

如果载入输入移位寄存器的数据超过16位，则保留最后16位。如果载入的数据少于16位，则载入的上一个字中的位仍会存在。

#### 硬件LDAC

AD5600具有硬件 $\overline{LDAC}$ 引脚，可控制从输入移位寄存器至DAC寄存器的数据传输。

#### 瞬时更新

如果 $\overline{LDAC}$ 在SPI写入处理期间的 $\overline{CS}$ 下降沿保持低电平，DAC寄存器将在帧结束时的 $\overline{CS}$ 上升沿更新输入寄存器的内容。

#### 延迟更新

如果 $\overline{LDAC}$ 在SPI写入帧期间保持高电平，在 $\overline{LDAC}$ 引脚上检测到下降沿之前，输入寄存器的内容不会传输到DAC寄存器中。当 $\overline{CS}$ 引脚为低电平时， $\overline{LDAC}$ 引脚上的下降沿将被忽略。

#### 上电复位

AD5600具有一个上电复位电路，确保DAC输出上电至已知状态。上电时，AD5600 DAC寄存器的内容全清0。该寄存器将保持此状态，直到用户从输入寄存器加载数据。上电时，AD5600的输入寄存器未清零。初次将数据载入DAC时，必须将至少16位的数据载入DAC，以覆盖上电时未定义的数据。如果 $\overline{LDAC}$ 在上电时保持低电平， $\overline{CS}$ 从低电平变为高电平可能会将输入寄存器中的错误内容传输至DAC寄存器。将 $\overline{CS}$ 变为高电平之前，清除输入寄存器内容。

## 应用信息

### 布局布线指南

在任何注重精度的电路中，精心考虑电源和接地回路布局都有助于确保达到规定的性能。AD5600安装所用的PCB应采用模拟部分与数字部分分离设计，并限制在电路板的一定区域内。如果AD5600所在系统有多个器件要求模拟地-数字地连接，则只能在一个点进行连接。星形接地点尽可能靠近该器件。

AD5600必须具有10  $\mu\text{F}$ 电源旁路电容，与每个电源上的0.1  $\mu\text{F}$ 电容并联，并且尽可能靠近封装，最好是正对着该器件。建议使用10  $\mu\text{F}$ 钽珠型电容。0.1  $\mu\text{F}$ 电容必须具有低有效串联电阻(ESR)和低有效串联电感(ESL)，如高频时提供低阻抗接地路径的普通陶瓷型电容，以便处理内部逻辑开关所引起的瞬态电流。

### 多个DAC的解码

AD5600的 $\overline{\text{CS}}$ 引脚可以选择多个DAC中的一个。所有器件接收相同的串行时钟和串行数据，但在同一时刻只有一个器件接收 $\overline{\text{CS}}$ 信号。由解码器决定哪个DAC被选中。数字输入线上会存在一些数字馈通。使用突发时钟可以将模拟信号通道上的数字馈通效应降至最小。图27所示为典型电路。

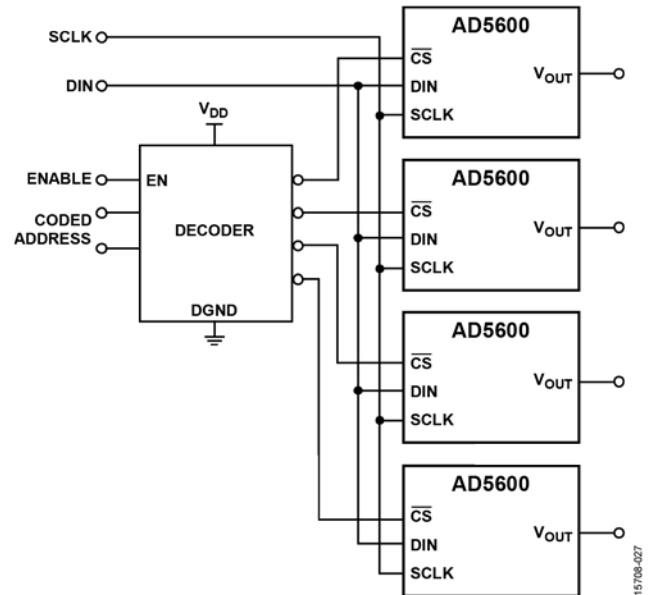


图27. 多个DAC的寻址

