

Ver 1.0

千万门级宇航用 FPGA

产品手册

产品型号：BQR5VSX95T



北京微电子技术研究所



版本控制页

版本号	发布日期	更改章节	更改说明	备注
V1.0	2018.5			



目 录

1、产品特性.....	1
2、产品概述.....	3
3、BQR5V系列模块描述.....	3
3.1 输入/输出模块(SelectIO)	3
3.2 可配置逻辑块 (CLB)	5
3.3 Block RAM	5
3.4 全局时钟	5
3.5 DSP48E Slice	6
3.6 布线资源	6
3.7 边界扫描	6
3.8 配置	6
3.9 三态 (10/100/1000 Mb/s) 以太网 MAC.....	7
3.10 PCI Express 集成端点模块	7
3.11 RocketIO GTP收发器.....	7
3.12 系统监视器	8
4、配置	8
4.1 串行配置接口.....	9
4.2 SelectMAP并行配置接口	12
4.3 SPI 配置接口.....	18
4.4 字节外设接口并行Flash模式	19
5、封装	21
6、应用注意事项	49
6.1 电装注意事项.....	49
6.2 产品防护	50
6.3 研制生产单位联系方式.....	51

1、产品特性

- **SXT 平台，与 Xilinx 的 Virtex 5 系列 XQ5V5SX95T 全兼容。**
 - BQR5V SXT：具有高级串行连接功能的高性能信号处理应用
- **跨平台兼容性**
 - SXT 器件使用可调稳压器，同样封装中引脚兼容
- **最先进的最佳利用率高性能 FPGA 架构**
 - 真 6 输入查找表 (LUT) 技术
 - 双 5-LUT 选项
 - 改进的布线减少了中间连线
 - 64 位分布式 RAM 选项
 - SRL32/ 双 SRL16 选项
- **强大的时钟管理模块 (CMT) 时钟控制**
 - 具有零延迟缓冲、频率综合和时钟相移功能的数字时钟管理器模块
 - 具有输入抖动滤波、零延迟缓冲、频率综合和相位匹配时钟分频功能的 PLL 模块
- **36 Kb Block RAM/FIFO**
 - 真双端口 RAM 模块
 - 增强的可选可编程 FIFO 逻辑
 - 可编程
 - 高达 36 倍的真双端口宽度
 - 高达 72 倍的简单双端口宽度
 - 内置可选纠错电路
 - 可选择将每个模块作为两个独立的 18 Kb 模块进行编程
- **高性能并行 SelectIO 技术**
 - 1.2 到 3.3V I/O 运行
 - 使用 ChipSync™ 技术的源同步接口连接
 - 数控阻抗 (DCI) 有效终端
 - 灵活的细粒度 I/O 分组
- 支持高速存储器接口
- **高级 DSP48E Slice**
 - 25 x 18 补码乘法运算
 - 可选加法器、减法器 and 累加器
 - 可选流水线功能
 - 可选按位逻辑功能
 - 专用的级联连接
- **灵活的配置选项**
 - SPI 和并行 FLASH 接口
 - 专用的回读重新配置逻辑，可支持多比特流
 - 自动总线宽度检测功能
- **所有器件都有系统监视功能**
 - 片上 / 片外热特性监视
 - 片上 / 片外电源监视
 - 通过 JTAG 端口访问所有监视量
- **PCI Express 集成端点模块**
 - SXT 平台
 - 符合 PCI Express 基本规范 1.1
 - 每模块支持 1 倍、4 倍或 8 倍通道宽度
 - 与 RocketIO™ 收发器配合使用
- **三态 10/100/1000 Mb/s 以太网 MAC**
 - SXT 平台
 - 可以将 RocketIO 收发器用作 PHY，也可以用多种软 MII (媒体独立接口) 方案将其连接到外部 PHY
- **100 Mb/s 到 3.75 Gb/s 的 RocketIO™ GTP 收发器**
 - SXT 平台
- **65 nm 铜 CMOS 工艺技术**
- **1.0V 内核电压**
- **可靠性指标**
 - 工作温度：-55°C ~ +125°C
 - 抗静电能力 (人体模型)：2000V
 - 总剂量：不小于 150Krad(si)
 - 单粒子闩锁阈值 (LET)：≥90 MeV · cm²/mg

2、产品概述

BQR5V 系列 FPGA 采用第二代 ASMBL™（高级硅片组合模块）列式架构，比此前任何 FPGA 系列提供的选择范围都大。除了先进的高性能逻辑架构，BQR5V 系列 FPGA 还包含多种硬 IP 系统级模块，包括强大的 36 Kb Block RAM/FIFO、第二代 25 x 18 DSP Slice、带有内置数控阻抗的 SelectIO™ 技术、ChipSync™ 源同步接口模块、系统监视器功能、带有集成 DCM（数字时钟管理器）和锁相环（PLL）时钟发生器的增强型时钟管理模块以及高级配置选项。其他基于平台的功能包括针对增强型串行连接的电源优化高速串行收发器模块、兼容 PCI Express™ 的集成端点模块和三态以太网 MAC（媒体访问控制器）模块。这些功能使高级逻辑设计人员能够在其基于 FPGA 的系统中体现更高档次的性能和功能。BQR5V 系列 FPGA 以先进的 65 nm 工艺技术为基础，是自定义 ASIC 技术的可编程替代方案，为大多数高级系统设计提供可编程能力。器件具体规模如表 2-1 所示。

表2-1 BQR5V系列FPGA器件规模

器件	兼容型号 (Xilinx)	等效系 统门	Slice 数	BRAM容 量	CMT	PCI Express	MAC	GTP	最大用 户IO	封装
BQR5VSX95T	XQ5VSX95T	9.5M	14720	8784 Kb	6	1	4	16	640	CCGA1136

3、BQR5V 系列模块描述

3.1 输入/输出模块(SelectIO)

IOB 可编程，并可分类如下：

- 可编程单端或差分（LVDS）运行
- 具有可选单倍数据速率（SDR）或双倍数据速率（DDR）寄存器的输入模块
- 具有可选 SDR 或 DDR 寄存器的输出模块
- 双向模块
- 逐比特去歪斜电路
- 专用 I/O 和区域时钟资源
- 内置数据串行器 / 解串器



I/OB 寄存器为边沿触发 D 型触发器或电平敏感锁存器。I/OB 支持以下单端标准：

- LVTTTL
- LVCMOS (3.3V、2.5V、1.8V、1.5V 和 1.2V)
- PCI (33 和 66 MHz)
- PCI-X
- GTL 和 GTLP
- HSTL 1.5V 和 1.8V (I、II、III 和 IV 级)
- HSTL 1.2V (一级)
- SSTL 1.8V 和 2.5V (I 和 II 级)

数控阻抗 (DCI) I/O 功能可配置成为每个单端 I/O 标准和某些差分 I/O 标准提供片上终端。

- I/OB 元件还支持以下差分信令 I/O 标准：
- LVDS 和扩展 LVDS (仅 2.5V)
- BLVDS (总线 LVDS)
- ULVDS
- Hypertransport™
- 差分 HSTL 1.5V 和 1.8V (I 和 II 级)
- 差分 SSTL 1.8V 和 2.5V (I 和 II 级)
- RSDS (2.5V 点对点)

每个差分对使用两个相邻的焊盘。两个或四个 I/OB 模块连接到一个接入布线资源的开关矩阵。

逐比特去歪斜电路允许 FPGA 内部的可编程信号延迟。逐比特去歪斜灵活地提供细粒度延迟增量，以精细地生成一系列信号延迟。这对于在源同步接口中同步信号边沿尤其有用。

对于位置选择得当的通用 I/O (每 Bank 八个)，应该为同一局部区域内的 I/O 添加特殊的硬件连接，从而将其设计成具有“区域 Clock-capable”的 I/O。这些区域时钟输入分布在限定的区域内，以尽量减轻各 I/OB 之间的时钟歪斜。区域 I/O 时钟是对全局时钟资源的补充。

为每个 I/O 增加了数据串行器/解串行器功能，以支持源同步接口。输入通路包含一个附有时间分频器的串并转换器，而输出通路则包含一个并串转换器。

3.2 可配置逻辑块 (CLB)

一个 BQR5V 系列 FPGA 的 CLB 资源由两个 Slice 组成。每个 Slice 包含并等效于：

- 四个函数发生器
- 四个存储元件
- 算术逻辑门
- 大型多路复用器
- 快速进位前瞻链

函数发生器可配置为 6 输入 LUT 或双输出 5 输入 LUT。某些 CLB 中的 SLICEM 可配置成作为一个 32 位移位寄存器（或两个 16 位移位寄存器）或 64 位分布式 RAM 运行。另外，可将四个存储元件配置成边沿触发的 D 型触发器或电平敏感型锁存器。每个 CLB 具有内部快速互连，并且连接到一个接入通用布线资源的开关矩阵。

3.3 Block RAM

36 Kb 真双端口 RAM 模块资源可以编程为从 32K x 1 到 512 x 72 的各种深度和宽度配置。另外，每个 36 Kb 模块也可配置成作为两个独立的 18 Kb 双端口 RAM 模块运行。

每个端口都完全同步并独立，提供三种“边写边读”模式。Block RAM 可以级联，以实现大型嵌入式存储模块。此外，作为选项还提供了后端流水线寄存器、时钟控制电路、内置 FIFO 支持、ECC 和字节写使能功能。

3.4 全局时钟

CMT 和全局时钟多路复用器缓冲器为设计高速时钟网络提供了完善的解决方案。

每个 CMT 包含两个 DCM 和一个 PLL。DCM 和 PLL 可独立使用，也可广泛级联。最多可使用六个 CMT 模块，总共可提供 18 个时钟发生器元件。

每个 DCM 都提供常用的时钟生成功能。为了生成无歪斜的内部或外部时钟，可以把每个 DCM 都用于消除时钟分配延迟。DCM 还提供输出时钟的 90°、180° 和 270° 相移版本。细粒度相移以数分之一时钟周期的增量提供更高分辨率的相位调整。灵活的频率综合提供等于输入时钟频率分数或整数倍的时钟输出频率。

为增强 DCM 功能，BQR5V 系列 FPGA CMT 还包含一个 PLL。该模块提供参考时钟抖动滤



波和更多频率综合选项。

BQR5V 系列器件具有 32 个全局时钟 MUX 缓冲器。时钟树设计为差分式。差分时钟可帮助减少抖动和占空比失真。

3.5 DSP48E Slice

DSP48E Slice 资源包含一个 25 x 18 补码乘法器和一个 48 位加法器/减法器/累加器。每个 DSP48E Slice 还含有广泛的级联功能，可有效实现高速 DSP 算法。

3.6 布线资源

BQR5V 系列 FPGA 中的所有部件都使用相同的互连方案以及相同的全局布线矩阵接入方式。另外，CLB 到 CLB 的布线设计成以尽可能少的中间连线提供一整套连接功能。时序模型是共享的，可大大提高高速设计性能的可预测性。

3.7 边界扫描

边界扫描指令和相关的数据寄存器支持接入和配置 BQR5V 系列 FPGA 的标准方法，符合 IEEE 标准 1149.1 和 1532。

3.8 配置

BQR5V 系列 FPGA 的配置方法是用下列模式之一将比特流载入内部配置存储器：

- 从串模式
- 主串模式
- 从动 SelectMAP 模式
- 主动 SelectMAP 模式
- 边界扫描模式（IEEE-1532 和 IEEE-1149）
- SPI 模式（串行外设接口标准 Flash）
- BPI 上/BPI 下模式（字节宽度外设接口标准 x8 或 x16 NOR Flash）

另外，BQR5V 系列 FPGA 还支持下列配置选项：

- 用于 IP 保护的 256 位 AES 比特流解密
- 支持冷 / 热启动的多比特流管理 (MBM)



- 并行配置总线宽度自动检测
- 并行菊花链
- 配置 CRC 和 ECC 支持，可实现最强大、最灵活的器件完整性校验

3.9 三态 (10/100/1000 Mb/s) 以太网 MAC

BQR5V 系列 FPGA 包含嵌入式以太网 MAC。这些模块具有 以下特点：

- 符合 IEEE 802.3-2002 规范
- 经过 UNH 一致性测试
- 使用 SelectIO 技术的 RGMII/GMII 接口，或者当与 RocketIO 收发器配合使用时的 SGMII 接口
- 半双工或全双工
- 支持巨型帧
- 1000 Base-X PCS/PMA：当与 RocketIO GTP 收发器配合使用时，可提供完全 1000 Base-X 片上实现

3.10 PCI Express 集成端点模块

BQR5V 系列 FPGA 最多包含四个集成端点模块。这些模块实现事务层、数据链路层和物理层功能，在尽量少用 FPGA 逻辑的情况下可提供完整的 PCI Express 端点功能。这些模块具有以下特点：

- 符合 PCI Express 基本规范 1.1
- 与 RocketIO 收发器配合使用可提供完整的端点功能
- 每模块支持 1 倍、4 倍或 8 倍通道宽度

3.11 RocketIO GTP 收发器

4-24 通道 RocketIO GTP 收发器，能够以 100 Mb/s 到 3.75 Gb/s 的速度运行。

- 完全时钟和数据恢复功能
- 支持 8/16 位或 10/20 位数据通路
- 可选 8B/10B 或基于 FPGA 的编码 / 解码功能
- 集成 FIFO/弹性缓冲器

- 支持通道绑定和时钟校正
- 嵌入式 32 位 CRC 生成 / 检查
- 集成的间隔符检测或 A1/A2 检测功能
- 可编程预加重 (AKA 发射器均衡)
- 可编程发射器输出摆幅
- 可编程接收器均衡
- 可编程接收器终端
- 嵌入式支持：
 - 带外 (OOB) 信令: 串行 ATA
 - 信标、电气闲置和 PCI Express 接收器检测
- 内置式 PRBS 生成器 / 校验器

3.12 系统监视器

FPGA 是高可用性/可靠性基础架构的重要构建模块。因此,有必要更好地监测 FPGA 的片上物理环境及其在系统内紧邻的周边环境。BQR5V 系列系统监视器首次为 FPGA 及其外部环境提供了更简单的监测。BQR5V 系列的都包含一个系统监视器模块。系统监视器是围绕一个 10 位 200kSPS ADC(模数转换器)构建的。这个 ADC 用于对若干片上传感器进行数字化,以提供有关 FPGA 内部物理环境的信息。片上传感器包括一个温度传感器和几个电源传感器。对外部环境的访问是通过若干外部模拟输入通道提供的。这些模拟输入是通用的,可用于对种类繁多的电压信号类型进行数字化。提供了对单极、双极和真差分输入方案的支持。可以通过 JTAG TAP 全面访问片上传感器和外部通道,从而可以将 PC 板上现有的 JTAG 基础架构用于开发期间或现场部署后的模拟测试和高级诊断。系统监视器在 FPGA 通电之后和配置之前完全可运行。系统监视器在设计中不需要显式实例化即可获得对其基本功能的访问权。这使得即使在设计周期的最后阶段也可以使用系统监视器。

4、配置

BQ5V 系列有六种配置接口,每种接口对应一种或多种位宽的配置模式。

表 4-1 BQ5V 配置模式

配置模式	M[2:0]	总线宽度	CCLK 时钟方向
串行主模式	000	1	Output
SPI 主模式	001	1	Output
BPI-Up 主模式	010	8, 16	Output
BPI-Down 主模式	011	8, 16	Output
SelectMAP 主模式	100	8, 16	Output
JTAG 模式	101	1	Input (TCK)
SelectMAP 从模式	110	8, 16, 32	Input
串行从模式	111	1	Input

4.1 串行配置接口

串行配置模式下，FPGA 在每个 CCLK 加载一个 bit 的配置数据：

- 主串模式下，CCLK 是输出。
- 从串模式下，CCLK 是输入。

图 4-1 展示了串行配置的接口，对应此接口的有四种应用方式：

- 主串配置
- 从串配置
- 串行菊花链
- 成组串行配置

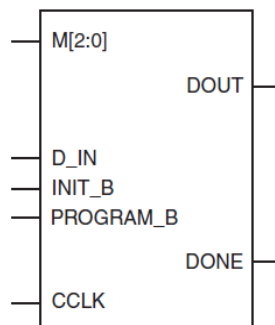


图 4-1 BQ5V 的串行配置接口

表 4-2 BQ5V FPGA 串行配置模式引脚

引脚名称	类型	专用/复用	功能描述
M[2:0]	输入	专用	用来设置配置模式的引脚
CCLK	输入和输出	专用	配置时钟源（JTAG 除外）
D_IN	输入	复用	配置数据输入，在 CCLK 上升沿采样。

DOUT_BUSY	三态输出	专用	菊花链中对下一级器件的配置数据输出端口
DONE	双向, 开漏 或 active	专用	指示配置是否完成: 0 = FPGA 配置未完成 1 = FPGA 配置完成
INIT_B	输入或输出, 开漏	专用	在 M[2:0] 被采样之前, INIT_B 可以作为输入, 接收到低电平时可以推迟配置时间。 在 M[2:0] 被采样之后, INIT_B 是一个开漏、低电平有效的输出, 指示 CRC 校验结果: 0 = CRC 错误 1 = 没有 CRC 错误 在 SEU 探测功能开启之后, INIT_B 可以设置为回读 CRC 出错时是否拉低。
PROGRAM_B	输入	专用	低有效全片异步复位

• 主串模式

如图 4-2 所示, 主串模式的配置码流从可编程 PROM 进行加载。

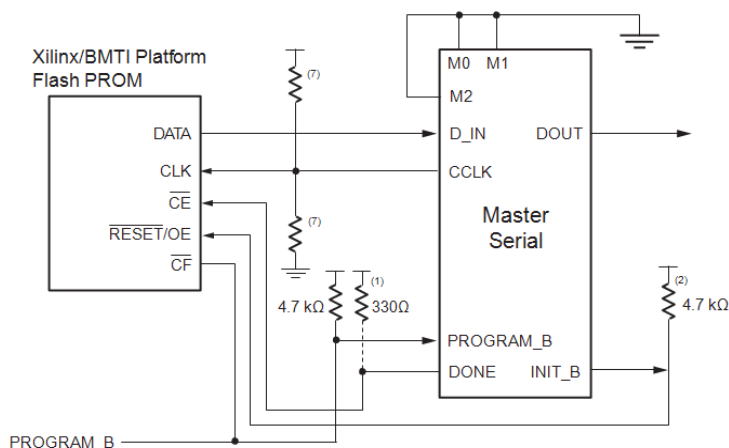


图 4-2 主串配置模式

• 从串配置模式

从串模式的典型应用场景包括串行菊花链配置或使用外部 MCU 或 CPLD 来配置单个 FPGA 器件。硬件设计与主串配置相似, 但应注意 CCLK 应由外部时钟源提供。

• 串行菊花链

在对多个 BQ5V 进行配置时可以采用菊花链的方式。在串行菊花链下, 每个器件通过 D_IN 引脚接收配置数据, 并通过 DOUT 引脚将配置数据传入下一级, 接近配置数据源的器件被称作上游器件, 离数据源远的器件被称作下游器件。

在串行菊花链中, 配置时钟通常由工作在主串模式的最上游的器件提供, 其他所有的器件被设置在从串模式。图 4-3 展示了这一配置方式。

另一种可替代的方式是在最上游使用 SPI 接口进行配置。SPI 模式下数据依旧会从 DOUT

输出。

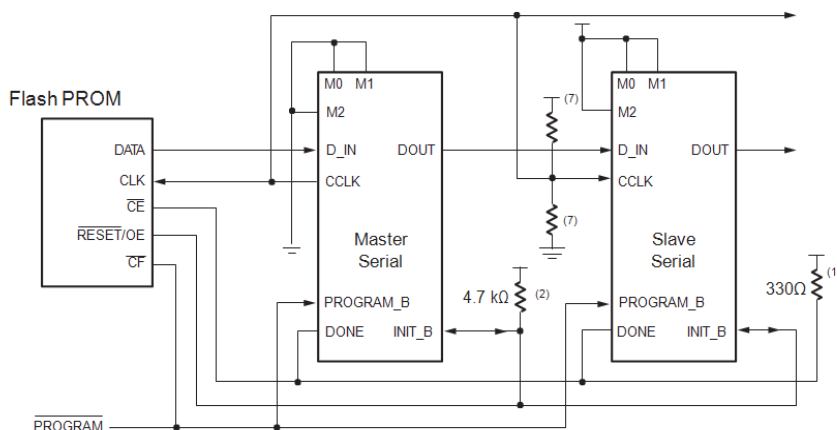


图 4-3 串行菊花链配置

第一个器件会在最后一个被配置。CRC 校验只覆盖当前器件，不会对整个菊花链进行校验。

• 串行菊花链的混合应用

BQ5V 器件可以和 Virtex, Spartan™-II, Virtex-E, Spartan-IIE, Virtex-II, Virtex-II Pro, Spartan-3, 以及 Virtex-4 等其他器件组成菊花链。在应用时需要注意 4 点。

- 较老的型号可能无法兼容 BQ5V 输出的较快的配置时钟。
- BQ5V 应该保持在菊花链的最上游。
- 所有的 Virtex/BMTI 器件具有相似的 BitGen 选项，所有的器件 BitGen 设置应与 BQ5V 保持一致。
- 从 DOUT 输出的配置码流大小是有上限的，并且会根据不同的器件而异。具体细节请看表 4-3。

表 4-3 不同系列所支持的菊花链输出大小

架构	DOUT 输出最大 bit 数
BQ5V, BQ2V, Virtex-5, Virtex-4, Virtex-II Pro, and Virtex-II Devices	$32 \times (2^{27} - 1) = 4,294,967,264$
Spartan-3 Devices	$32 \times (2^{27} - 1) = 4,294,967,264$
BQVR, Virtex, Virtex-E, Spartan-II, and Spartan-IIE Devices	$32 \times (2^{20} - 1) = 33,554,216$

• 成组的串行配置

使用图 4-4 所示的配置方法，可以利用串行接口同时对多个器件进行配置。在这种组织形式下，所有的配置输入引脚都接到了一起。一般会将其中的一个器件设置为主串模式来驱

动 CCLK，其他的器件都设置为从串模式。配置数据可以来自与 PROM 或外部配置控制器。

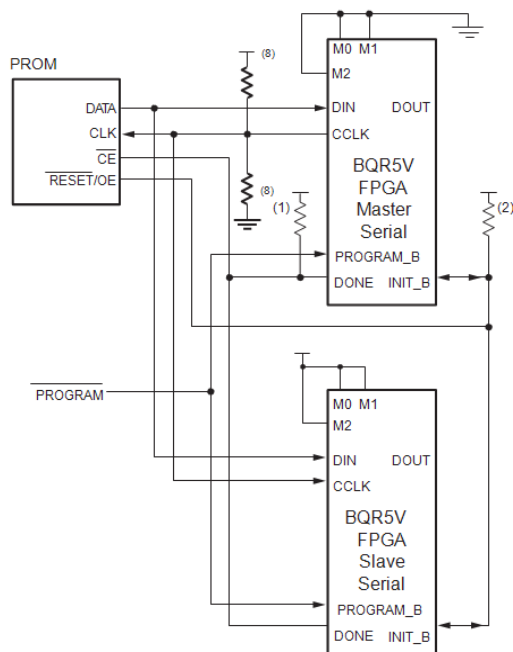


图 4-4 成组的穿行配置方式

4.2 SelectMAP 并行配置接口

图 4-5 所示的 SelectMAP 配置接口提供了 8bit、16bit 和 32bit 三种双向数据传输总线，可以在配置和回读功能之间复用，端口的宽度是 FPGA 自动检测的。CCLK 在主并模式下作为输出，在从并模式下作为输入。

SelectMAP 接口有四种配置方法：

- 单器件主模式
- 单器件从模式
- 多器件 SelectMAP 总线
- 多器件成组 SelectMAP

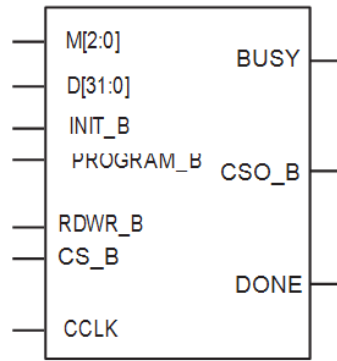


图 4-5 BQ5V SelectMAP 配置端口

表 4-4 描述了 SelectMAP 的配置接口引脚。

表 4-4 BQ5V SelectMAP 配置接口引脚

引脚名称	类型	专用/复用	功能描述
M[2:0]	输入	专用	用来设置配置模式的引脚
CCLK	输入和输出	专用	配置时钟源（JTAG 除外）
D[31:0]	三态双向	复用	配置和回读总线，在 CCLK 上升沿采样。
BUSY	三态输出	专用	指示目前不能进行回读。对 BQ5V 器件，该信号仅在回读时有意义，不适用于配置。
DONE	双向，开漏或 active	专用	指示配置是否完成： 0 = FPGA 配置未完成 1 = FPGA 配置完成
INIT_B	输入或输出，开漏	专用	在 M[2:0] 被采样之前，INIT_B 可以作为输入，接收到低电平时可以推迟配置时间。 在 M[2:0] 被采样之后，INIT_B 是一个开漏、低电平有效的输出，指示 CRC 校验结果： 0 = CRC 错误 1 = 没有 CRC 错误 在 SEU 探测功能开启之后，INIT_B 可以设置为回读 CRC 出错时是否拉低。
PROGRAM_B	输入	专用	低有效全片异步复位
CS_B	输入	专用	低有效片选信号，使能 SelectMAP 端口： 0 = SelectMAP 使能 1 = SelectMAP 失能
RDWR_B	输入	专用	修改 SelectMAP 端口的数据流向。 0 = 输入 1 = 输出 只能在 CS_B 为高时更改，否则会触发 ABORT
CSO_B	输出	复用	并行菊花链配置片选引脚，低有效。

• 单器件的 SelectMap 配置

高性能 Flash XL 平台 Selectmap 平台配置

Flash XL 平台视为高性能的 BQ5V FPGA 优化设计的。它在 FT64 封装内集成了 128Mb 的在系统编程 flash 存储和足以支撑配置的性能。上电突发读取模式和专用电源 I/O 可以使它

与 BQ5VFPGA 的 SelectMAP 配置接口无缝配合。16bit 位宽时可以达到 800Mb/s，并且不需要等待时间。图 4-6 为使用该平台的硬件示意图。

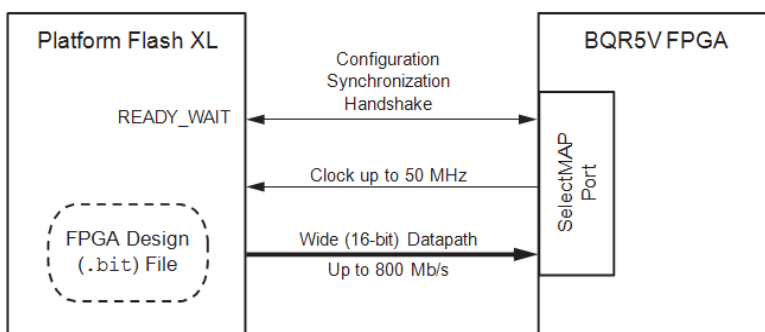


图 4-6 高性能 Flash XL 平台 Selectmap 平台配置

Flash PROM 平台的 SelectMap 配置

对于单个使用 SelectMAP 进行配置的器件，最简单的方式就是直接与 PROM 相连，如图 4-7 所示。在这种架构下，FPGA 被设定为主模式，RDWR_B 和 CS_B 都接地以对应连续的数据加载。

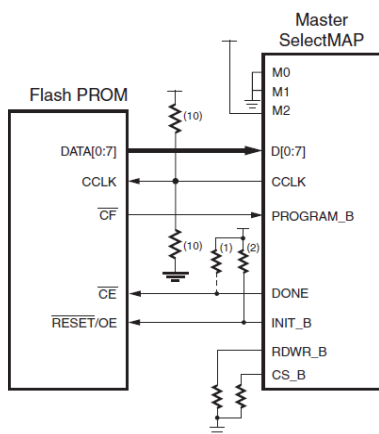


图 4-7 单器件 SelectMAP 主配置模式

MCU 驱动的 SelectMap 配置

在某些应用下，MCU 或 CPLD 也可以用来驱动单个的 BQ5V FPGA，时钟由 FPGA 自身或外部提供均可，如图 4-8 所示。使用中我们更倾向图使 SelectMAP 从配置模式。

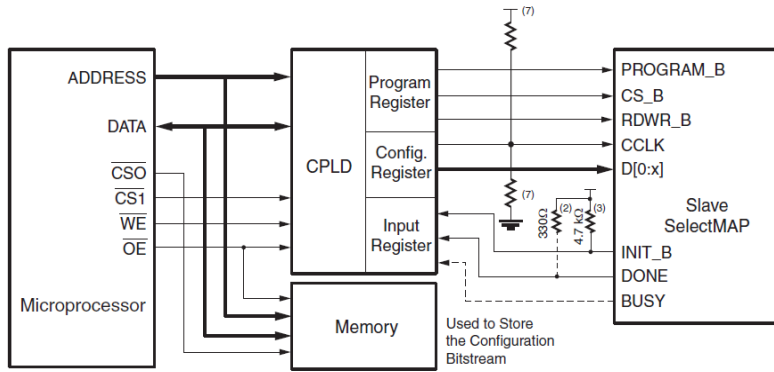


图 4-8 使用 MCU 或 CPLD 通过 SelectMAP 配置单个器件

• 多器件的 SelectMap 配置

多个处于 SelectMAP 配置模式的器件可以共用一条 SelectMAP 总线(图 4-9)。DATA, CCLK, RDWR_B, BUSY, PROGRAM_B, DONE, 和 INIT_B 引脚均是共用的, 但是 CS_B 需要分别控制, 该工作一般是由 CPLD 或 MCU 来进行。

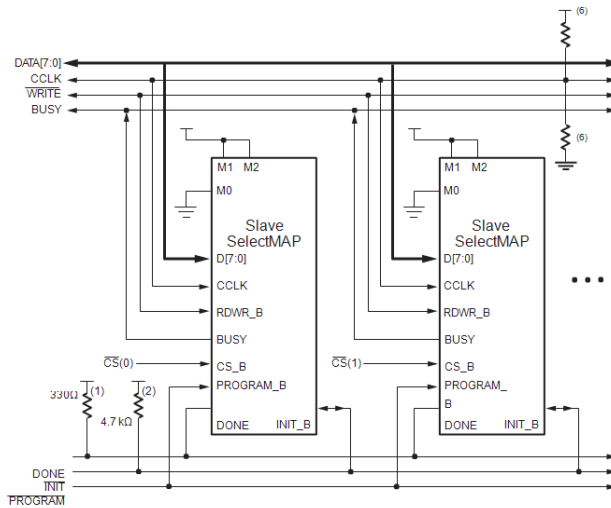


图 4-9 使用 8bit 位宽的 SlectMAP 总线配置多个器件

• 并行菊花链

BQ5V FPGA 的 SlectMAP 还支持并行菊花链的配置模式。图 4-10 为该应用示例, 最上游器件工作在 BPI 模式, 工作在 SelectMAP 主模式或从模式的 FPGA 也可以作为最上游器件。D[15:0], CCLK, RDWR_B, PROGRAM_B, DONE, 和 INIT_B 是共用的, CS_B 引脚之间采用菊花链连接。

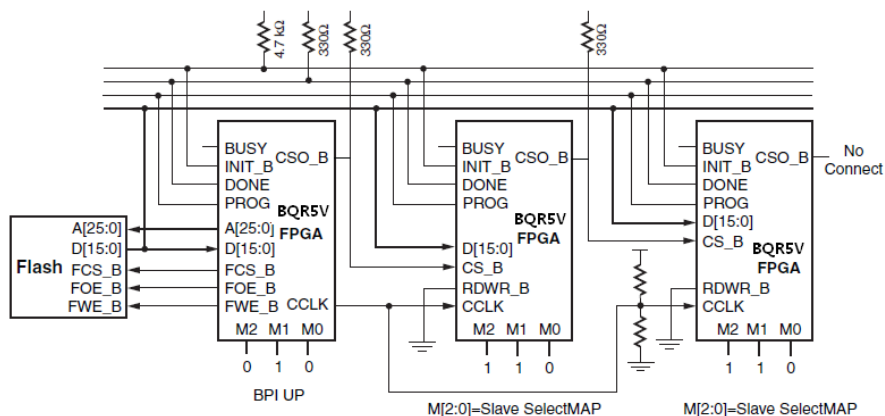


图 4-10 并行菊花链

- 成组的 SelectMap

使用 SelectMAP 接口也是可以用同一个码流同时配置多个器件的。在成组的 SelectMAP 配置中，CS_B 引脚是共用的，如果有外部时钟源，所有的器件都可以设置为从模式，或者将其中一个器件设置为主模式提供时钟源。

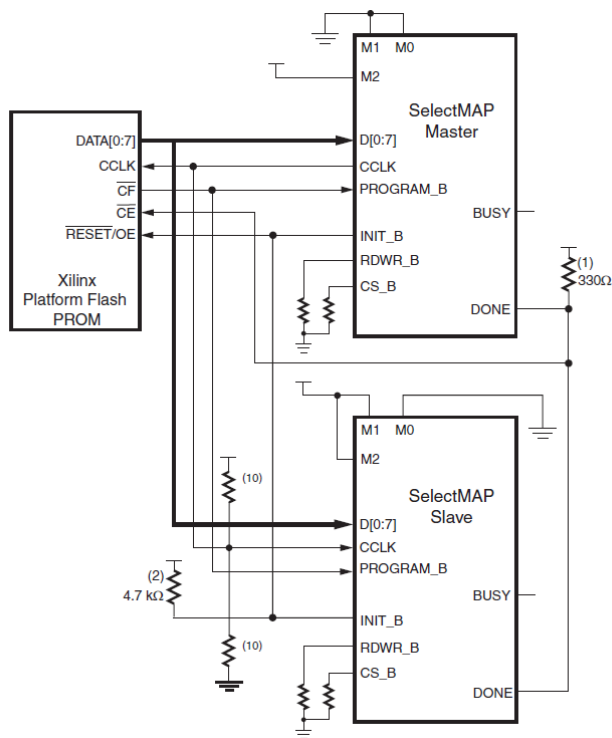


图 4-11 成组的 SelectMAP 配置

- SelectMAP 数据加载

SelectMAP 端口支持连续的数据加载和非连续的数据加载。数据加载的控制信号有 CS_B、RDWR_B、CCLK 和 BUSY。

CS_B

片选信号 CS_B 是 SelectMAP 的使能信号。当 CS_B 为高时，BQ5V 无视端口上的所有操作。

RDWR_B

RDWR_B 是该端口的读写控制信号，当为低电平时该端口为写状态。当更改读写状态时，必须撤销片选信号，否这会触发 ABORT 进程。

CCLK

所有 SelectMAP 上的有效操作都是以 CCLK 为时钟源的同步操作。端口输入数据是会在 CCLK 上升沿采样，当端口输出数据时会在 CCLK 上升沿更新。从模式时可以通过停止 CCLK 来暂停配置。

BUSY

BUSY 是一个 FPGA 的输出信号，指示着器件是否输出回读数据。不同于早期的 Virtex 系列，BQ5V 在配置过程中从来不对 BUSY 做出驱动。在回读过程中当 BUSY 为低电平时指示着已经在输出有效的回读数据。当片选信号置为 1 时，BUSY 信号被置为三态。

SelectMAP 的数据加载模式

当配置控制器可以提供一個不中断的配置码流时我们可以使用连续的加载模式，当无法满足这一条件时，可以选用非连续的加载模式。实现非连续的数据加载有两种方式，一个是拉高 CS_B 关闭 SelectMAP 端口，另一种方式是暂停 CCLK 时钟。

• SelectMAP ABORT

ABORT 是在 SelectMAP 的回读或配置过程中因为在改变读写状态时没有拉高 CS_B 信号产生的中断。在配置过程中产生 ABORT，内部的状态会在接下来的四个 CCLK 周期由 D[7:4] 输出，其他的 D 引脚会一直保持高电平。在 ABORT 序列结束之后，用户可以重性能同步配置逻辑并恢复配置。

ABORT 状态字

在配置 ABORT 过程中，FPGA 会在 D[7:0] 输出状态字，D 的其他引脚一直保持高电平，状态字每位的信息在表 4-5 中有所描述。

表 4-5 ABORT 状态字

位置	名称	意义
D7	CFGERR_B	配置错误（低有效）
D6	DALIGN	接收到同步字（高有效）

D5	RIP	回读进程中（高有效）
D4	IN_ABORT_B	ABORT 进程中（低有效）
D3-D0	1111	恒为 1111

在触发 ABORT 后有两种方式恢复配置或者回读：

- 器件可以在 ABORT 完成后重新同步。
- 器件可以通过拉低 PROGRAM_B 复位。

• SelectMAP 重配置

重配置值得是 DONE 引脚被拉高之后对 FPGA 重新编程。重配置可以拉低 PROGRAM_B 引脚或者重新同步 FPGA 来开始。

在不用 PROGRAM_B 复位的前提下使用 SelectMAP 进行重配置, BitGen 选项中的 persist 选项必须勾选。CONFIG_MODE 约束语句用来设置 SelectMAP 端口在配置完成后保留的宽度, 默认情况下保留 8 位宽。

4.3 SPI 配置接口

在 SPI 串行闪存模式, $M[2:0]=001$. BQ5V FPGA 从一个符合 SPI 标准的串行 Flash PROM 读取数据对自己进行配置。虽然 SPI 是四线标准接口, 不同的 SPI 可能使用不同的 SPI 读命令。FS[2:0]可以选定 FPGA 内预置的读命令, 或者配合 RCMD 引脚自定义命令。

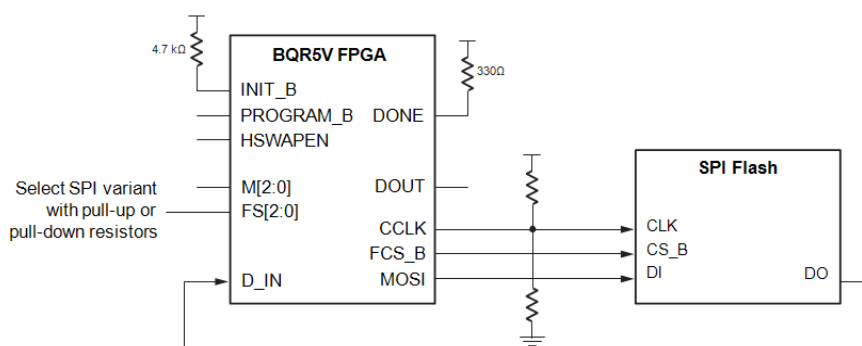


图 4-12 BQ5V SPI 配置接口

表 4-6 描述了 SPI 接口的相关引脚。

表 4-6 BQ5V SPI 配置接口引脚

引脚名称	类型	专用/复用	功能描述
M[2:0]	输入	专用	用来设置配置模式的引脚
HSWAPEN	输入	专用	在配置期间控制除 bank0 中的专用 IO 之外的 IO 的上拉（引脚内部有一个弱上拉电阻） 0 = 配置期间上拉

			1 = 配置期间三态
CCLK	输入和输出	专用	配置时钟源 (JTAG 除外)
DOUT	三态输出	专用	在串行菊花链中使用
FS[2:0]	输入	复用	SPI 读命令选择引脚
DONE	双向, 开漏或 active	专用	指示配置是否完成: 0 = FPGA 配置未完成 1 = FPGA 配置完成
INIT_B	输入或输出, 开漏	专用	在 M[2:0] 被采样之前, INIT_B 可以作为输入, 接收到低电平时可以推迟配置时间。 在 M[2:0] 被采样之后, INIT_B 是一个开漏、低电平有效的输出, 指示 CRC 校验结果: 0 = CRC 错误 1 = 没有 CRC 错误 在 SEU 探测功能开启之后, INIT_B 可以设置为回读 CRC 出错时是否拉低。
PROGRAM_B	输入	专用	低有效全片异步复位
FCS_B	输出	复用	SPI 片选引脚, 低电平有效
MOSI	输出	复用	FPGA 串行输出, CCLK 下降沿变化
D_IN	输入	复用	FPGA 串行输入, CCLK 上升沿采样
RCMD[7:0]	输入	复用	SPI 读命令自定义引脚

表 4-7 描述了有 FS 引脚可选择的 SPI 读命令。

表 4-7 BQ5V SPI 读命令

FS[2:0]	SPI 读命令	备注
000	0xFF	
001	RCMD[7:0]	通过这组引脚可以自定义任何读命令
010	0x52	
011	保留	
100	0x55	
101	0x03	
110	0xE8	
111	0x0B	

- SPI 串行菊花链

在串行菊花链应用中, 最上游的器件可以工作在 SPI 模式而其他的下游器件工作在串行从配置模式。在这种情况下, 所有的配置码流都可以存储在 SPI 器件当中。

4.4 字节外设接口并行 Flash 模式

在 BPI-Up (M[2:0]=010) 或者 BPI-Down (M[2:0] = 011) 模式, BQ5V FPGA 从一个工业标准的并行 NOR Flash PROM 对自己进行配置, 如图 13 所示。FPGA 用最高多达 26 位的

地址驱动并行 Flash。对于配置应用，值用到了 Flash 的异步读取模式。8 或 16 位的数据宽度可以得到 FPGA 的兼容。

在 BPI 模式下。CCLK 的输出并没有与 Flash 相连，但是 CCLK 依然是采样时钟。

在 BPI_UP 模式，地址从 0 开始递增，如果地址溢出之前还没有完成配置，状态寄存器会做出标记，并且触发 Fallback 重配置。

在 BPI_DOWN 模式下，地址从 26'h3FFFFFF 递减。其余功能与 UP 模式相同。

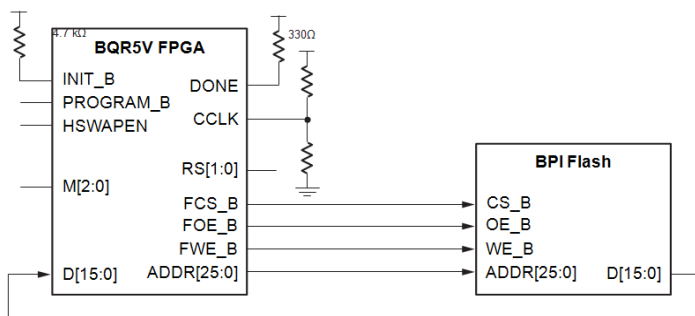


图 4-13 BQ5V BPI 配置接口

表 4-8 表述了 BPI 配置接口的各引脚功能。

表 4-8 BQ5V BPI 配置引脚

引脚名称	类型	专用/复用	功能描述
M[2:0]	输入	专用	用来设置配置模式的引脚
HSWAPEN	输入	专用	在配置期间控制除 bank0 中的专用 IO 之外的 IO 的上拉（引脚内部有一个弱上拉电阻） 0 = 配置期间上拉 1 = 配置期间三态
CCLK	输入和输出	专用	配置时钟源（JTAG 除外）
DOUT	三态输出	专用	在串行菊花链中使用
FS[2:0]	输入	复用	SPI 读命令选择引脚
DONE	双向, 开漏或 active	专用	指示配置是否完成: 0 = FPGA 配置未完成 1 = FPGA 配置完成
INIT_B	输入或输出, 开漏	专用	在 M[2:0] 被采样之前, INIT_B 可以作为输入, 接收到低电平时可以推迟配置时间。 在 M[2:0] 被采样之后, INIT_B 是一个开漏、低电平有效的输出, 指示 CRC 校验结果: 0 = CRC 错误 1 = 没有 CRC 错误 在 SEU 探测功能开启之后, INIT_B 可以设置为回读 CRC 出错时是否拉低。
PROGRAM_B	输入	专用	低有效全片异步复位
FCS_B	输出	复用	Flash 片选引脚, 低电平有效
FOE_B	输出	复用	Flash 输出使能, 低电平有效。
FWE_B	输出	复用	Flash 写使能, 低电平有效。



ADDR[25:0]	输出	复用	地址输出。
D[15:0]	输入	复用	数据输入。
RS[1:0]	输出	复用	版本选择引脚,用于多个版本的bitstream之间的切换。当 fallback 被触发时,RS[1:0]=00.
CSO_B	输出	复用	用于并行菊花链配置的片选信号。

• 对页模式的支持

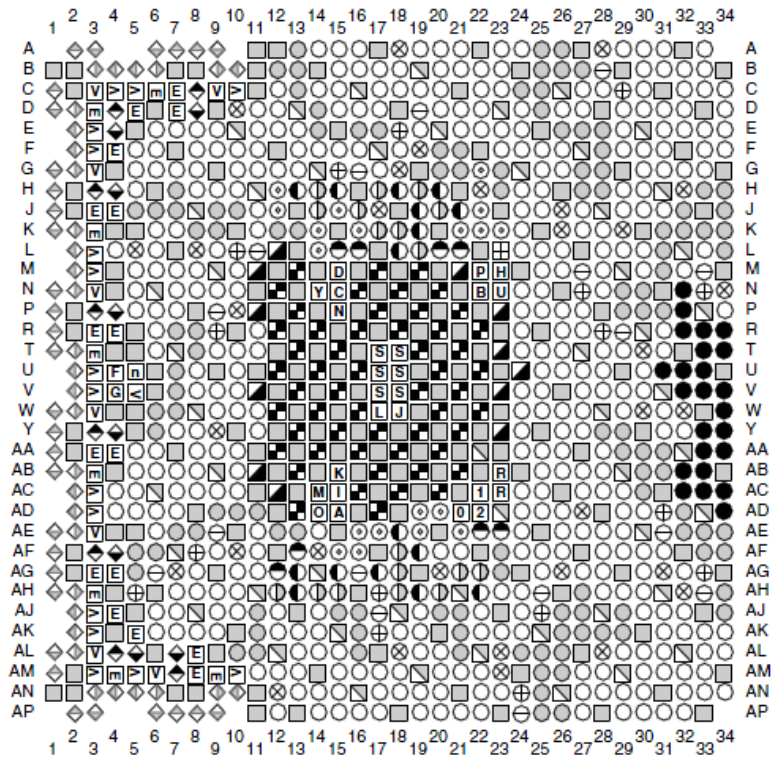
很多 NOR Flash 支持异步页读。每页的第一次读取通常会占用最长的时间 (~100ns), 接下来对同一页的读取所用的时间会较短 (~25ns)。下面是 BQ5V 可以和 BPI Flash 配合设置的参数。

- 页大小: 1、4、8.
- 每页第一次读取的 CCLK 周期: 1、2、3、4. 当页大小为 1 时只支持一个 CCLK 周期。
- CCLK 频率。

5、封装

BQR5VVSX95T 为 CCGA1136 封装, 具体封装信息如下





User I/O Pins	Multi-Function Pins	Dedicated Pins		Other Pins		
○ IO_LXXY_#	⊗ VREF	⊞ CCLK	⊞ PROGRAM_B	⊞ GND	⊞ MGTAVCC	⊞ MGRTRXP
	⊕ VRN	⊞ CS_B	⊞ RDWR_B	⊞ RSVD	⊞ MGTAVCCPLL	⊞ MGRTRXN
	⊖ VRP	⊞ D_IN	⊞ TCK	⊞ VBATT	⊞ MGTAVTTRX	⊞ MGTTXN
	⊕ P_GC	⊞ DONE	⊞ TDI	⊞ VCCAUX	⊞ MGTAVTTRXC	⊞ MGTTXP
	⊖ N_GC	⊞ D_OUT_BUSY	⊞ TDO	⊞ VCCINT	⊞ MGTAVTTTX	
	⊙ CC	⊞ HSWAPEN	⊞ TMS	⊞ VCCO	⊞ MGTREFCLKP	
	⊕ D0 - D31	⊞ INIT	⊞ DXP	⊞ NC	⊞ MGTREFCLKN	
	⊖ A0 - A25	⊞ M2, M1, M0	⊞ DXN	⊞ FLOAT	⊞ MGTREFREF	
	● SM	⊞ AVDD_0, AVSS_0, VP_0, VN_0, VREFP_0, VREFN_0				

表4-1 BQR5VSX95T 管脚信息表

Bank	管脚描述	引出端序号
0	DXP_0	W18
0	DXN_0	W17
0	AVDD_0	T18
0	AVSS_0	T17
0	VP_0	U18
0	VN_0	V17
0	VREFP_0	V18
0	VREFN_0	U17
0	VBATT_0	L23
0	PROGRAM_B_0	M22
0	HSWAPEN_0	M23
0	D_IN_0	P15



0	DONE_0	M15
0	CCLK_0	N15
0	INIT_B_0	N14
0	CS_B_0	N22
0	RDWR_B_0	N23
0	RSVD ⁽³⁾	AB23
0	RSVD ⁽³⁾	AC23
0	TCK_0	AB15
0	M0_0	AD21
0	M2_0	AD22
0	M1_0	AC22
0	TMS_0	AC14
0	TDI_0	AC15
0	D_OUT_BUSY_0	AD15
0	TDO_0	AD14
1	IO_L0P_A19_1	L21
1	IO_L0N_A18_1	L20
1	IO_L1P_A17_1	L15
1	IO_L1N_A16_1	L16
1	IO_L2P_A15_D31_1	J22
1	IO_L2N_A14_D30_1	K21
1	IO_L3P_A13_D29_1	K16
1	IO_L3N_A12_D28_1	J15
1	IO_L4P_A11_D27_1	G22
1	IO_L4N_VREF_A10_D26_1	H22
1	IO_L5P_A9_D25_1	L14
1	IO_L5N_A8_D24_1	K14
1	IO_L6P_A7_D23_1	K23
1	IO_L6N_A6_D22_1	K22
1	IO_L7P_A5_D21_1	J12
1	IO_L7N_A4_D20_1	H12
1	IO_L8P_CC_A3_D19_1	G23
1	IO_L8N_CC_A2_D18_1 ⁽²⁾	H23
1	IO_L9P_CC_A1_D17_1	K13
1	IO_L9N_CC_A0_D16_1 ⁽²⁾	K12
2	IO_L0P_CC_RS1_2	AE13
2	IO_L0N_CC_RS0_2 ⁽²⁾	AE12
2	IO_L1P_CC_A25_2	AF23
2	IO_L1N_CC_A24_2 ⁽²⁾	AG23
2	IO_L2P_A23_2	AF13
2	IO_L2N_A22_2	AG12
2	IO_L3P_A21_2	AE22



2	IO_L3N_A20_2	AE23
2	IO_L4P_FCS_B_2	AE14
2	IO_L4N_VREF_FOE_B_MOSI_2	AF14
2	IO_L5P_FWE_B_2	AF20
2	IO_L5N_CSO_B_2	AF21
2	IO_L6P_D7_2	AF15
2	IO_L6N_D6_2	AE16
2	IO_L7P_D5_2	AE21
2	IO_L7N_D4_2	AD20
2	IO_L8P_D3_2	AF16
2	IO_L8N_D2_FS2_2	AE17
2	IO_L9P_D1_FS1_2	AE19
2	IO_L9N_D0_FS0_2	AD19
3	IO_L0P_CC_GC_3	H17
3	IO_L0N_CC_GC_3 ⁽¹⁾⁽²⁾	H18
3	IO_L1P_CC_GC_3	K17
3	IO_L1N_CC_GC_3 ⁽¹⁾⁽²⁾	L18
3	IO_L2P_GC_VRN_3	G15
3	IO_L2N_GC_VRP_3 ⁽¹⁾	G16
3	IO_L3P_GC_3	K18
3	IO_L3N_GC_3 ⁽¹⁾	J19
3	IO_L4P_GC_3	J16
3	IO_L4N_GC_VREF_3 ⁽¹⁾	J17
3	IO_L5P_GC_3	L19
3	IO_L5N_GC_3 ⁽¹⁾	K19
3	IO_L6P_GC_3	H14
3	IO_L6N_GC_3 ⁽¹⁾	H15
3	IO_L7P_GC_3	J20
3	IO_L7N_GC_3 ⁽¹⁾	J21
3	IO_L8P_GC_3	J14
3	IO_L8N_GC_3 ⁽¹⁾	H13
3	IO_L9P_GC_3	H19
3	IO_L9N_GC_3 ⁽¹⁾	H20
4	IO_L0P_GC_D15_4	AG22
4	IO_L0N_GC_D14_4 ⁽¹⁾	AH22
4	IO_L1P_GC_D13_4	AH12
4	IO_L1N_GC_D12_4 ⁽¹⁾	AG13
4	IO_L2P_GC_D11_4	AH20
4	IO_L2N_GC_D10_4 ⁽¹⁾	AH19
4	IO_L3P_GC_D9_4	AH14
4	IO_L3N_GC_D8_4 ⁽¹⁾	AH13
4	IO_L4P_GC_4	AG21



4	IO_L4N_GC_VREF_4 ⁽¹⁾	AG20
4	IO_L5P_GC_4	AH15
4	IO_L5N_GC_4 ⁽¹⁾	AG15
4	IO_L6P_GC_4	AG18
4	IO_L6N_GC_4 ⁽¹⁾	AF19
4	IO_L7P_GC_VRN_4	AH17
4	IO_L7N_GC_VRP_4 ⁽¹⁾	AG16
4	IO_L8P_CC_GC_4	AF18
4	IO_L8N_CC_GC_4 ⁽¹⁾⁽²⁾	AE18
4	IO_L9P_CC_GC_4	AH18
4	IO_L9N_CC_GC_4 ⁽¹⁾⁽²⁾	AG17
5	IO_L0P_5	B16
5	IO_L0N_5	B15
5	IO_L1P_5	A15
5	IO_L1N_5	A14
5	IO_L2P_5	B17
5	IO_L2N_5	A16
5	IO_L3P_5	C14
5	IO_L3N_5	C15
5	IO_L4P_5	E19
5	IO_L4N_VREF_5	F19
5	IO_L5P_5	C17
5	IO_L5N_5	D17
5	IO_L6P_5	E21
5	IO_L6N_5	D20
5	IO_L7P_5	D16
5	IO_L7N_5	D15
5	IO_L8P_CC_5	G20
5	IO_L8N_CC_5 ⁽²⁾	F20
5	IO_L9P_CC_5	D14
5	IO_L9N_CC_5 ⁽²⁾	E14
5	IO_L10P_CC_5	E17
5	IO_L10N_CC_5 ⁽²⁾	E16
5	IO_L11P_CC_5	F21
5	IO_L11N_CC_5 ⁽²⁾	G21
5	IO_L12P_VRN_5	E18
5	IO_L12N_VRP_5	D19
5	IO_L13P_5	D21
5	IO_L13N_5	D22
5	IO_L14P_5	F18
5	IO_L14N_VREF_5	G18
5	IO_L15P_5	E22



5	IO_L15N_5	F23
5	IO_L16P_5	G17
5	IO_L16N_5	F16
5	IO_L17P_5	D24
5	IO_L17N_5	E23
5	IO_L18P_5	F14
5	IO_L18N_5	F15
5	IO_L19P_5	F24
5	IO_L19N_5	E24
6	IO_L0P_6	AH24
6	IO_L0N_6	AJ24
6	IO_L1P_6	AK12
6	IO_L1N_6	AJ12
6	IO_L2P_6	AH23
6	IO_L2N_6	AJ22
6	IO_L3P_6	AL13
6	IO_L3N_6	AK13
6	IO_L4P_6	AK24
6	IO_L4N_VREF_6	AL23
6	IO_L5P_6	AJ14
6	IO_L5N_6	AK14
6	IO_L6P_6	AK23
6	IO_L6N_6	AK22
6	IO_L7P_6	AL15
6	IO_L7N_6	AL14
6	IO_L8P_CC_6	AJ21
6	IO_L8N_CC_6 ⁽²⁾	AJ20
6	IO_L9P_CC_6	AJ16
6	IO_L9N_CC_6 ⁽²⁾	AJ15
6	IO_L10P_CC_6	AK16
6	IO_L10N_CC_6 ⁽²⁾	AL16
6	IO_L11P_CC_6	AL21
6	IO_L11N_CC_6 ⁽²⁾	AK21
6	IO_L12P_VRN_6	AK17
6	IO_L12N_VRP_6	AJ17
6	IO_L13P_6	AL19
6	IO_L13N_6	AL20
6	IO_L14P_6	AK18
6	IO_L14N_VREF_6	AL18
6	IO_L15P_6	AJ19
6	IO_L15N_6	AK19
6	IO_L16P_6	AM15



6	IO_L16N_6	AM16
6	IO_L17P_6	AP16
6	IO_L17N_6	AP17
6	IO_L18P_6	AN15
6	IO_L18N_6	AP15
6	IO_L19P_6	AM17
6	IO_L19N_6	AN17
11	IO_L0P_11	B32
11	IO_L0N_11	A33
11	IO_L1P_11	B33
11	IO_L1N_11	C33
11	IO_L2P_11	C32
11	IO_L2N_11	D32
11	IO_L3P_11	C34
11	IO_L3N_11	D34
11	IO_L4P_11	G32
11	IO_L4N_VREF_11	H32
11	IO_L5P_11	F33
11	IO_L5N_11	E34
11	IO_L6P_11	E32
11	IO_L6N_11	E33
11	IO_L7P_11	G33
11	IO_L7N_11	F34
11	IO_L8P_CC_11	J32
11	IO_L8N_CC_11 ⁽²⁾	H33
11	IO_L9P_CC_11	H34
11	IO_L9N_CC_11 ⁽²⁾	J34
11	IO_L10P_CC_SM15P_11	L34
11	IO_L10N_CC_SM15N_11 ⁽²⁾	K34
11	IO_L11P_CC_SM14P_11	K33
11	IO_L11N_CC_SM14N_11 ⁽²⁾	K32
11	IO_L12P_VRN_11	N33
11	IO_L12N_VRP_11	M33
11	IO_L13P_11	L33
11	IO_L13N_11	M32
11	IO_L14P_11	P34
11	IO_L14N_VREF_11	N34
11	IO_L15P_SM13P_11	P32
11	IO_L15N_SM13N_11	N32
11	IO_L16P_SM12P_11	T33
11	IO_L16N_SM12N_11	R34
11	IO_L17P_SM11P_11	R33



11	IO_L17N_SM11N_11	R32
11	IO_L18P_SM10P_11	U33
11	IO_L18N_SM10N_11	T34
11	IO_L19P_SM9P_11	U32
11	IO_L19N_SM9N_11	U31
12	IO_L0P_12	M6
12	IO_L0N_12	M5
12	IO_L1P_12	N8
12	IO_L1N_12	N7
12	IO_L2P_12	M7
12	IO_L2N_12	L6
12	IO_L3P_12	N5
12	IO_L3N_12	P5
12	IO_L4P_12	L4
12	IO_L4N_VREF_12	L5
12	IO_L5P_12	P7
12	IO_L5N_12	P6
12	IO_L6P_12	K7
12	IO_L6N_12	K6
12	IO_L7P_12	R6
12	IO_L7N_12	T6
12	IO_L8P_CC_12	J6
12	IO_L8N_CC_12 ⁽²⁾	J5
12	IO_L9P_CC_12	R7
12	IO_L9N_CC_12 ⁽²⁾	R8
12	IO_L10P_CC_12	T8
12	IO_L10N_CC_12 ⁽²⁾	U7
12	IO_L11P_CC_12	H7
12	IO_L11N_CC_12 ⁽²⁾	J7
12	IO_L12P_VRN_12	R9
12	IO_L12N_VRP_12	P9
12	IO_L13P_12	H5
12	IO_L13N_12	G5
12	IO_L14P_12	R11
12	IO_L14N_VREF_12	P10
12	IO_L15P_12	F5
12	IO_L15N_12	F6
12	IO_L16P_12	T10
12	IO_L16N_12	T11
12	IO_L17P_12	G6
12	IO_L17N_12	G7
12	IO_L18P_12	T9



12	IO_L18N_12	U10
12	IO_L19P_12	E6
12	IO_L19N_12	E7
13	IO_L0P_SM8P_13	V32
13	IO_L0N_SM8N_13	V33
13	IO_L1P_SM7P_13	W34
13	IO_L1N_SM7N_13	V34
13	IO_L2P_SM6P_13	Y33
13	IO_L2N_SM6N_13	AA33
13	IO_L3P_SM5P_13	AA34
13	IO_L3N_SM5N_13	Y34
13	IO_L4P_13	Y32
13	IO_L4N_VREF_13	W32
13	IO_L5P_SM4P_13	AC34
13	IO_L5N_SM4N_13	AD34
13	IO_L6P_SM3P_13	AC32
13	IO_L6N_SM3N_13	AB32
13	IO_L7P_SM2P_13	AC33
13	IO_L7N_SM2N_13	AB33
13	IO_L8P_CC_SM1P_13	AF33
13	IO_L8N_CC_SM1N_13 ⁽²⁾	AE33
13	IO_L9P_CC_SM0P_13	AF34
13	IO_L9N_CC_SM0N_13 ⁽²⁾	AE34
13	IO_L10P_CC_13	AH34
13	IO_L10N_CC_13 ⁽²⁾	AJ34
13	IO_L11P_CC_13	AD32
13	IO_L11N_CC_13 ⁽²⁾	AE32
13	IO_L12P_VRN_13	AG33
13	IO_L12N_VRP_13	AH33
13	IO_L13P_13	AK34
13	IO_L13N_13	AK33
13	IO_L14P_13	AG32
13	IO_L14N_VREF_13	AH32
13	IO_L15P_13	AJ32
13	IO_L15N_13	AK32
13	IO_L16P_13	AL34
13	IO_L16N_13	AL33
13	IO_L17P_13	AM33
13	IO_L17N_13	AM32
13	IO_L18P_13	AN34
13	IO_L18N_13	AN33
13	IO_L19P_13	AN32



13	IO_L19N_13	AP32
15	IO_L0P_15	E29
15	IO_L0N_15	F29
15	IO_L1P_15	G30
15	IO_L1N_15	F30
15	IO_L2P_15	H29
15	IO_L2N_15	J29
15	IO_L3P_15	F31
15	IO_L3N_15	E31
15	IO_L4P_15	L29
15	IO_L4N_VREF_15	K29
15	IO_L5P_15	H30
15	IO_L5N_15	G31
15	IO_L6P_15	J30
15	IO_L6N_15	J31
15	IO_L7P_15	L30
15	IO_L7N_15	M30
15	IO_L8P_CC_15	N29
15	IO_L8N_CC_15 ⁽²⁾	P29
15	IO_L9P_CC_15	K31
15	IO_L9N_CC_15 ⁽²⁾	L31
15	IO_L10P_CC_15	P31
15	IO_L10N_CC_15 ⁽²⁾	P30
15	IO_L11P_CC_15	M31
15	IO_L11N_CC_15 ⁽²⁾	N30
15	IO_L12P_VRN_15	R28
15	IO_L12N_VRP_15	R29
15	IO_L13P_15	T31
15	IO_L13N_15	R31
15	IO_L14P_15	U30
15	IO_L14N_VREF_15	T30
15	IO_L15P_15	T28
15	IO_L15N_15	T29
15	IO_L16P_15	U27
15	IO_L16N_15	U28
15	IO_L17P_15	R26
15	IO_L17N_15	R27
15	IO_L18P_15	U26
15	IO_L18N_15	T26
15	IO_L19P_15	U25
15	IO_L19N_15	T25
17	IO_L0P_17	W24



17	IO_L0N_17	V24
17	IO_L1P_17	Y26
17	IO_L1N_17	W26
17	IO_L2P_17	V25
17	IO_L2N_17	W25
17	IO_L3P_17	Y27
17	IO_L3N_17	W27
17	IO_L4P_17	V30
17	IO_L4N_VREF_17	W30
17	IO_L5P_17	V28
17	IO_L5N_17	V27
17	IO_L6P_17	W31
17	IO_L6N_17	Y31
17	IO_L7P_17	W29
17	IO_L7N_17	V29
17	IO_L8P_CC_17	Y28
17	IO_L8N_CC_17 ⁽²⁾	Y29
17	IO_L9P_CC_17	AB31
17	IO_L9N_CC_17 ⁽²⁾	AA31
17	IO_L10P_CC_17	AB30
17	IO_L10N_CC_17 ⁽²⁾	AC30
17	IO_L11P_CC_17	AA29
17	IO_L11N_CC_17 ⁽²⁾	AA30
17	IO_L12P_VRN_17	AD31
17	IO_L12N_VRP_17	AE31
17	IO_L13P_17	AD30
17	IO_L13N_17	AC29
17	IO_L14P_17	AF31
17	IO_L14N_VREF_17	AG31
17	IO_L15P_17	AE29
17	IO_L15N_17	AD29
17	IO_L16P_17	AJ31
17	IO_L16N_17	AK31
17	IO_L17P_17	AF29
17	IO_L17N_17	AF30
17	IO_L18P_17	AJ30
17	IO_L18N_17	AH30
17	IO_L19P_17	AH29
17	IO_L19N_17	AG30
18	IO_L0P_18	AC4
18	IO_L0N_18	AC5
18	IO_L1P_18	AB6



18	IO_L1N_18	AB7
18	IO_L2P_18	AA5
18	IO_L2N_18	AB5
18	IO_L3P_18	AC7
18	IO_L3N_18	AD7
18	IO_L4P_18	Y8
18	IO_L4N_VREF_18	Y9
18	IO_L5P_18	AD4
18	IO_L5N_18	AD5
18	IO_L6P_18	AA6
18	IO_L6N_18	Y7
18	IO_L7P_18	AD6
18	IO_L7N_18	AE6
18	IO_L8P_CC_18	W6
18	IO_L8N_CC_18 ⁽²⁾	Y6
18	IO_L9P_CC_18	AE7
18	IO_L9N_CC_18 ⁽²⁾	AF6
18	IO_L10P_CC_18	AG5
18	IO_L10N_CC_18 ⁽²⁾	AF5
18	IO_L11P_CC_18	W7
18	IO_L11N_CC_18 ⁽²⁾	V7
18	IO_L12P_VRN_18	AH5
18	IO_L12N_VRP_18	AG6
18	IO_L13P_18	Y11
18	IO_L13N_18	W11
18	IO_L14P_18	AH7
18	IO_L14N_VREF_18	AG7
18	IO_L15P_18	W10
18	IO_L15N_18	W9
18	IO_L16P_18	AJ7
18	IO_L16N_18	AJ6
18	IO_L17P_18	V8
18	IO_L17N_18	U8
18	IO_L18P_18	AK7
18	IO_L18N_18	AK6
18	IO_L19P_18	V10
18	IO_L19N_18	V9
19	IO_L0P_19	K24
19	IO_L0N_19	L24
19	IO_L1P_19	L25
19	IO_L1N_19	L26
19	IO_L2P_19	J24



19	IO_L2N_19	J25
19	IO_L3P_19	M25
19	IO_L3N_19	M26
19	IO_L4P_19	J27
19	IO_L4N_VREF_19	J26
19	IO_L5P_19	G25
19	IO_L5N_19	G26
19	IO_L6P_19	H25
19	IO_L6N_19	H24
19	IO_L7P_19	F25
19	IO_L7N_19	F26
19	IO_L8P_CC_19	G27
19	IO_L8N_CC_19 ⁽²⁾	H27
19	IO_L9P_CC_19	H28
19	IO_L9N_CC_19 ⁽²⁾	G28
19	IO_L10P_CC_19	E28
19	IO_L10N_CC_19 ⁽²⁾	F28
19	IO_L11P_CC_19	E26
19	IO_L11N_CC_19 ⁽²⁾	E27
19	IO_L12P_VRN_19	N27
19	IO_L12N_VRP_19	M27
19	IO_L13P_19	K28
19	IO_L13N_19	L28
19	IO_L14P_19	K27
19	IO_L14N_VREF_19	K26
19	IO_L15P_19	M28
19	IO_L15N_19	N28
19	IO_L16P_19	P26
19	IO_L16N_19	P27
19	IO_L17P_19	N24
19	IO_L17N_19	P24
19	IO_L18P_19	P25
19	IO_L18N_19	N25
19	IO_L19P_19	R24
19	IO_L19N_19	T24
20	IO_L0P_20	E9
20	IO_L0N_20	E8
20	IO_L1P_20	F9
20	IO_L1N_20	F8
20	IO_L2P_20	F10
20	IO_L2N_20	G10
20	IO_L3P_20	G8



20	IO_L3N_20	H8
20	IO_L4P_20	D11
20	IO_L4N_VREF_20	D10
20	IO_L5P_20	K11
20	IO_L5N_20	J11
20	IO_L6P_20	D12
20	IO_L6N_20	C12
20	IO_L7P_20	H10
20	IO_L7N_20	H9
20	IO_L8P_CC_20	A13
20	IO_L8N_CC_20 ⁽²⁾	B12
20	IO_L9P_CC_20	J10
20	IO_L9N_CC_20 ⁽²⁾	J9
20	IO_L10P_CC_20	K8
20	IO_L10N_CC_20 ⁽²⁾	K9
20	IO_L11P_CC_20	B13
20	IO_L11N_CC_20 ⁽²⁾	C13
20	IO_L12P_VRN_20	L10
20	IO_L12N_VRP_20	L11
20	IO_L13P_20	G11
20	IO_L13N_20	G12
20	IO_L14P_20	M8
20	IO_L14N_VREF_20	L8
20	IO_L15P_20	F11
20	IO_L15N_20	E11
20	IO_L16P_20	M10
20	IO_L16N_20	L9
20	IO_L17P_20	E12
20	IO_L17N_20	E13
20	IO_L18P_20	N10
20	IO_L18N_20	N9
20	IO_L19P_20	F13
20	IO_L19N_20	G13
21	IO_L0P_21	AA25
21	IO_L0N_21	AA26
21	IO_L1P_21	AB27
21	IO_L1N_21	AC27
21	IO_L2P_21	Y24
21	IO_L2N_21	AA24
21	IO_L3P_21	AB25
21	IO_L3N_21	AB26
21	IO_L4P_21	AC28



21	IO_L4N_VREF_21	AD27
21	IO_L5P_21	AB28
21	IO_L5N_21	AA28
21	IO_L6P_21	AG28
21	IO_L6N_21	AH28
21	IO_L7P_21	AE28
21	IO_L7N_21	AF28
21	IO_L8P_CC_21	AK26
21	IO_L8N_CC_21 ⁽²⁾	AJ27
21	IO_L9P_CC_21	AK29
21	IO_L9N_CC_21 ⁽²⁾	AJ29
21	IO_L10P_CC_21	AK28
21	IO_L10N_CC_21 ⁽²⁾	AK27
21	IO_L11P_CC_21	AH27
21	IO_L11N_CC_21 ⁽²⁾	AJ26
21	IO_L12P_VRN_21	AJ25
21	IO_L12N_VRP_21	AH25
21	IO_L13P_21	AF24
21	IO_L13N_21	AG25
21	IO_L14P_21	AG27
21	IO_L14N_VREF_21	AG26
21	IO_L15P_21	AF25
21	IO_L15N_21	AF26
21	IO_L16P_21	AE27
21	IO_L16N_21	AE26
21	IO_L17P_21	AC25
21	IO_L17N_21	AC24
21	IO_L18P_21	AD26
21	IO_L18N_21	AD25
21	IO_L19P_21	AD24
21	IO_L19N_21	AE24
22	IO_L0P_22	AN14
22	IO_L0N_22	AP14
22	IO_L1P_22	AB10
22	IO_L1N_22	AA10
22	IO_L2P_22	AN13
22	IO_L2N_22	AM13
22	IO_L3P_22	AA8
22	IO_L3N_22	AA9
22	IO_L4P_22	AP12
22	IO_L4N_VREF_22	AN12
22	IO_L5P_22	AC8



22	IO_L5N_22	AB8
22	IO_L6P_22	AM12
22	IO_L6N_22	AM11
22	IO_L7P_22	AC10
22	IO_L7N_22	AC9
22	IO_L8P_CC_22	AL11
22	IO_L8N_CC_22 ⁽²⁾	AL10
22	IO_L9P_CC_22	AE8
22	IO_L9N_CC_22 ⁽²⁾	AD9
22	IO_L10P_CC_22	AD10
22	IO_L10N_CC_22 ⁽²⁾	AD11
22	IO_L11P_CC_22	AK11
22	IO_L11N_CC_22 ⁽²⁾	AJ11
22	IO_L12P_VRN_22	AF8
22	IO_L12N_VRP_22	AE9
22	IO_L13P_22	AK8
22	IO_L13N_22	AK9
22	IO_L14P_22	AF9
22	IO_L14N_VREF_22	AF10
22	IO_L15P_22	AJ9
22	IO_L15N_22	AJ10
22	IO_L16P_22	AF11
22	IO_L16N_22	AE11
22	IO_L17P_22	AH9
22	IO_L17N_22	AH10
22	IO_L18P_22	AG8
22	IO_L18N_22	AH8
22	IO_L19P_22	AG10
22	IO_L19N_22	AG11
23	IO_L0P_23	C20
23	IO_L0N_23	B20
23	IO_L1P_23	B21
23	IO_L1N_23	A21
23	IO_L2P_23	C19
23	IO_L2N_23	C18
23	IO_L3P_23	C22
23	IO_L3N_23	B22
23	IO_L4P_23	B18
23	IO_L4N_VREF_23	A18
23	IO_L5P_23	C23
23	IO_L5N_23	B23
23	IO_L6P_23	A19



23	IO_L6N_23	A20
23	IO_L7P_23	A23
23	IO_L7N_23	A24
23	IO_L8P_CC_23	C24
23	IO_L8N_CC_23 ⁽²⁾	D25
23	IO_L9P_CC_23	B26
23	IO_L9N_CC_23 ⁽²⁾	A25
23	IO_L10P_CC_23	B27
23	IO_L10N_CC_23 ⁽²⁾	A26
23	IO_L11P_CC_23	B25
23	IO_L11N_CC_23 ⁽²⁾	C25
23	IO_L12P_VRN_23	C29
23	IO_L12N_VRP_23	B28
23	IO_L13P_23	D26
23	IO_L13N_23	C27
23	IO_L14P_23	A29
23	IO_L14N_VREF_23	A28
23	IO_L15P_23	C28
23	IO_L15N_23	D27
23	IO_L16P_23	B31
23	IO_L16N_23	A31
23	IO_L17P_23	C30
23	IO_L17N_23	D29
23	IO_L18P_23	D31
23	IO_L18N_23	D30
23	IO_L19P_23	A30
23	IO_L19N_23	B30
25	IO_L0P_25	AL29
25	IO_L0N_25	AL30
25	IO_L1P_25	AM31
25	IO_L1N_25	AL31
25	IO_L2P_25	AN30
25	IO_L2N_25	AM30
25	IO_L3P_25	AP30
25	IO_L3N_25	AP31
25	IO_L4P_25	AM27
25	IO_L4N_VREF_25	AL28
25	IO_L5P_25	AP29
25	IO_L5N_25	AN29
25	IO_L6P_25	AP27
25	IO_L6N_25	AN27
25	IO_L7P_25	AN28



25	IO_L7N_25	AM28
25	IO_L8P_CC_25	AN25
25	IO_L8N_CC_25 ⁽²⁾	AM25
25	IO_L9P_CC_25	AM26
25	IO_L9N_CC_25 ⁽²⁾	AL26
25	IO_L10P_CC_25	AP26
25	IO_L10N_CC_25 ⁽²⁾	AP25
25	IO_L11P_CC_25	AL25
25	IO_L11N_CC_25 ⁽²⁾	AL24
25	IO_L12P_VRN_25	AN24
25	IO_L12N_VRP_25	AP24
25	IO_L13P_25	AM21
25	IO_L13N_25	AM20
25	IO_L14P_25	AN23
25	IO_L14N_VREF_25	AM23
25	IO_L15P_25	AN20
25	IO_L15N_25	AP20
25	IO_L16P_25	AN22
25	IO_L16N_25	AM22
25	IO_L17P_25	AN18
25	IO_L17N_25	AM18
25	IO_L18P_25	AP22
25	IO_L18N_25	AP21
25	IO_L19P_25	AN19
25	IO_L19N_25	AP19
NA	MGTTXP0_112	M2
NA	MGTAVTTTX_112	M3
NA	MGTTXN0_112	N2
NA	MGTRXP0_112	N1
NA	MGTAVTTRX_112	N3
NA	MGTRXN0_112	P1
NA	MGTAVCCPLL_112	T3
NA	MGTRXN1_112	R1
NA	MGTREFCLKN_112	P3
NA	MGTRXP1_112	T1
NA	MGTREFCLKP_112	P4
NA	MGTTXN1_112	T2
NA	MGTAVTTTX_112	U3
NA	MGTTXP1_112	U2
NA	MGTAVTTRXC	V5
NA	MGTRREF_112	V4
NA	MGTTXP0_114	V2



NA	MGTAVTTTX_114	AC3
NA	MGTTXN0_114	W2
NA	MGTRXP0_114	W1
NA	MGTAVTTRX_114	W3
NA	MGTRXN0_114	Y1
NA	MGTAVCCPLL_114	AB3
NA	MGTRXN1_114	AA1
NA	MGTRFCLKN_114	Y3
NA	MGTRXP1_114	AB1
NA	MGTRFCLKP_114	Y4
NA	MGTTXN1_114	AB2
NA	MGTAVTTTX_114	V3
NA	MGTTXP1_114	AC2
NA	MGTTXP0_116	F2
NA	MGTAVTTTX_116	F3
NA	MGTTXN0_116	G2
NA	MGTRXP0_116	G1
NA	MGTAVTTRX_116	G3
NA	MGTRXN0_116	H1
NA	MGTAVCCPLL_116	K3
NA	MGTRXN1_116	J1
NA	MGTRFCLKN_116	H3
NA	MGTRXP1_116	K1
NA	MGTRFCLKP_116	H4
NA	MGTTXN1_116	K2
NA	MGTAVTTTX_116	L3
NA	MGTTXP1_116	L2
NA	MGTTXP0_118	AD2
NA	MGTAVTTTX_118	AD3
NA	MGTTXN0_118	AE2
NA	MGTRXP0_118	AE1
NA	MGTAVTTRX_118	AE3
NA	MGTRXN0_118	AF1
NA	MGTAVCCPLL_118	AH3
NA	MGTRXN1_118	AG1
NA	MGTRFCLKN_118	AF3
NA	MGTRXP1_118	AH1
NA	MGTRFCLKP_118	AF4
NA	MGTTXN1_118	AH2
NA	MGTAVTTTX_118	AJ3
NA	MGTTXP1_118	AJ2
NA	MGTTXP0_120	B4



NA	MGTAVTTTX_120	C4
NA	MGTTXN0_120	B3
NA	MGTRXP0_120	A3
NA	MGTAVTTRX_120	C3
NA	MGTRXN0_120	A2
NA	MGTAVCCPLL_120	D3
NA	MGTRXN1_120	C1
NA	MGTREFCLKN_120	D4
NA	MGTRXP1_120	D1
NA	MGTREFCLKP_120	E4
NA	MGTTXN1_120	D2
NA	MGTAVTTTX_120	E3
NA	MGTTXP1_120	E2
NA	MGTTXP0_122	AK2
NA	MGTAVTTTX_122	AK3
NA	MGTTXN0_122	AL2
NA	MGTRXP0_122	AL1
NA	MGTAVTTRX_122	AL3
NA	MGTRXN0_122	AM1
NA	MGTAVCCPLL_122	AM4
NA	MGTRXN1_122	AP2
NA	MGTREFCLKN_122	AL4
NA	MGTRXP1_122	AP3
NA	MGTREFCLKP_122	AL5
NA	MGTTXN1_122	AN3
NA	MGTAVTTTX_122	AM3
NA	MGTTXP1_122	AN4
NA	MGTTXP0_124	B10
NA	MGTAVTTTX_124	C10
NA	MGTTXN0_124	B9
NA	MGTRXP0_124	A9
NA	MGTAVTTRX_124	C9
NA	MGTRXN0_124	A8
NA	MGTAVCCPLL_124	C6
NA	MGTRXN1_124	A7
NA	MGTREFCLKN_124	C8
NA	MGTRXP1_124	A6
NA	MGTREFCLKP_124	D8
NA	MGTTXN1_124	B6
NA	MGTAVTTTX_124	C5
NA	MGTTXP1_124	B5
NA	MGTTXP0_126	AN5



NA	MGTAVTTTX_126	AM10
NA	MGTTXN0_126	AN6
NA	MGTRXP0_126	AP6
NA	MGTAVTTRX_126	AM6
NA	MGTRXN0_126	AP7
NA	MGTAVCCPLL_126	AM9
NA	MGTRXN1_126	AP8
NA	MGTREFCLKN_126	AM7
NA	MGTRXP1_126	AP9
NA	MGTREFCLKP_126	AL7
NA	MGTTXN1_126	AN9
NA	MGTAVTTTX_126	AM5
NA	MGTTXP1_126	AN10
NA	GND	B1
NA	GND	AN1
NA	GND	B2
NA	GND	C2
NA	GND	H2
NA	GND	J2
NA	GND	P2
NA	GND	R2
NA	GND	Y2
NA	GND	AA2
NA	GND	AF2
NA	GND	AG2
NA	GND	AM2
NA	GND	AN2
NA	GND	G4
NA	GND	K4
NA	GND	M4
NA	GND	N4
NA	GND	T4
NA	GND	W4
NA	GND	AB4
NA	GND	AE4
NA	GND	AH4
NA	GND	AK4
NA	GND	E5
NA	GND	K5
NA	GND	R5
NA	GND	T5
NA	GND	W5



NA	GND	Y5
NA	GND	AE5
NA	GND	AJ5
NA	GND	D6
NA	GND	H6
NA	GND	U6
NA	GND	V6
NA	GND	AH6
NA	GND	AL6
NA	GND	B7
NA	GND	F7
NA	GND	L7
NA	GND	AA7
NA	GND	AN7
NA	GND	B8
NA	GND	P8
NA	GND	AD8
NA	GND	AN8
NA	GND	D9
NA	GND	G9
NA	GND	U9
NA	GND	AG9
NA	GND	AL9
NA	GND	K10
NA	GND	R10
NA	GND	Y10
NA	GND	AE10
NA	GND	AK10
NA	GND	A11
NA	GND	B11
NA	GND	C11
NA	GND	N11
NA	GND	U11
NA	GND	AA11
NA	GND	AC11
NA	GND	AN11
NA	GND	AP11
NA	GND	A12
NA	GND	F12
NA	GND	M12
NA	GND	P12
NA	GND	T12



NA	GND	V12
NA	GND	Y12
NA	GND	AB12
NA	GND	AD12
NA	GND	AF12
NA	GND	J13
NA	GND	L13
NA	GND	N13
NA	GND	R13
NA	GND	U13
NA	GND	W13
NA	GND	AA13
NA	GND	AC13
NA	GND	AJ13
NA	GND	AP13
NA	GND	B14
NA	GND	M14
NA	GND	P14
NA	GND	T14
NA	GND	V14
NA	GND	Y14
NA	GND	AB14
NA	GND	AM14
NA	GND	E15
NA	GND	K15
NA	GND	R15
NA	GND	U15
NA	GND	W15
NA	GND	AA15
NA	GND	AE15
NA	GND	H16
NA	GND	M16
NA	GND	P16
NA	GND	T16
NA	GND	V16
NA	GND	Y16
NA	GND	AB16
NA	GND	AD16
NA	GND	AH16
NA	GND	A17
NA	GND	L17
NA	GND	N17



NA	GND	R17
NA	GND	AA17
NA	GND	AC17
NA	GND	AF17
NA	GND	AL17
NA	GND	D18
NA	GND	J18
NA	GND	M18
NA	GND	P18
NA	GND	Y18
NA	GND	AB18
NA	GND	AD18
NA	GND	AP18
NA	GND	G19
NA	GND	N19
NA	GND	R19
NA	GND	U19
NA	GND	W19
NA	GND	AA19
NA	GND	AC19
NA	GND	AG19
NA	GND	K20
NA	GND	M20
NA	GND	P20
NA	GND	T20
NA	GND	V20
NA	GND	Y20
NA	GND	AB20
NA	GND	AE20
NA	GND	AK20
NA	GND	C21
NA	GND	H21
NA	GND	N21
NA	GND	R21
NA	GND	U21
NA	GND	W21
NA	GND	AA21
NA	GND	AC21
NA	GND	AN21
NA	GND	A22
NA	GND	F22
NA	GND	L22



NA	GND	P22
NA	GND	T22
NA	GND	V22
NA	GND	Y22
NA	GND	AB22
NA	GND	AF22
NA	GND	J23
NA	GND	R23
NA	GND	U23
NA	GND	W23
NA	GND	AA23
NA	GND	AJ23
NA	GND	AP23
NA	GND	B24
NA	GND	M24
NA	GND	AB24
NA	GND	AG24
NA	GND	AM24
NA	GND	E25
NA	GND	K25
NA	GND	R25
NA	GND	Y25
NA	GND	AE25
NA	GND	H26
NA	GND	N26
NA	GND	V26
NA	GND	AC26
NA	GND	AH26
NA	GND	A27
NA	GND	L27
NA	GND	AA27
NA	GND	AF27
NA	GND	AL27
NA	GND	D28
NA	GND	P28
NA	GND	AD28
NA	GND	AP28
NA	GND	B29
NA	GND	G29
NA	GND	U29
NA	GND	AG29
NA	GND	K30



NA	GND	Y30
NA	GND	AK30
NA	GND	C31
NA	GND	N31
NA	GND	AC31
NA	GND	AN31
NA	GND	A32
NA	GND	F32
NA	GND	T32
NA	GND	AF32
NA	GND	D33
NA	GND	J33
NA	GND	W33
NA	GND	AJ33
NA	GND	AP33
NA	GND	B34
NA	GND	G34
NA	GND	M34
NA	GND	U34
NA	GND	AB34
NA	GND	AG34
NA	GND	AM34
NA	VCCAUX	M11
NA	VCCAUX	P11
NA	VCCAUX	V11
NA	VCCAUX	AB11
NA	VCCAUX	L12
NA	VCCAUX	AC12
NA	VCCAUX	M21
NA	VCCAUX	P23
NA	VCCAUX	T23
NA	VCCAUX	V23
NA	VCCAUX	Y23
NA	VCCAUX	U24
NA	VCCINT	N12
NA	VCCINT	R12
NA	VCCINT	U12
NA	VCCINT	W12
NA	VCCINT	AA12
NA	VCCINT	M13
NA	VCCINT	P13
NA	VCCINT	T13



NA	VCCINT	V13
NA	VCCINT	Y13
NA	VCCINT	AB13
NA	VCCINT	AD13
NA	VCCINT	R14
NA	VCCINT	U14
NA	VCCINT	W14
NA	VCCINT	AA14
NA	VCCINT	T15
NA	VCCINT	V15
NA	VCCINT	Y15
NA	VCCINT	N16
NA	VCCINT	R16
NA	VCCINT	U16
NA	VCCINT	W16
NA	VCCINT	AA16
NA	VCCINT	AC16
NA	VCCINT	M17
NA	VCCINT	P17
NA	VCCINT	Y17
NA	VCCINT	AB17
NA	VCCINT	AD17
NA	VCCINT	N18
NA	VCCINT	R18
NA	VCCINT	AA18
NA	VCCINT	AC18
NA	VCCINT	M19
NA	VCCINT	P19
NA	VCCINT	T19
NA	VCCINT	V19
NA	VCCINT	Y19
NA	VCCINT	AB19
NA	VCCINT	N20
NA	VCCINT	R20
NA	VCCINT	U20
NA	VCCINT	W20
NA	VCCINT	AA20
NA	VCCINT	AC20
NA	VCCINT	P21
NA	VCCINT	T21
NA	VCCINT	V21
NA	VCCINT	Y21



NA	VCCINT	AB21
NA	VCCINT	R22
NA	VCCINT	U22
NA	VCCINT	W22
0	VCCO_0	AA22
0	VCCO_0	AD23
1	VCCO_1	D13
1	VCCO_1	G14
2	VCCO_2	AM19
2	VCCO_2	AH21
3	VCCO_3	E20
3	VCCO_3	D23
4	VCCO_4	AL12
4	VCCO_4	AG14
5	VCCO_5	C16
5	VCCO_5	F17
5	VCCO_5	B19
6	VCCO_6	AK15
6	VCCO_6	AN16
6	VCCO_6	AJ18
11	VCCO_11	T27
11	VCCO_11	R30
11	VCCO_11	V31
12	VCCO_12	N6
12	VCCO_12	T7
12	VCCO_12	M9
13	VCCO_13	W28
13	VCCO_13	AB29
13	VCCO_13	AA32
15	VCCO_15	M29
15	VCCO_15	L32
15	VCCO_15	P33
17	VCCO_17	AE30
17	VCCO_17	AH31
17	VCCO_17	AD33
18	VCCO_18	AC6
18	VCCO_18	W8
18	VCCO_18	AB9
19	VCCO_19	J28
19	VCCO_19	E30
19	VCCO_19	H31
20	VCCO_20	J8



20	VCCO_20	E10
20	VCCO_20	H11
21	VCCO_21	AJ28
21	VCCO_21	AM29
21	VCCO_21	AL32
22	VCCO_22	AF7
22	VCCO_22	AJ8
22	VCCO_22	AH11
23	VCCO_23	G24
23	VCCO_23	C26
23	VCCO_23	F27
25	VCCO_25	AL22
25	VCCO_25	AK25
25	VCCO_25	AN26
NA	MGTAVCC_112	R3
NA	MGTAVCC_112	R4
NA	MGTAVCC_114	AA3
NA	MGTAVCC_114	AA4
NA	MGTAVCC_116	J3
NA	MGTAVCC_116	J4
NA	MGTAVCC_118	AG3
NA	MGTAVCC_118	AG4
NA	MGTAVCC_120	D5
NA	MGTAVCC_120	F4
NA	MGTAVCC_122	AJ4
NA	MGTAVCC_122	AK5
NA	MGTAVCC_124	C7
NA	MGTAVCC_124	D7
NA	MGTAVCC_126	AL8
NA	MGTAVCC_126	AM8
NA	FLOAT	U4

6、应用注意事项

6.1 电装注意事项

1) 植柱

CCGA封装的电路产品，需要确认是否已经完成植柱。若未植柱，需要选取符合芯片CCGA球尺寸要求的焊柱，然后选取符合芯片自身尺寸的网板，进而将焊柱填充到选取的网板上，

最后通过刷膏处理将焊柱移植到芯片上。此过程一定要保证植柱的平整性，如果植柱后CCGA 表面凹凸不平，在芯片使用时很容易造成芯片脱落，严重降低电装工艺的可靠性。若已完成植球或植柱，则需要检查焊球、焊柱的状态，确认未因为挤压、碰撞导致变形、残缺、脱落。

2) 电装前烘

植球、植柱完成后需进行电装前烘。某些用户会在空气环境中进行电装前烘，这样易导致焊盘氧化，降低焊接质量。通常建议要经过三步：酒精擦拭、+ 125℃ 预烘2h、等离子清洗。之后再将其贴装到PCB 基板上。

3) PCB 基板刷膏

电装前，需对PCB 基板进行刷膏处理。焊膏主要依照用户自身需求进行选择，如有铅/无铅、锡/铅含量、含银量、粘力强度、印刷精度等，焊膏选取应符合电装行业标准要求。PCB 基本刷膏过程中需注意：焊膏用量需适当，用量过多，会造成球或柱与PCB 基板焊接平面不平整、焊膏堆积、基板短路等问题；用量过少，会使电装焊点长期可靠性低。

4) 回流焊

通常使用智能回流焊炉的热风回流技术来进行焊接。用户应根据该类型器件的特性设置峰值温度和回流时间。峰值温度过低和回流时间过少，焊点焊接强度不够，严重降低电装焊接稳定性。峰值温度过高和回流时间过多，容易使芯片本身受损。控制电路基板与PCB 板之间的间距，尽量减少电路基板在板级装联回流焊过程中经过高温时发生翘曲，导致个别焊球与PCB 板焊盘无法形成良好互连的风险。

5) 电装生产线

电装生产线应具备相应行业资质，工艺成熟稳定，人员操作规范，原材料需严格检验并符合行业标准要求，静电防护设施齐备，器件取放、传递、储存均有静电和安全防护措施。

6.2 产品防护

产品包装由无腐蚀的材料制成，能导电或用抗静电材料涂敷过或浸渍过，具备足够的抗静电能力。

在避免雨、雪直接影响的条件下，装有产品的包装箱可以用任何运输工具运输。但不能和带有酸性、碱性和其它腐蚀性物体堆放在一起。



包装好的产品贮存环境应满足Q/W 657A—2007 第8.1 规定的I类库房条件要求(温度: 15℃~25℃, 湿度: 25%~65%), 周围没有酸、碱或其它腐蚀性气体, 通风良好, 且具备相应防静电措施。

6.3 研制生产单位联系方式

通信地址: 北京市丰台区东高地四营门北路2号

邮政编码: 100076

联系部门: 市场二部 电话/传真: 010-67968115-6313/010-68757706

FPGA 部 谷羽 电话: 010-67968115-7501-8548/13426461565