

# MN1201

## CMOS デュアル 4 ビットデータラッチ / CMOS Dual 4-Bit Data Latches

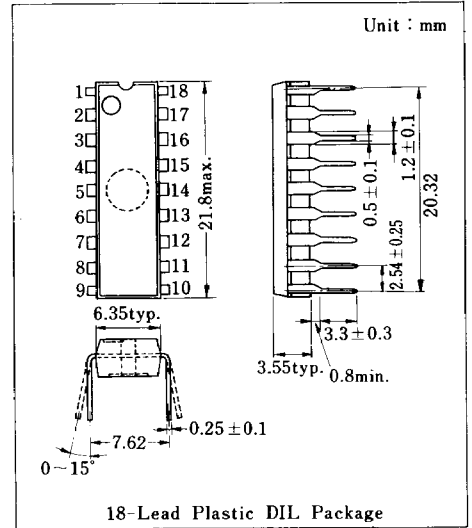
### ■ 概要 / Description

デュアル 4 ビットデータラッチにより構成された CMOS LSI で、4 ビット・マイクロコンピュータのデータラッチに適しています。クロックパルス CKA の立上りで 4 ビットの入力信号をラッチし、AO1~AO4 に出力します。また、クロックパルス CKB の立上りで 4 ビットの入力信号をラッチし、BO1~BO4 に出力します。クロックパルスが "H" あるいは "L" のときには、出力は変化しません。チップイネーブル (CE) とクリア (CLR) 端子が設けられています。

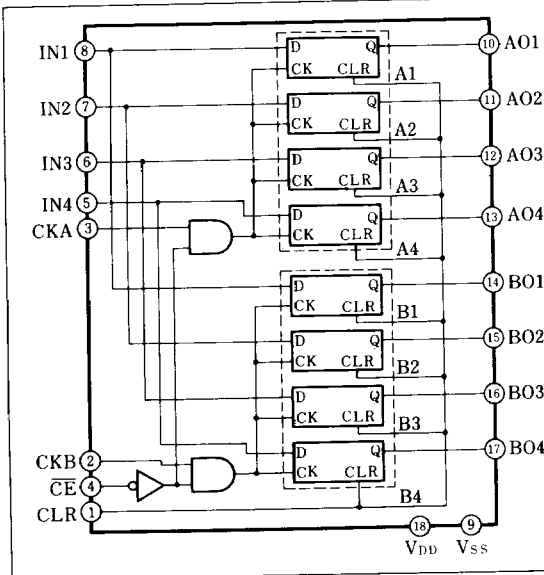
The MN1201 is a CMOS dual 4-bit data latch designed suitable for use as data latch for 4-bit microcomputers. All inputs and outputs are TTL compatible and the device operates from single +5 V supply. The device is provided with CE and CLR terminals.

### ■ 特徴

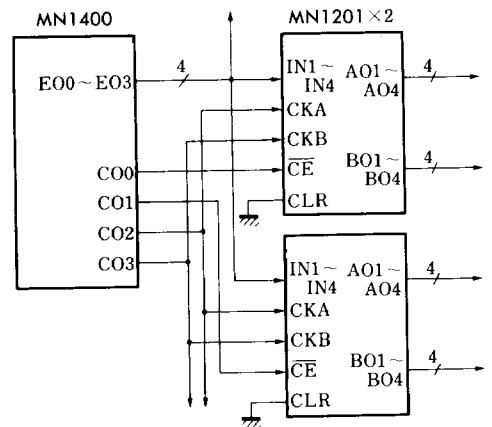
- 単一電源 +5 V で動作
- チップセレクト可能
- 全ラッチクリア可能
- 入出力ともに TTL コンパチブル



### ■ ブロック図 / Block Diagram



### ■ 応用回路例 / Application Circuit



注) CEのみ専用の制御線が必要。

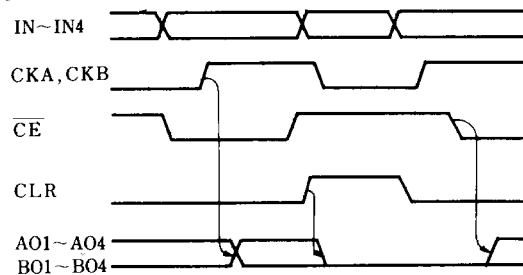
■ 絶対最大定格/Absolute Maximum Ratings ( $V_{SS} = 0V, T_a = 25^\circ C$ )

Item	Symbol	Rating	Unit
電源電圧	$V_{DD}$	-0.3 ~ +8	V
入力電圧	$V_I$	-0.3 ~ $V_{DD} + 0.3$	V
出力電圧	$V_O$	-0.3 ~ $V_{DD} + 0.3$	V
動作周囲温度	$T_{opr}$	-30 ~ +70	$^\circ C$
保存温度	$T_{stg}$	-55 ~ +100	$^\circ C$

■ 動作条件/Operating Conditions ( $T_a = -30 \sim +70^\circ C$ )

Item	Symbol	Condition	min.	typ.	max.	Unit
電源電圧	$V_{DD}$		4.5	5.0	5.5	V

■ タイミング図/Timing Diagrams

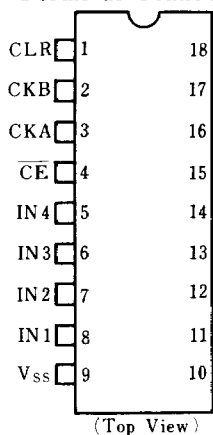


■ 電気的特性/Electrical Characteristics ( $V_{DD} = 5V, V_{SS} = 0V, T_a = -30 \sim +70^\circ C$ )

Item	Symbol	Condition	min.	typ.	max.	Unit
入力電圧ハイレベル	$V_{IH}$		2.4			V
入力電圧ローレベル	$V_{IL}$				0.8	V
入力リーク電流ハイレベル	$I_{LIH}$	$V_{IH} = V_{DD}$			10	$\mu A$
入力リーク電流ローレベル	$I_{LIL}$	$V_{IL} = 0V$			-10	$\mu A$
出力電圧ハイレベル	$V_{OH}$	$I_{OH} = -30 \mu A$	4.0			V
出力電圧ローレベル	$V_{OL}$	$I_{OL} = 1.8 mA$			0.5	V
出力リーク電流ハイレベル	$I_{LOH}$	$V_{OH} = V_{DD}$			10	$\mu A$
出力リーク電流ローレベル	$I_{LOL}$	$V_{OL} = 0V$			-10	$\mu A$

■ 端子接続図

Terminal Connection



■ 端子説明/Terminal Assignments

記号	端子名	端子の説明
IN1~IN4	入力端子	4ビットの入力端子。
AO1~AO4	出力端子	クロックパルス CKA によりラッチされたデータの出力端子。
BO1~BO4	出力端子	クロックパルス CKB によりラッチされたデータの出力端子。
CLR	クリア端子	全ラッチのクリア端子。
CE	チップイネーブル端子	CE が L のとき CKA, CKB によりデータをラッチ。CKA, CKB が H のとき CE が H → L への遷移時にデータをラッチする。
CKA	クロック A 端子	4ビットの入力信号を、4ビットのフリップフロップAにラッチするためのクロック信号端子。クロックの立上りに入力信号をラッチする。
CKB	クロック B 端子	4ビットの入力信号を、4ビットのフリップフロップBにラッチするためのクロック信号端子。クロックの立上りに入力信号をラッチする。